



Vhodno izhodne naprave

Laboratorijska vaja 7 - AV 1

Linije – LTSpice, simulacija
elektronskih vezij in odboji

LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

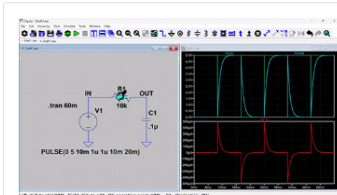
- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.3: Naloga 4-1 - Simulacija
- 7.4: Simulacija odbojev za lab. meritve – DN 2-AV1.1
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-AV1.2

LTSpice:

- <https://www.analog.com/en/design-center/design-tools-and-calculators/ltpice-simulator.html>
- Orodje za **risanje in simuliranje električnih in elektronskih vezij** (angl. schematic design tool and circuit simulator)
- Osnovne elektronske komponente:
 - **upor** (angl. resistor)
 - kondenzator (angl. capacitor)
 - tuljava (angl. inductor)
 - **prenosna linija** (angl. ideal transmission line)
 - **vir napetosti** (angl. voltage generator)
 - vir toka (angl. current generator)

LTspice

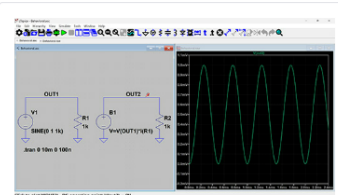
Instructional Videos



LTspice Basics

Learn the basics of using LTspice - creating a new schematic, running transient and AC simulations, and viewing results on the waveform viewer.

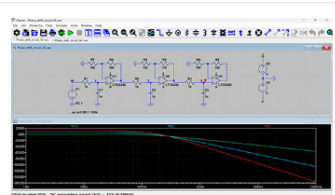
[View Video Series](#)



Essentials Tutorial

Learn how to use transformers, add third party models, create, work with symbols, and more.

[View Video Series](#)

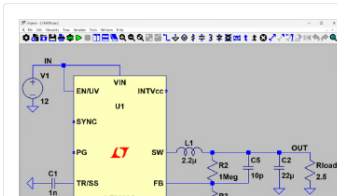


AC & Noise Analysis Tutorial

Learn how to perform a basic AC analysis in LTspice as well as some capabilities you might not already know about. Also learn how to set up a noise simulation in LTspice to view both input and output referred voltage noise.

[View Series](#)

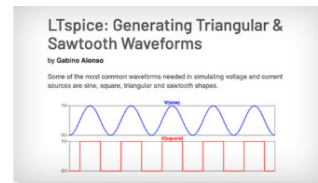
Tips and Articles



Getting Started with LTspice

Learn how to use the most useful features in LTspice, whether starting with an example circuit, or drafting one from scratch.

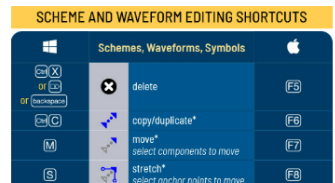
[Read Article](#)



Tips and In-Depth Articles

Our extensive collection of technical resources tackles a wide range of LTspice topics.

[Recommended Reading List](#)



Keyboard Shortcuts

Keyboard shortcuts are an alternate way to invoke one or more commands in LTspice that would otherwise only be accessible by clicking through the menu or toolbar.

[Keyboard Shortcuts](#)

<https://www.analog.com/en/design-center/design-tools-and-calculators/ltpspice-simulator.html>

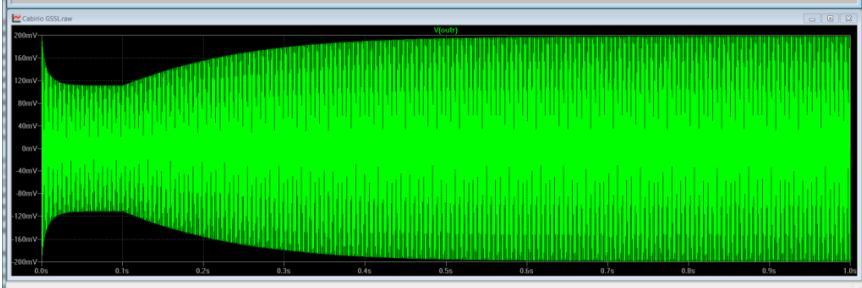
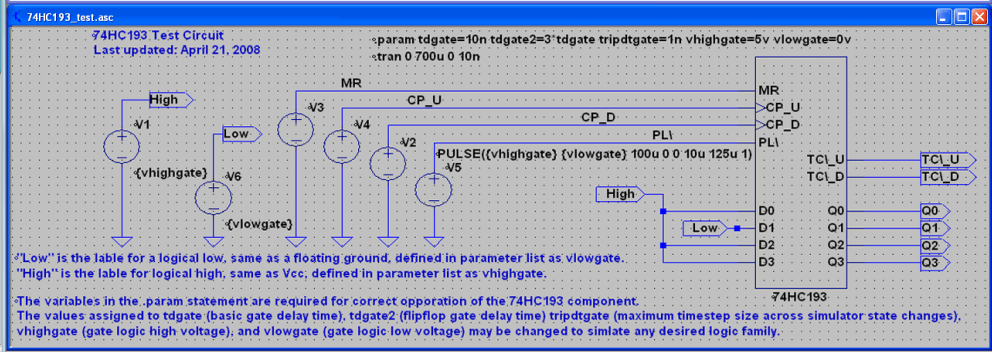
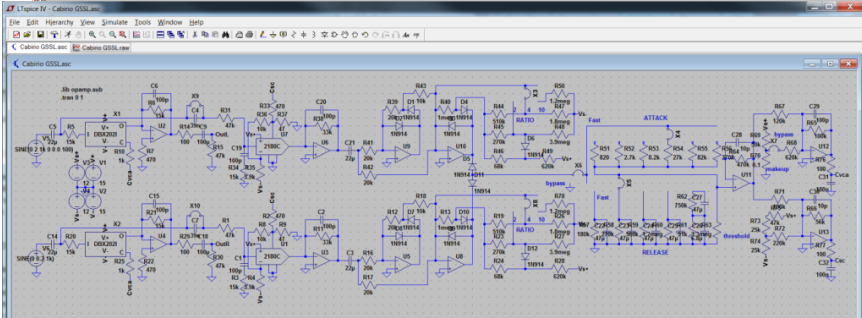
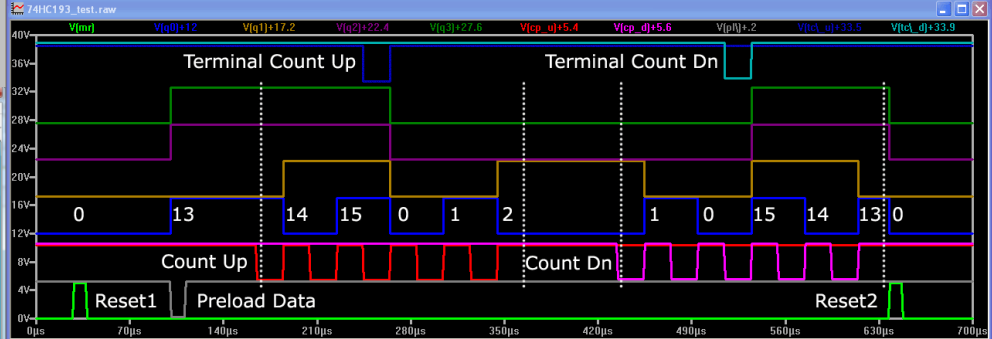
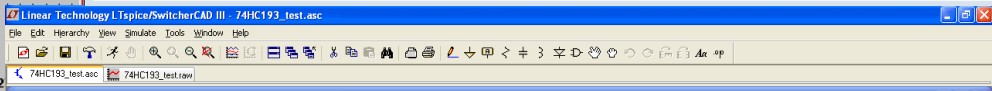
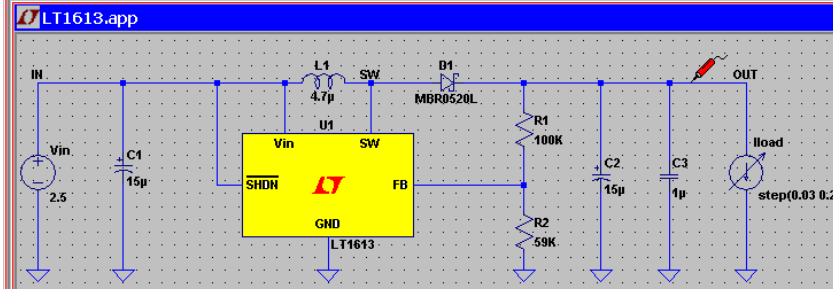
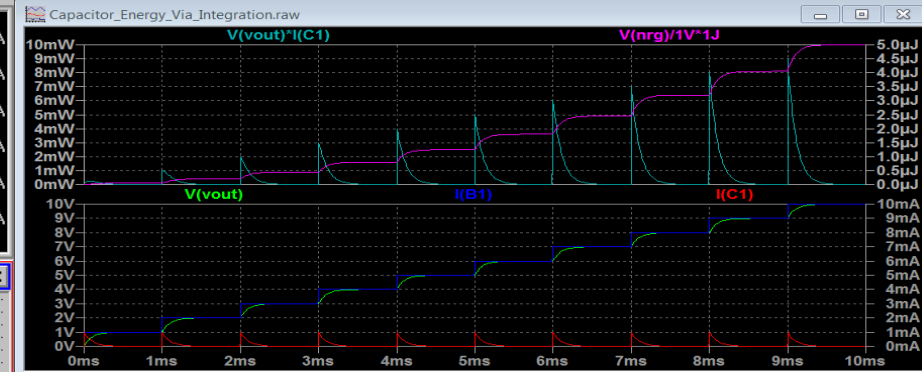
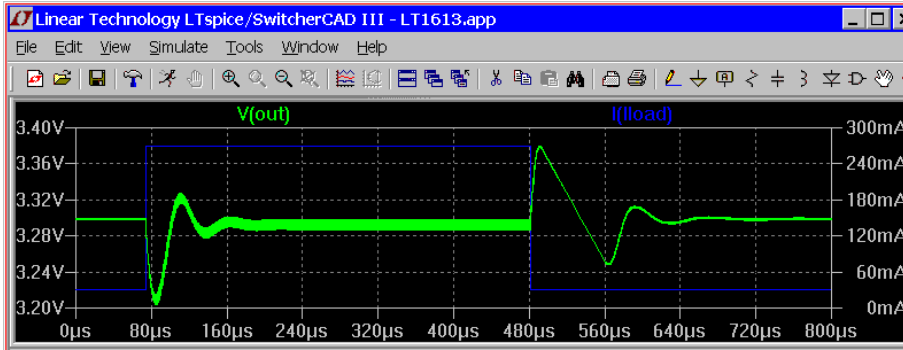
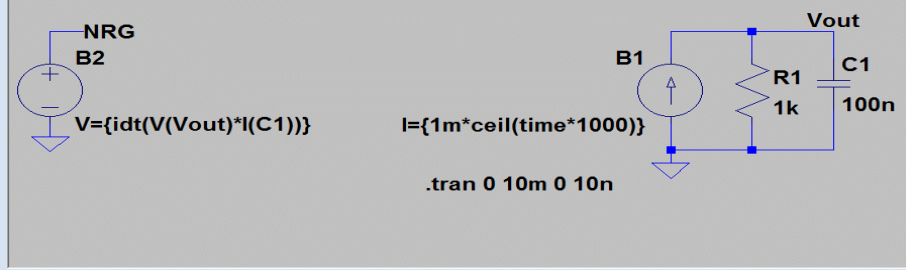
- Osnovni tutorial (priporočljiv):

- <http://cds.linear.com/docs/en/software-and-simulation/LTspiceGettingStartedGuide.pdf>

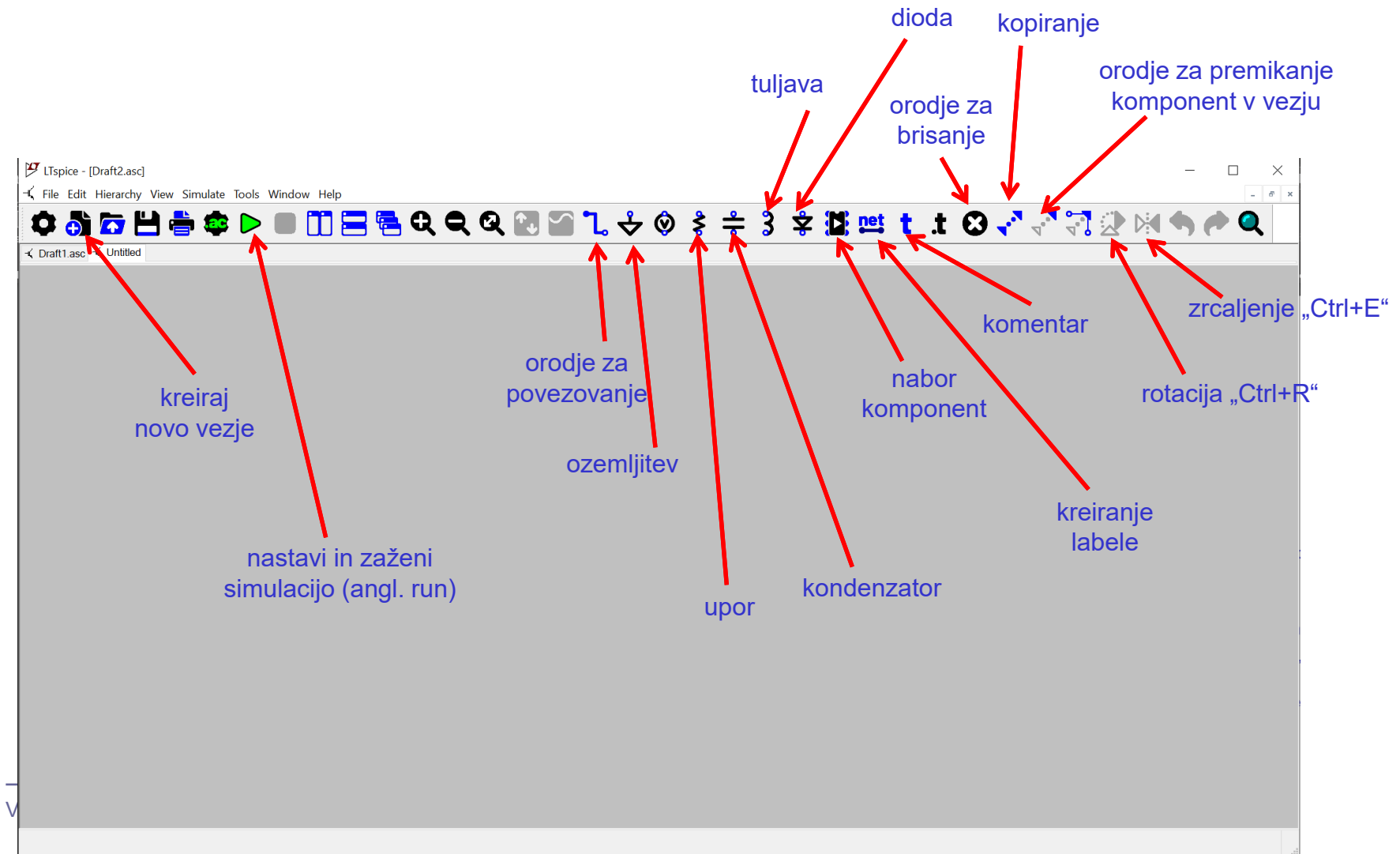
- Ostali viri:

- <https://ltwiki.org/files/LTspiceHelp.chm.html> (ver.XVII)
- <http://elec.otago.ac.nz/w/images/d/df/Ltguide10.pdf>
- YouTube
- Pripravljena vezja :
 - <https://www.analog.com/en/resources/design-tools-and-calculators/ltspice-simulator/lt-spice-demo-circuits.html>

LTSpice - primeri



■ Osnovno okno:



■ Osnovne kratice v naboru komponent v LTSpice:

Komponenta	kratica v LTSpice
izvor napetosti	<i>voltage</i>
upor	<i>res</i>
kondenzator	<i>cap</i>
(brez izgubna) prenosna linija	<i>tline</i>
tuljava	<i>ind</i>
dioda	<i>diode</i>
Schottky dioda	<i>schottky</i>
Zener dioda	<i>zener</i>
...	...

Več na strani: http://ltwiki.org/?title=Components_Library_and_Circuits

■ Nekatere osnovne kratice merskih enot v LTSpice:

Predpona/Merska enota	kratica v LTSpice
piko [10 ⁻¹²]	<i>p</i>
nano [10 ⁻⁹]	<i>n</i>
micro [10 ⁻⁶]	<i>u</i>
mili [10 ⁻³]	<i>m</i>
kilo [10 ³]	<i>k</i>
mega [10 ⁶]	<i>meg</i>
giga [10 ⁹]	<i>g</i>
terra [10 ¹²]	<i>t</i>
ohm	<i>ohm</i>
farad [F]	<i>F</i>
Henry [H]	<i>H</i>



■ Postavitev osnovnih elementov

The screenshot shows the LTSpice interface with the Component dialog box open. The dialog box is titled "Component" and shows a list of components. The "voltage" component is highlighted in blue, and a red arrow points to it from the toolbar. The circuit diagram on the right shows a voltage source symbol labeled "V1" and "V".

Component Dialog Box Details:

- Top Directory: C:\Users\Uporabnik\AppData\Local\LTspice\lib\sym
- Search: voltage
- Go to analog.com
- Component List:

ind2	pfj	varactor
ISO16750-2	pmos	voltage
ISO7637-2	pmos4	zener
LED	pnp	
load	pnp2	
load2	pnp4	
lpnp	polcap	
ltline	res	
mesfet	res2	
njf	schottky	
nmos	SOAtherm-HeatSink	
nmos4	SOAtherm-NMOS	
npn	SOAtherm-PCB	
npn2	sw	
npn3	tline	
npn4	TVSdiode	

■ Lastnosti komponente 'voltage'

Desni klik (lastnosti elementa)

vrednost enosmerne napetosti

Oblika izvornega signala napetosti:

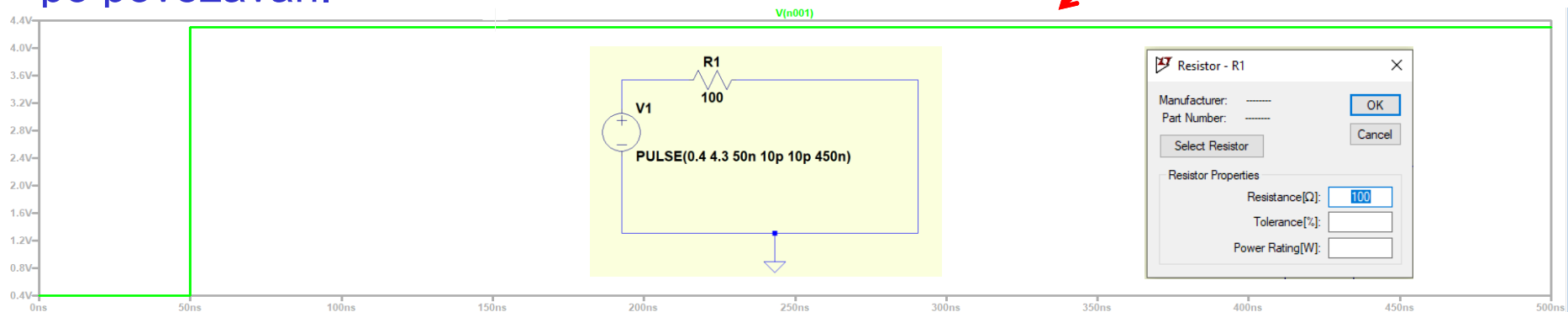
- 1) Enosmerni tok: (none)
- 2) Pulz (PULSE)
- 3) Sinusni signal (SIN)
- 4) Eksponentni (EXP)

PULSE je najbolj pogosta oblika vira napetosti v naših vezjih:

- **V_{initial}** začetna napetost [V]
- **V_{on}** vrednost stanja „on“ oz. druga napetost po prehodu [V]
- **T_{delay}** časovna zakasnitev („time delay“) – trajanje začetne napetosti
- **T_{rise}** čas vzpona [s]
- **T_{fall}** čas padca [s]
- **T_{on}** čas stanja „on“ – trajanje druge napetosti [s]
- **T_{period}** celotno trajanje ene periode impulza [s]
- **N_{cycles}** število period oziroma ponovitev. 0 pomeni večno ponavljanje

Vinitial[V]:	0.4
Von[V]:	4.3
Tdelay[s]:	50n
Trise[s]:	10p
Tfall[s]:	10p
Ton[s]:	450n
Tperiod[s]:	
Ncycles:	

Pri svojih analizah bomo praktično ves čas uporabljali pravokotne signale in opazovali njihove spremembe v različnih situacijah prenosa po povezavah.



■ Simulator

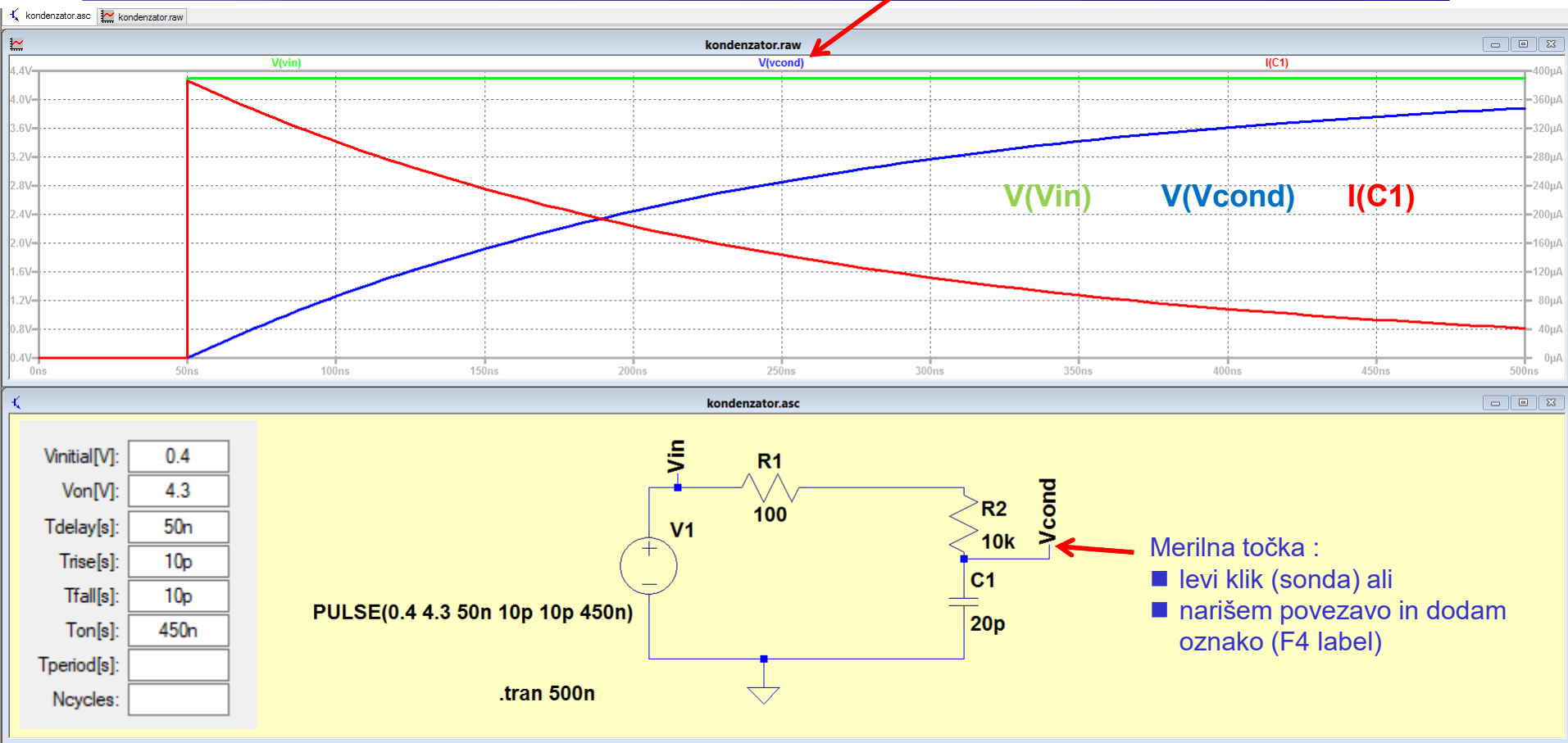
The screenshot shows the LTSpice interface with the 'Configure Analysis' dialog box open. The dialog box has tabs for 'Transient', 'AC Analysis', 'DC sweep', 'Noise', 'DC Transfer', 'DC op pnt', and 'Transient Frequency Response'. The 'Transient' tab is selected, and the text 'Perform a non-linear, time-domain simulation.' is displayed. The 'Stop time' field is set to '500n'. Below the dialog box, a circuit diagram shows a voltage source labeled 'V1' connected to a component labeled 'V'. A status bar at the bottom left reads 'Starting SPICE run...'. A red arrow points from the 'Run' button in the top toolbar to the 'Configure Analysis' dialog box. Another red arrow points from a text box to the 'Stop time' field. A third red arrow points from another text box to the syntax field containing '.tran 500n'.

Za naše potrebe bomo uporabili „Transient“ analizo (eno od 6 možnih)

Klic ukaza `.tran` 'trajanje simulacije' v tem primeru: 500 ns

LTSpice – Primer 1: kondenzator

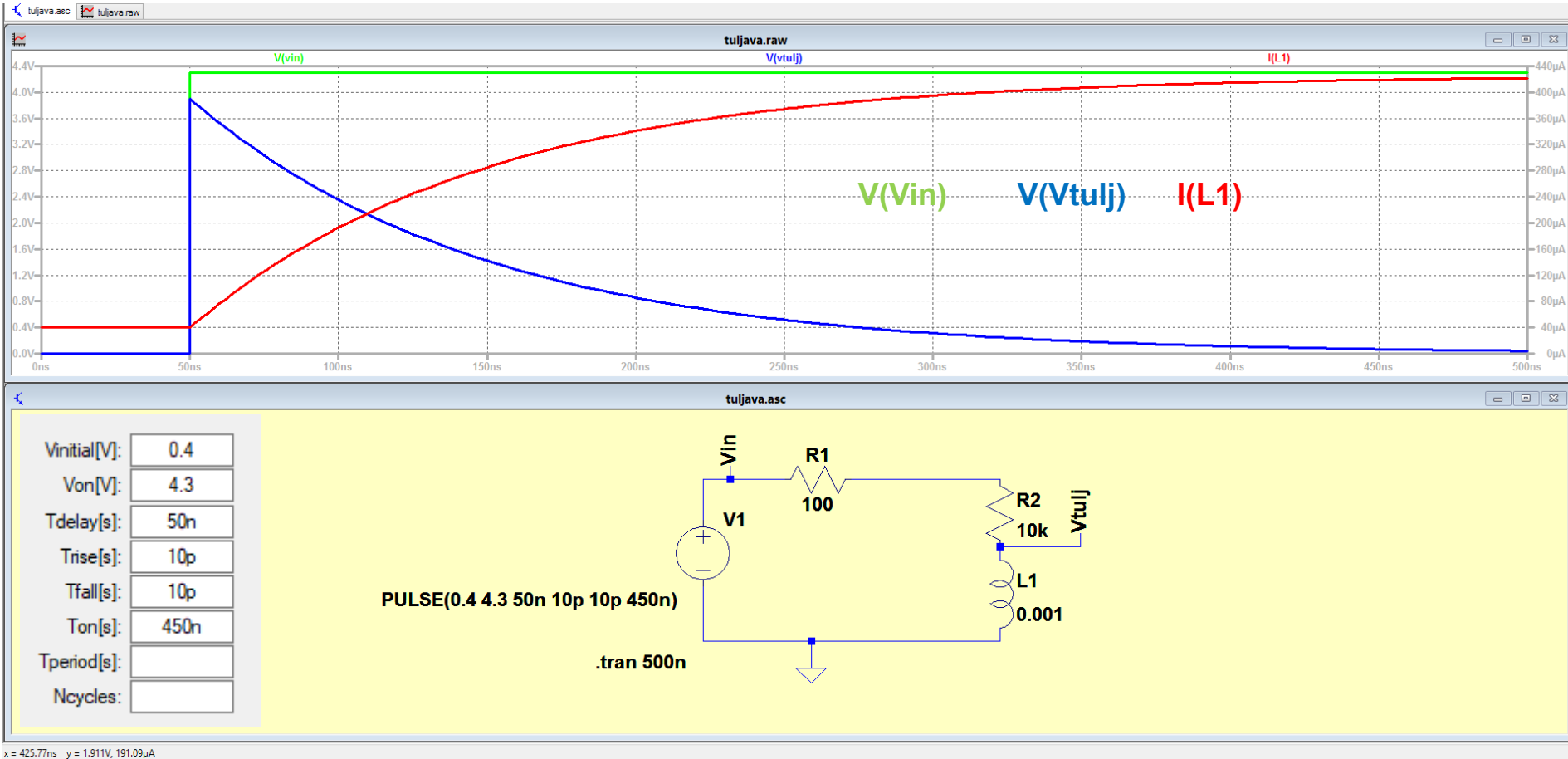
Desni klik -> možnost računanja s prikazanimi signali, brisanje..



LEA Portal:
[VIN LAB 07.02 AV1 - Simulacija vezij v orodju LTSpice_Osnovno vezje s kondenzatorjem.mp4](#)

Capacitors and Capacitance: Capacitor physics and circuit operation
 Physics Videos by Eugene Khutoryansky
 Z naslova <https://www.youtube.com/watch?v=f_MZNsEqyQw&ab_channel=PhysicsVideosbyEugeneKhutoryansky>

LTSpice - Primer 2: tuljava



LEA portal:

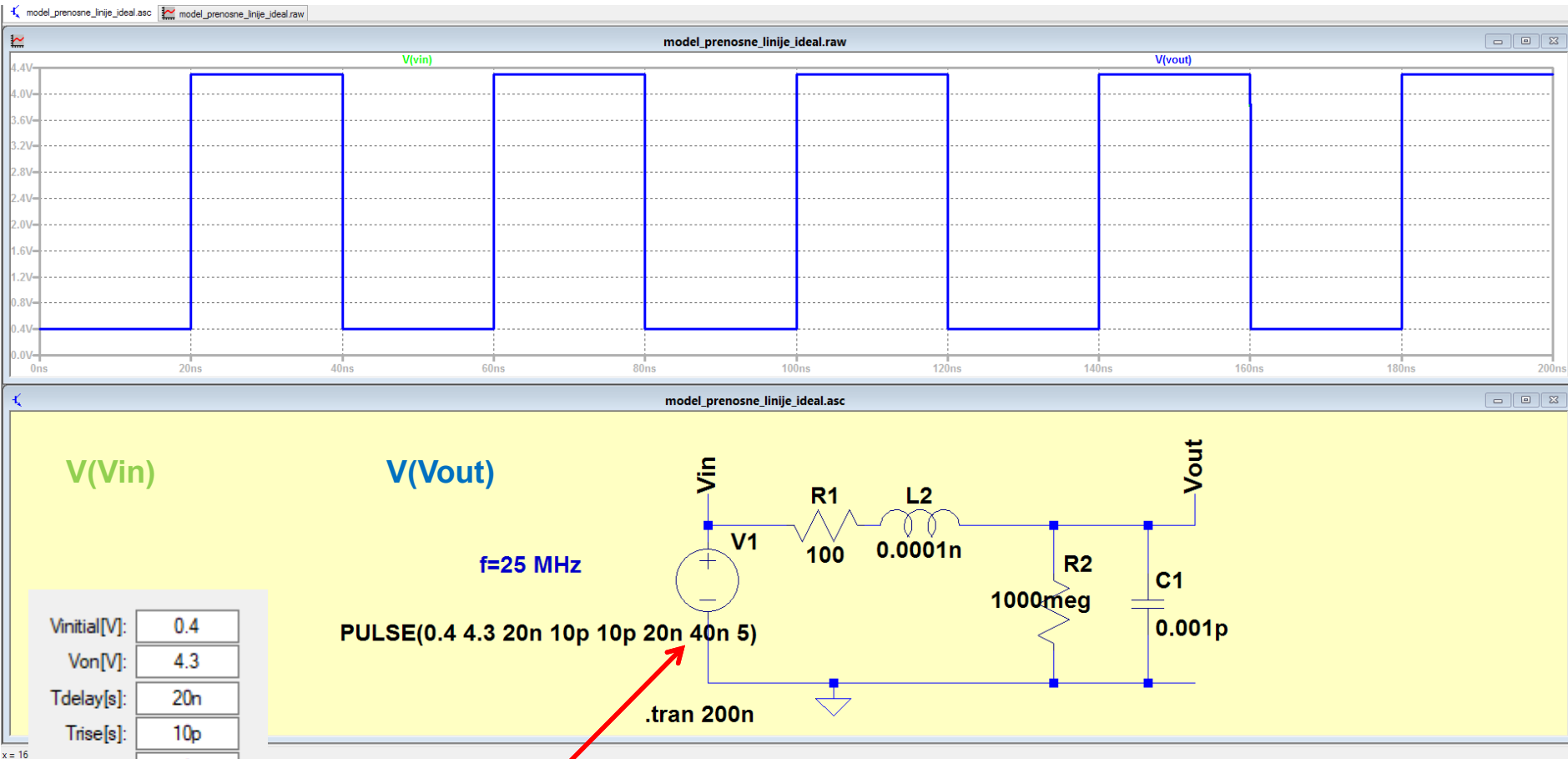
[VIN LAB 07.03 AV1 - Simulacija vezij v orodju LTSpice_Osnovno vezje s tuljavo.mp4](#)

Inductors and Inductance

Physics Videos by Eugene Khutoryansky

Z naslova <https://www.youtube.com/watch?v=ukBFPrXiKWA&ab_channel=PhysicsVideosbyEugeneKhutoryansky>

LTSpice – Primer 3: (naloga AV1) model idealne prenosne linije (f=25 MHz)

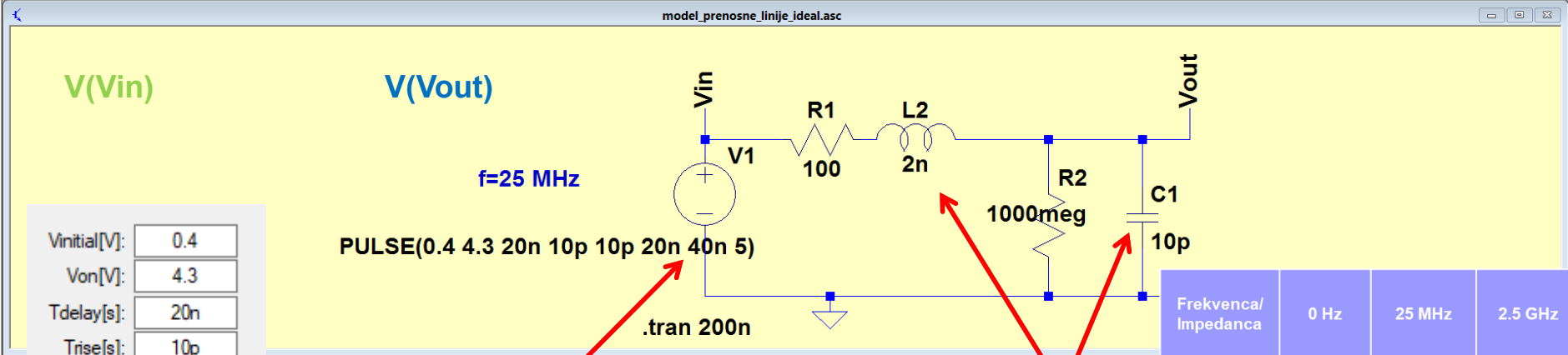
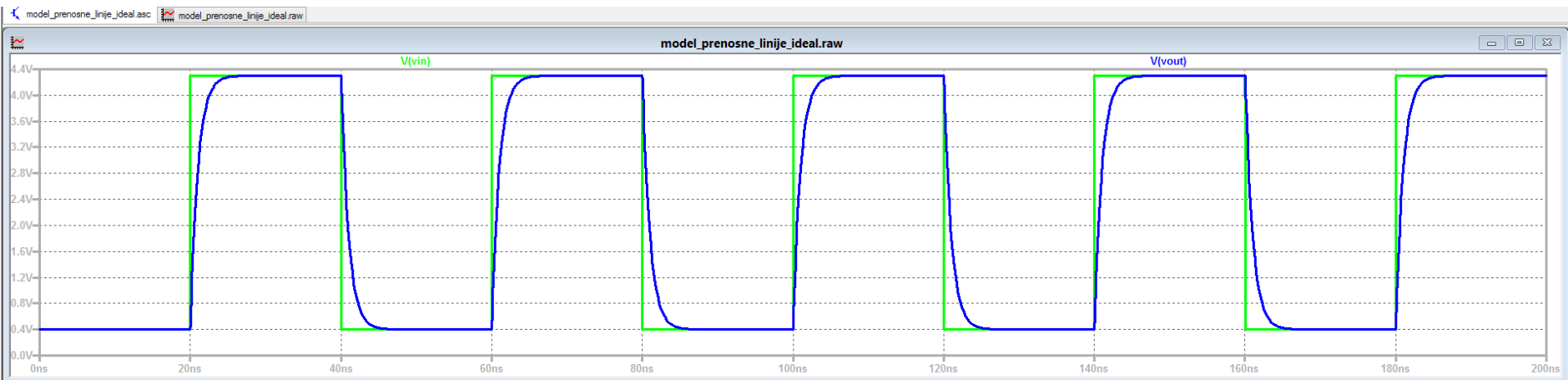


- f=25MHz:
- „on“ stanje 20ns
 - perioda 40ns
 - 5 period (ponovitev)

LEA portal:

VIN LAB 07.04 AV1 - Simulacija vezij v orodju
[LTSpice_Osnovni model prenosne linije.mp4](#)

LTSpice – Primer 3: (naloga AV1) model realne prenosne linije (f=25 MHz) R1=100



Vinitial[V]:	0.4
Von[V]:	4.3
Tdelay[s]:	20n
Trise[s]:	10p
Tfall[s]:	10p
Ton[s]:	20n
Tperiod[s]:	40n
Ncycles:	5

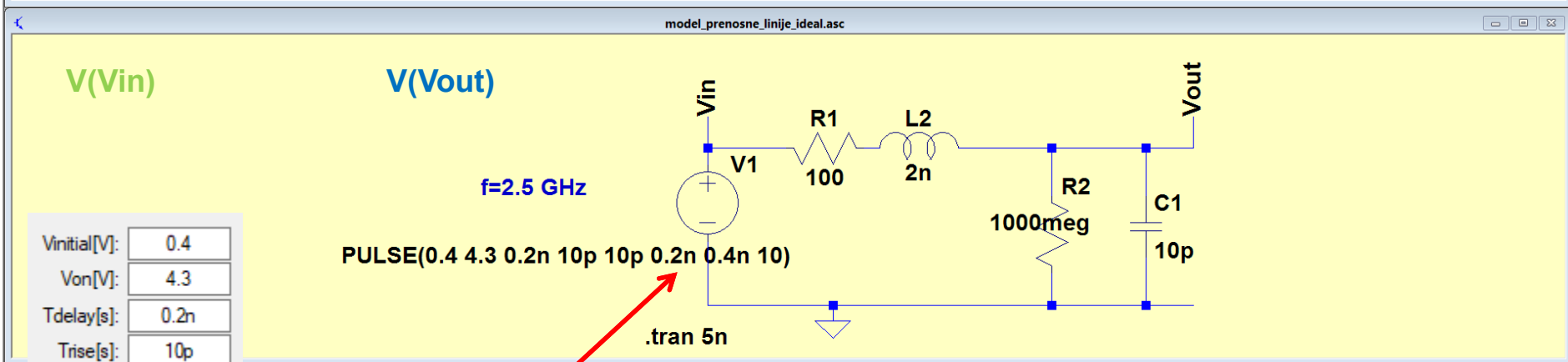
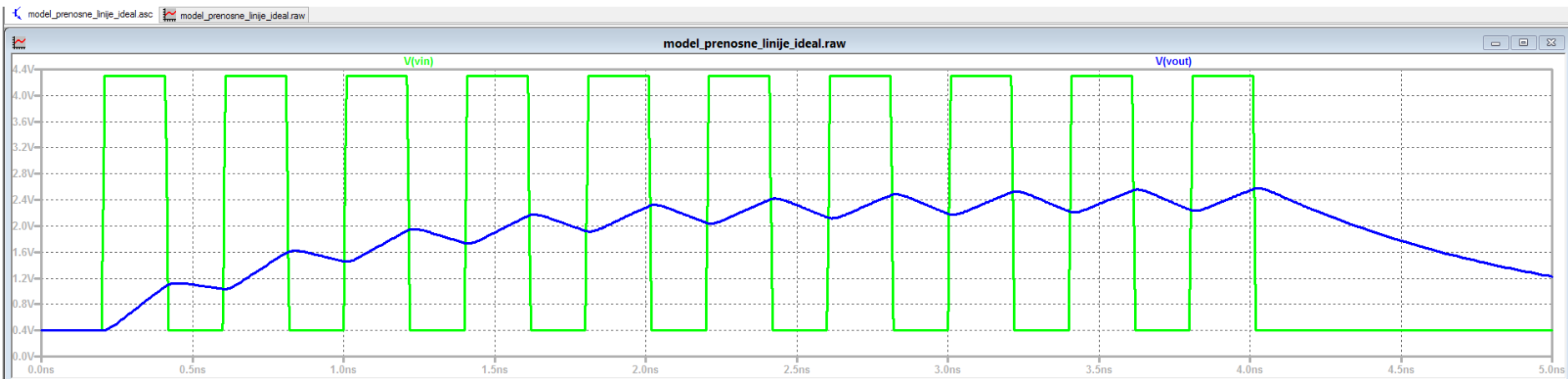
f=25 MHz
PULSE(0.4 4.3 20n 10p 10p 20n 40n 5)
 .tran 200n

Frekvenca/ Impedanca	0 Hz	25 MHz	2.5 GHz
Z _L	0 Ω	0.314 Ω	31.4 Ω
Z _C	∞ Ω	636.9 Ω	6.36 Ω

f=25MHz:
 ■ „on“ stanje 20ns
 ■ perioda 40ns
 ■ 5 period (ponovitev)

Realna linija :
 ■ večja kapacitivnost in
 ■ večja induktivnost

LTSpice – Primer 3: (naloga AV1) model realne prenosne linije ($f=2.5\text{ GHz}$) $R1=100$



Vinitial[V]:	0.4
Von[V]:	4.3
Tdelay[s]:	0.2n
Trise[s]:	10p
Tfall[s]:	10p
Ton[s]:	0.2n
Tperiod[s]:	0.4n
Ncycles:	10

- $f=2.5\text{GHz}$:
- „on“ stanje 0.2ns
 - perioda 0.4ns
 - 10 period (ponovitev)

LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja

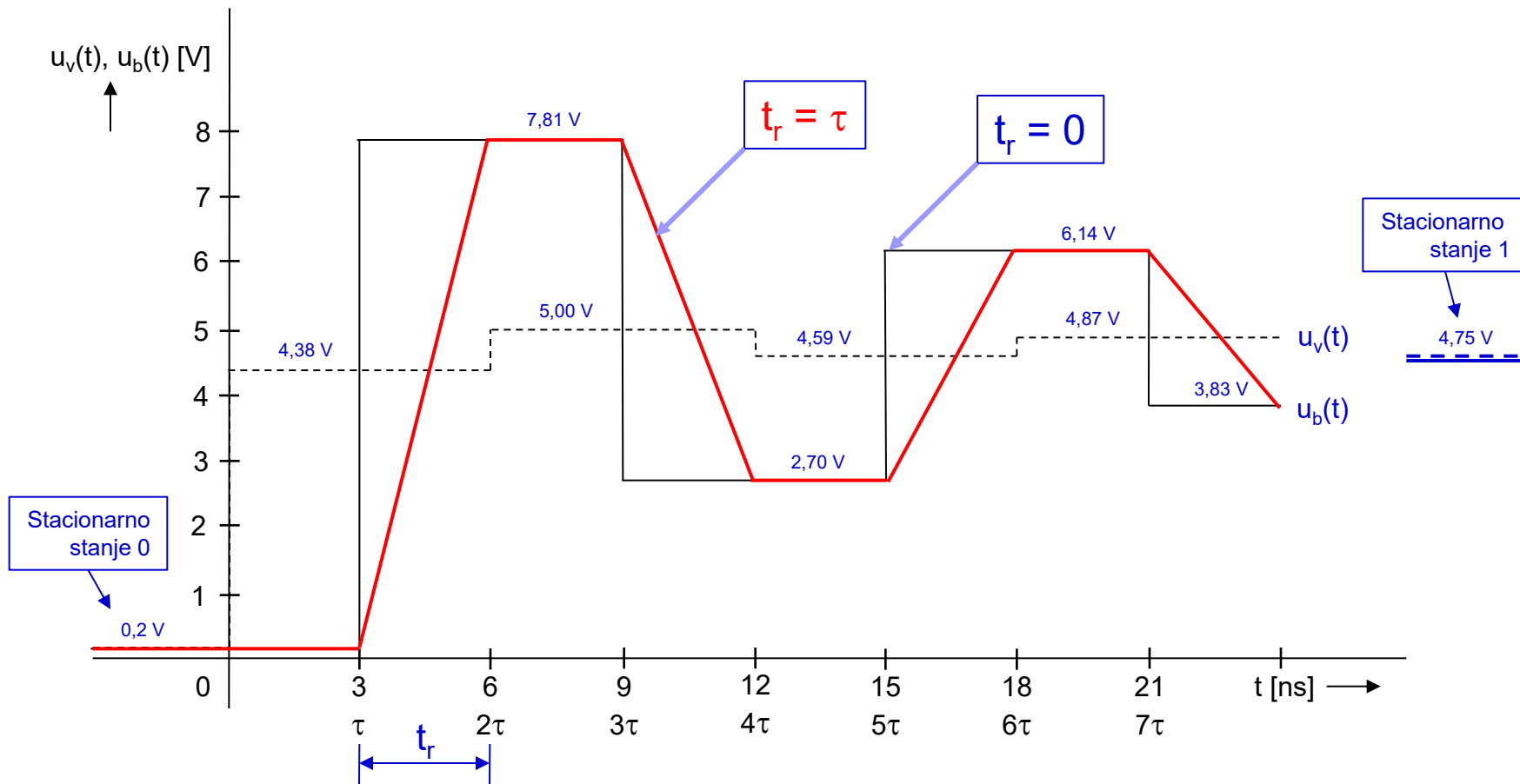
- 7.2: Vpliv časa vzpona/padca na odboje - ponovitev

- 7.3: Naloga 4-1 - Simulacija

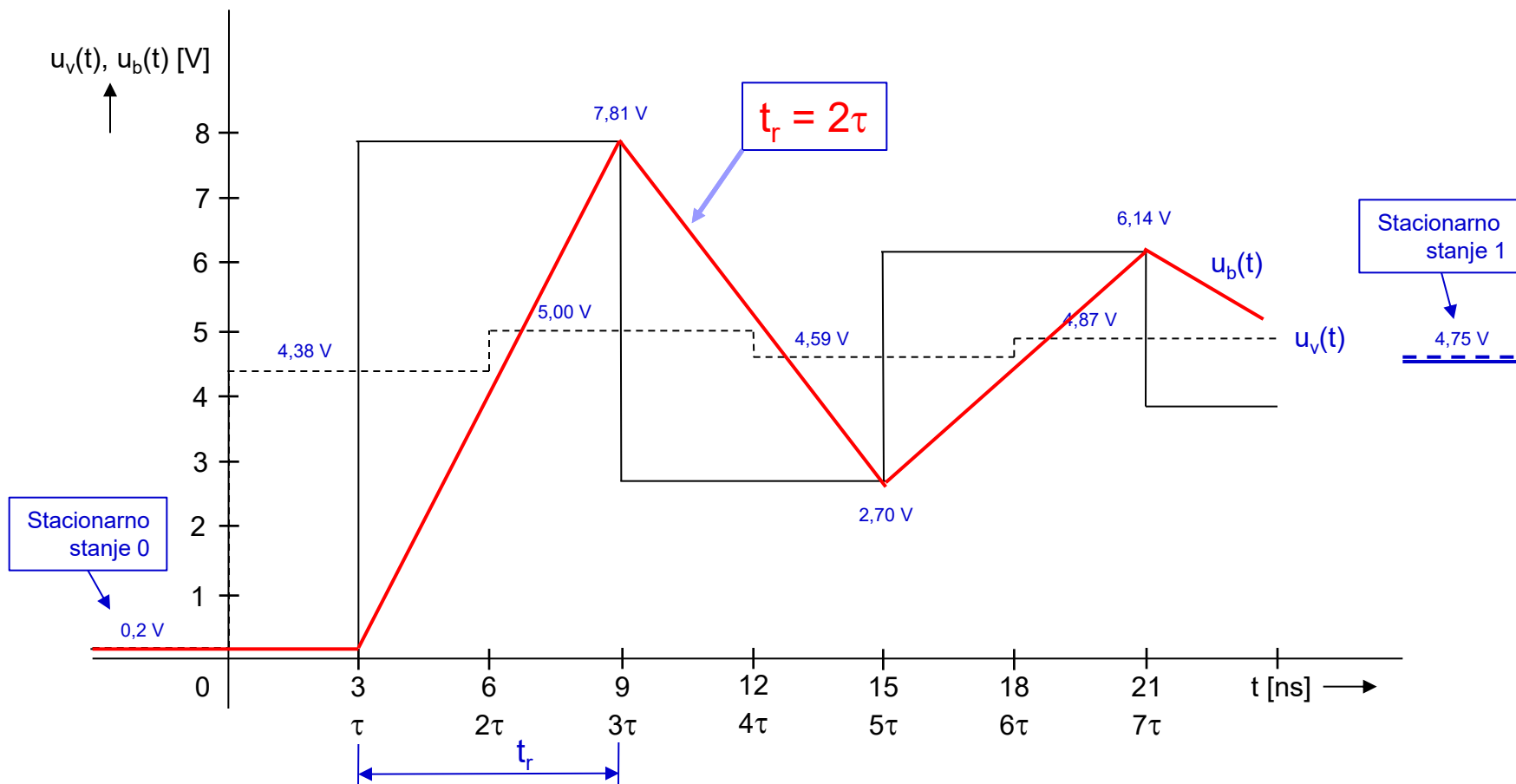
- 7.4: Simulacija odbojev za lab. meritve – DN 2-AV1.1

- 7.5: Simulacija odbojev na naslovni liniji – DN 2-AV1.2

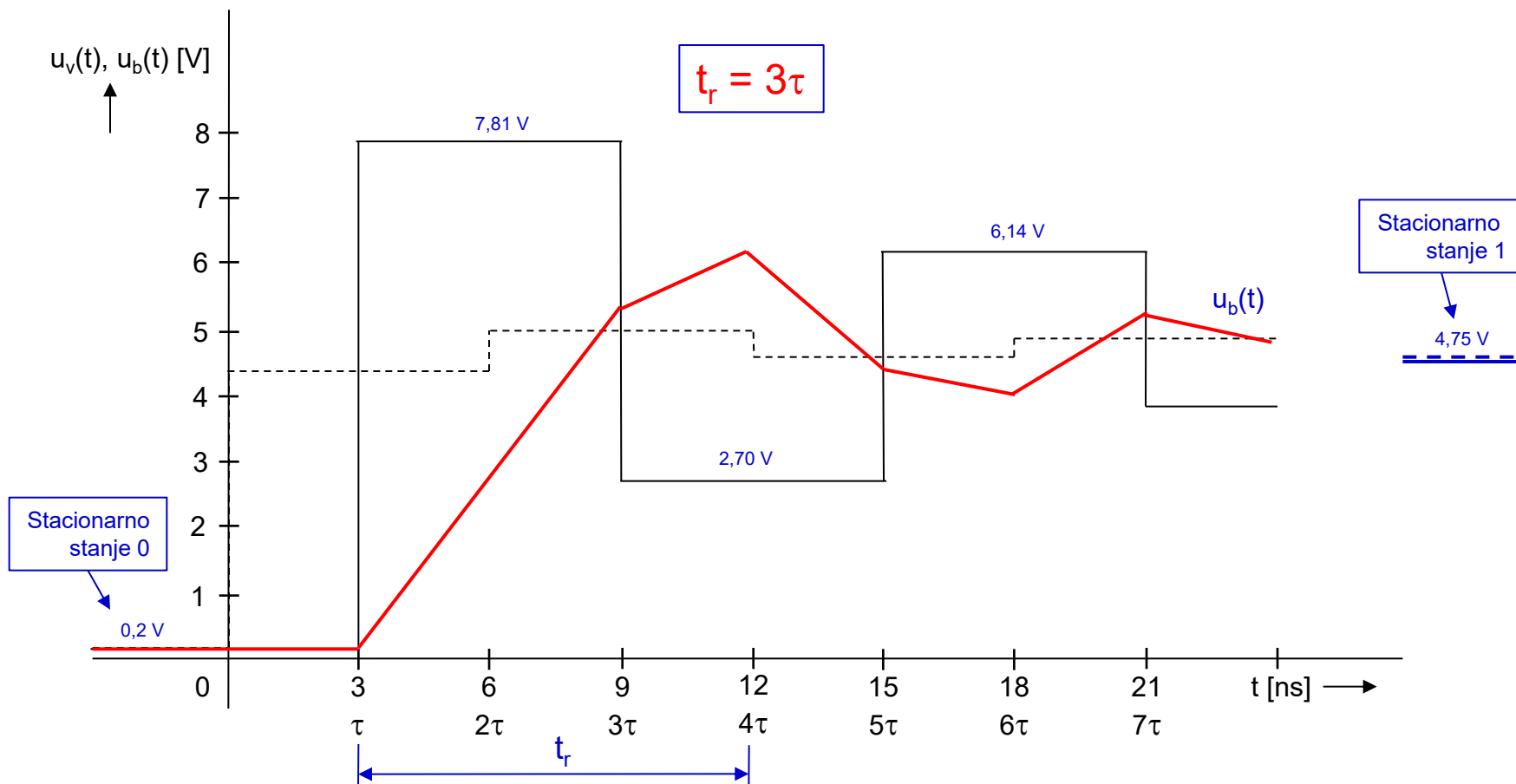
Časovni diagram poteka napetosti na izhodu iz linije do časa $t = 7\tau$, če je čas vzpona signala enak času potovanja signala po liniji $t_r = \tau$.



Časovni diagram poteka napetosti izhodu iz linije do časa $t = 7\tau$, če je čas vzpona signala enak času potovanja signala po liniji $t_r = 2\tau$



Časovni diagram poteka napetosti izhodu iz linije do časa $t = 7\tau$, če je čas vzpona signala enak času potovanja signala po liniji $t_r = 3\tau$ ($t_r > 2\tau$)

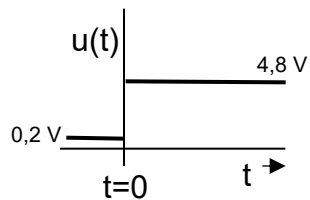


LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

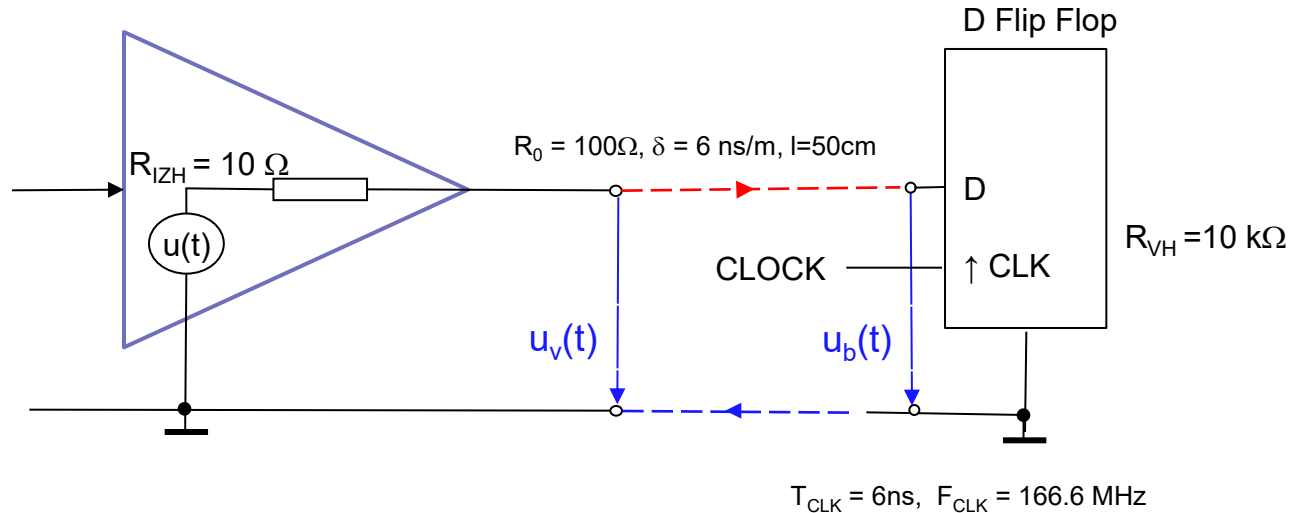
- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.3: Naloga 4-1 - Simulacija
- 7.4: Simulacija odbojev za lab. meritve – DN 2-AV1.1
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-AV1.2

Naloga 4-1:

Ugotovite ali pri podanih podatkih vezje deluje pravilno
(Lahko tudi: izračunajte in narišite potek napetosti na urinem vhodu
čipa 74ACT74 - D FlipFlop).



Sprememba signala iz stanja 1
v stanje 0 ob času $t = 0$

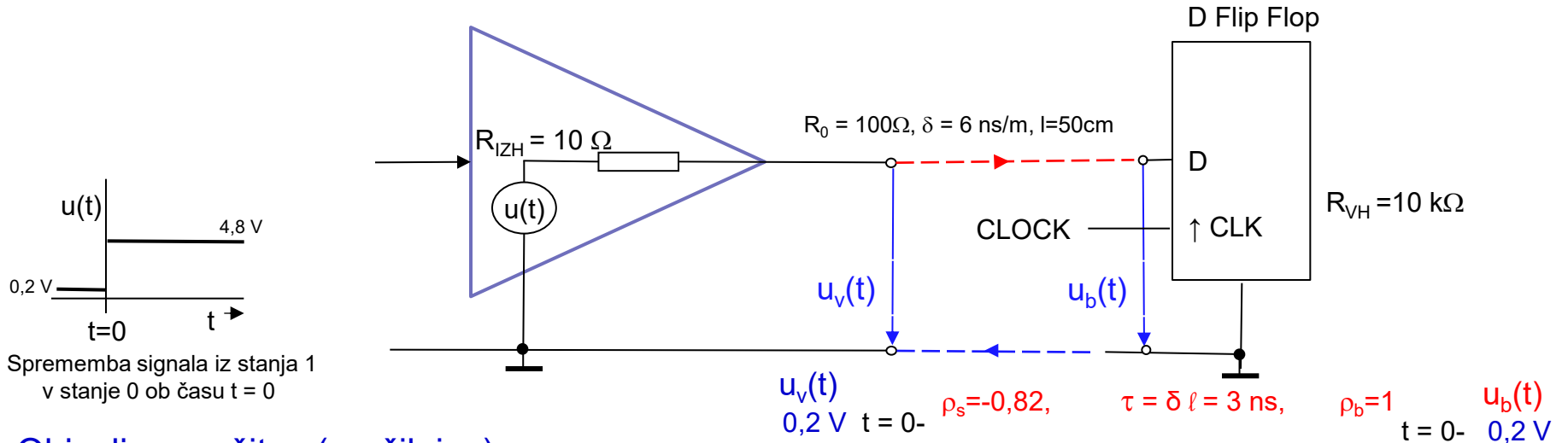


$$\tau = \delta \cdot l = 6 \text{ ns/m} \cdot 0,5 \text{ m} = \underline{\underline{3 \text{ ns}}}$$
$$S_v = \frac{R_{IZH} - R_0}{R_{IZH} + R_0} = \underline{\underline{-0,82}}$$
$$S_b = \frac{R_{VH} - R_0}{R_{VH} + R_0} = \underline{\underline{1}}$$

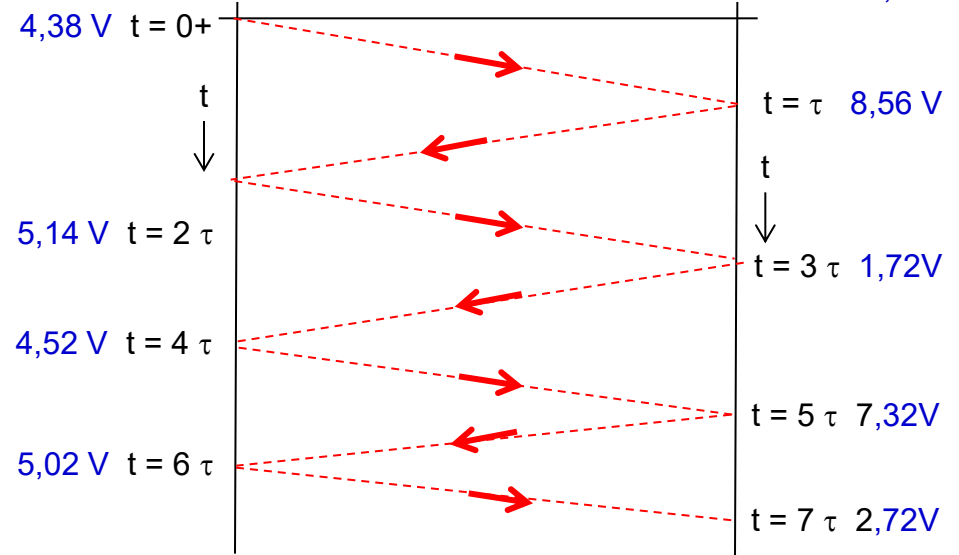
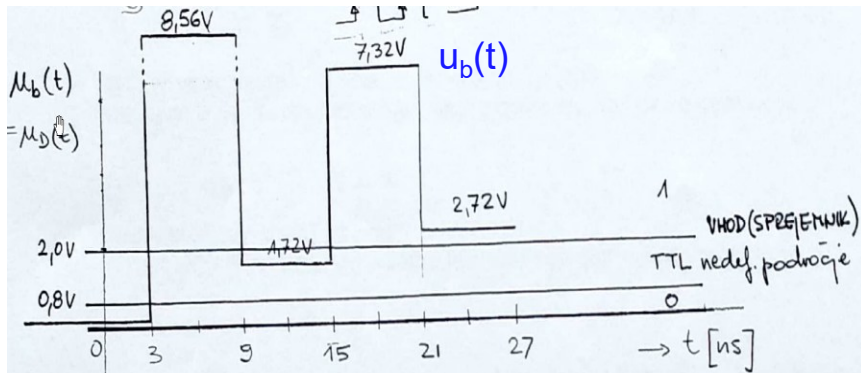
Naloga 4-1 (objavljena rešitev):

Ugotovite ali pri podanih podatkih vezje deluje pravilno
(Lahko tudi: izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop).

$T_{CLK} = 6\text{ ns}$, $F_{CLK} = 166.6\text{ MHz}$



Objavljena rešitev (e-učilnica)



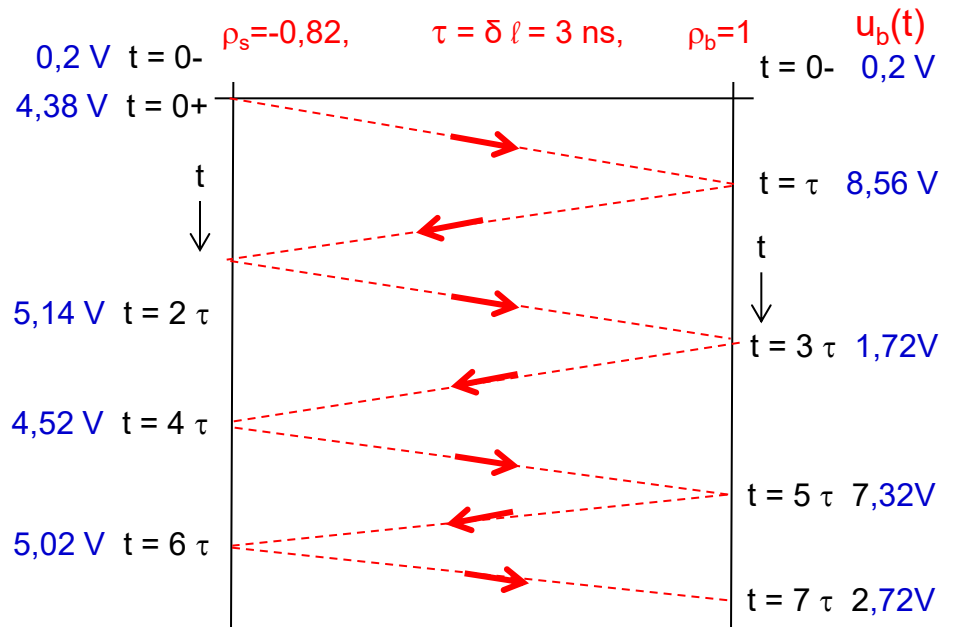
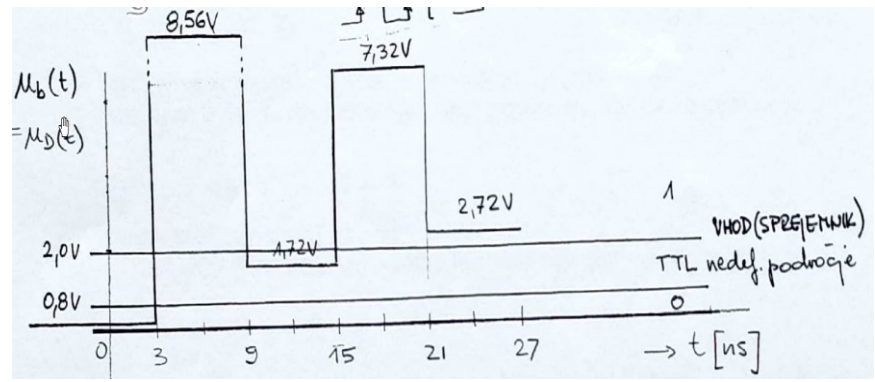
Naloga 4-1 (objavljena rešitev):

Ugotovite ali pri podanih podatkih vezje deluje pravilno
(Lahko tudi: izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop).

$\tau = \delta \cdot l = 6 \text{ ns/m} \cdot 0,5 \text{ m} = \underline{3 \text{ ns}}$
 $\rho_v = \frac{R_{in} - R_o}{R_{in} + R_o} = -0,82$
 $\rho_b = \frac{R_{vH} - R_o}{R_{vH} + R_o} = 1$

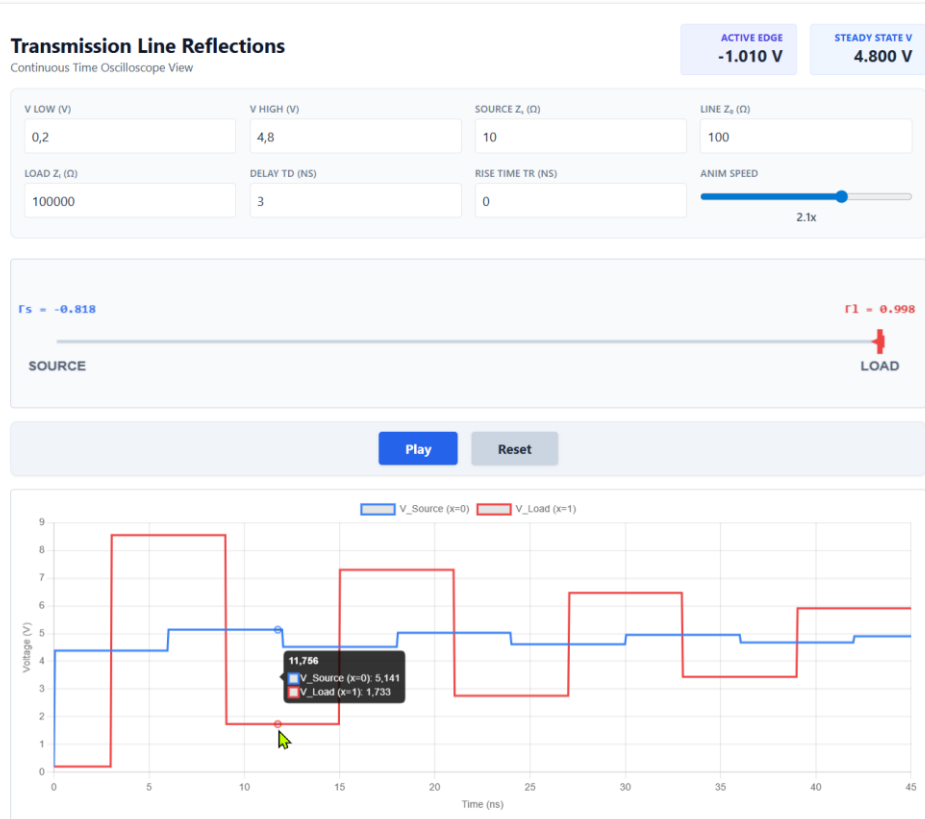
$u_v(0^-) = u_b(0^-) = \frac{U_o \cdot R_b}{R_v + R_b} = \frac{0,2 \text{ V} \cdot 10000}{10010} = 0,198 \text{ V} \approx \underline{0,2 \text{ V}}$
 $t=0^+ \quad u_v(0^+) = u_v(0^-) + \frac{\Delta U \cdot R_o}{R_v + R_o} = 0,2 \text{ V} + \frac{4,6 \text{ V} \cdot 100 \Omega}{110 \Omega} =$
 $= 0,2 \text{ V} + 4,18 \text{ V} = \underline{4,38 \text{ V}}$
 $t=\tau \quad u_b(\tau) = u_b(0^-) + \mu_p(1) + \mu_p(1) \cdot \rho_b =$
 $= 0,2 \text{ V} + 4,18 \text{ V} + 4,18 \text{ V} = \underline{8,56 \text{ V}}$
 $t=3\tau \quad u_b(3\tau) = \underline{1,72 \text{ V}}$
 $t=5\tau \quad u_b(5\tau) = \underline{7,32 \text{ V}}$
 $t=7\tau \quad u_b(7\tau) = \underline{2,72 \text{ V}}$

Če ste im signalom
 kontinu D flip flop, ki
 je prosti z urinim signalom
 s frekvenco $f_1 = 166 \text{ MHz}$
 pride lahko do nepravilne
 delovanja.

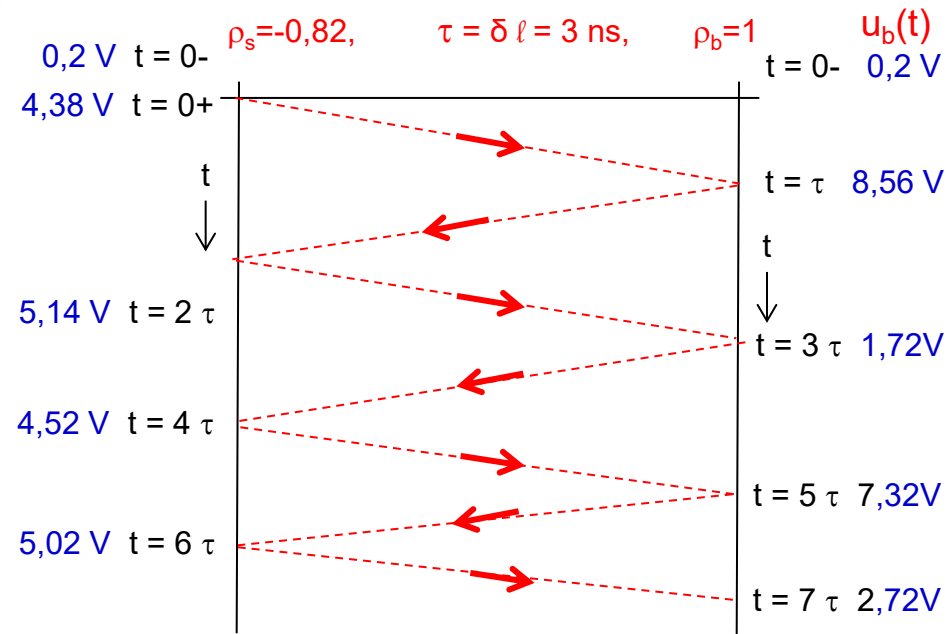
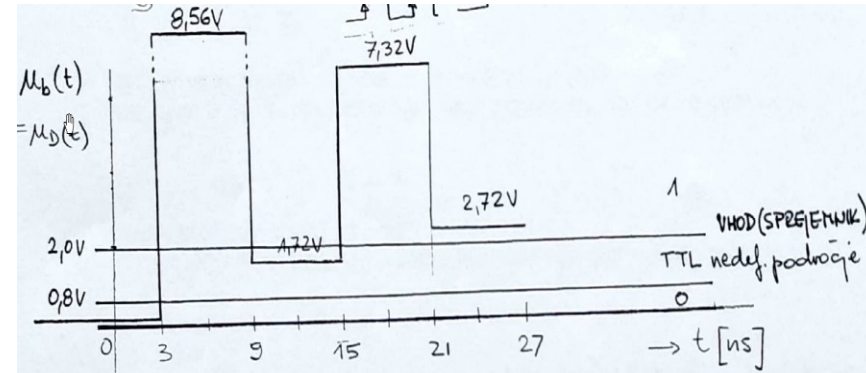


Naloga 4-1 (objavljena rešitev):

Spletna vizualizacija odbojev:

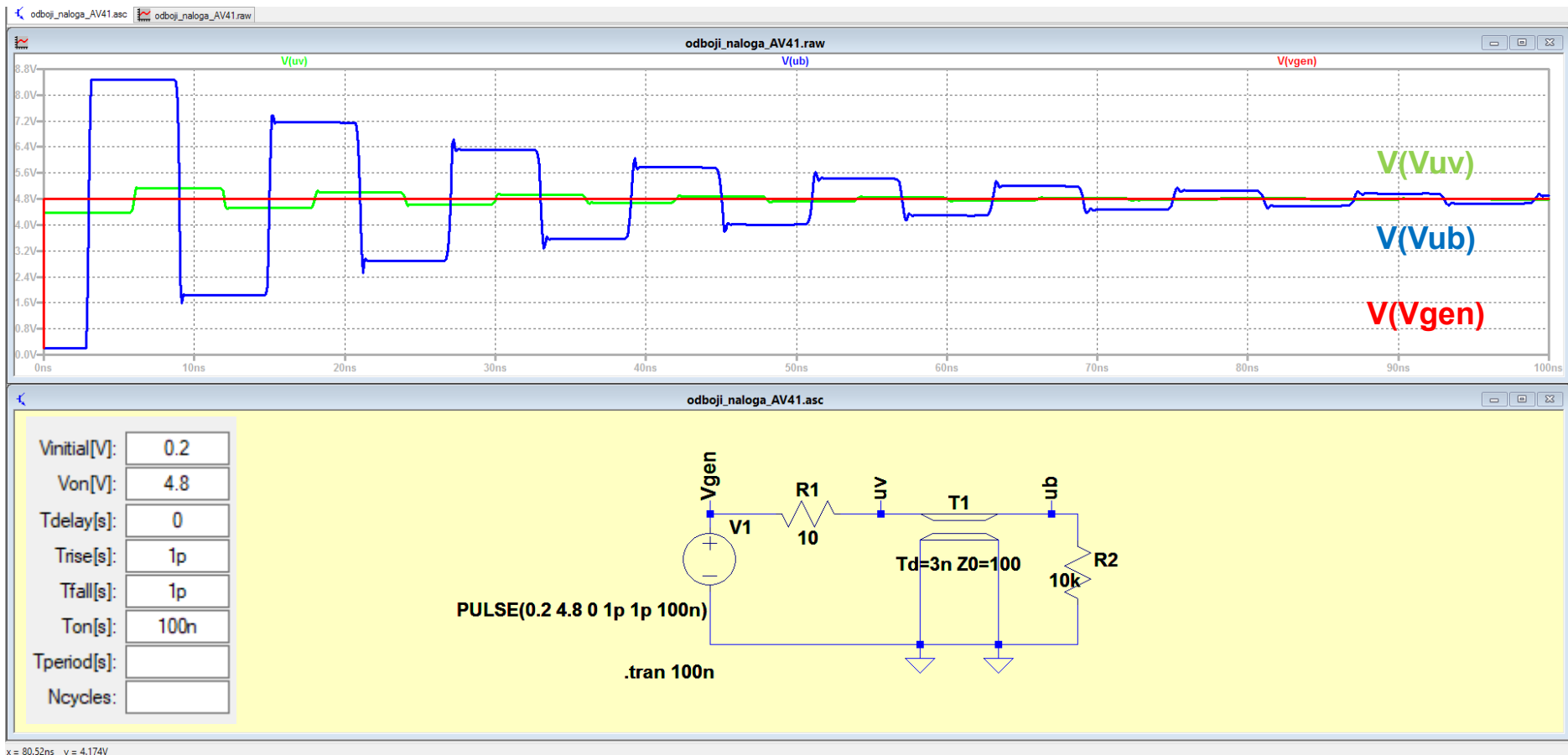


https://lapsylab.github.io/transmission_lines_reflections.html



LTSpice – Naloga AV4-1 - Simulacija

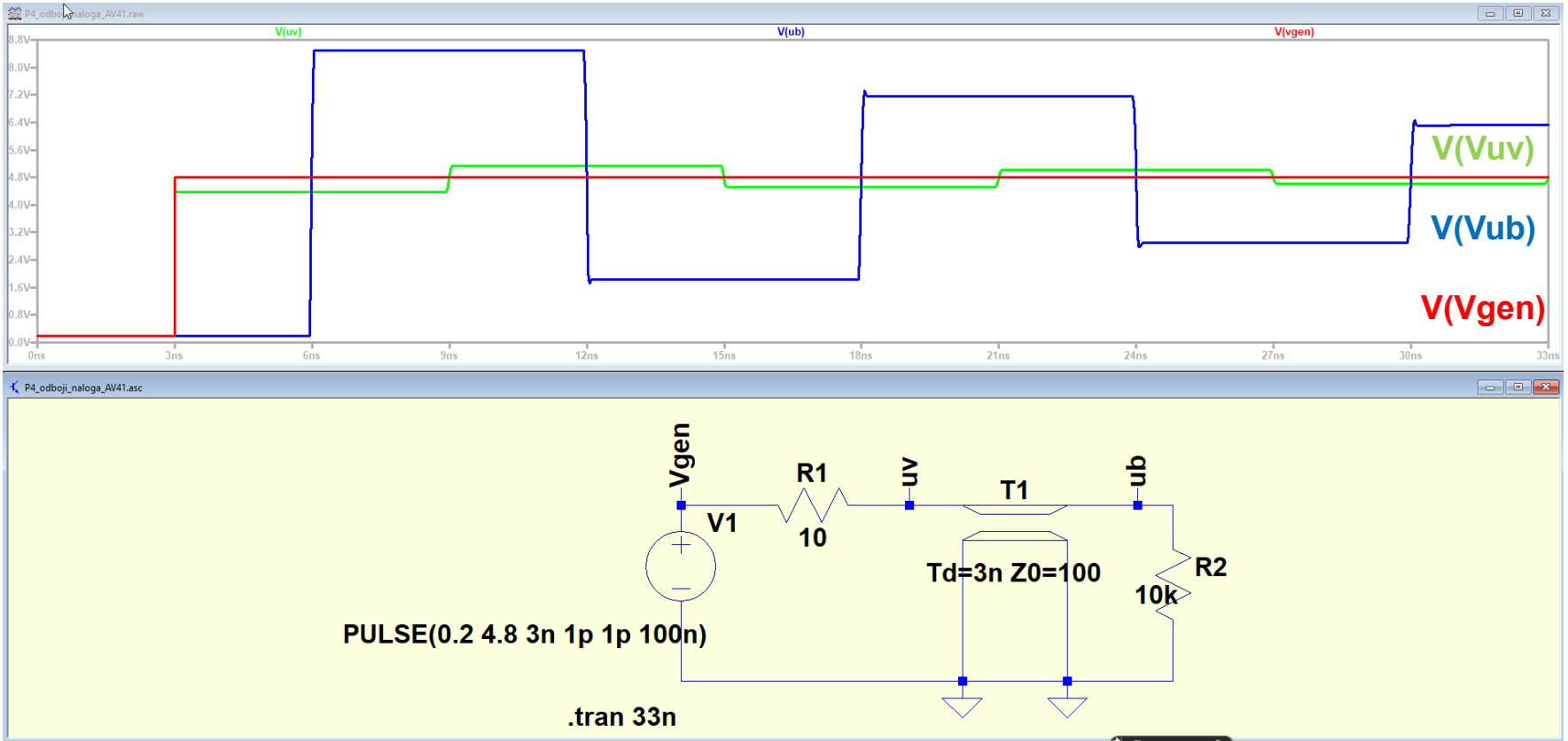
izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop



Pozor: nap. nivoji do 5V !

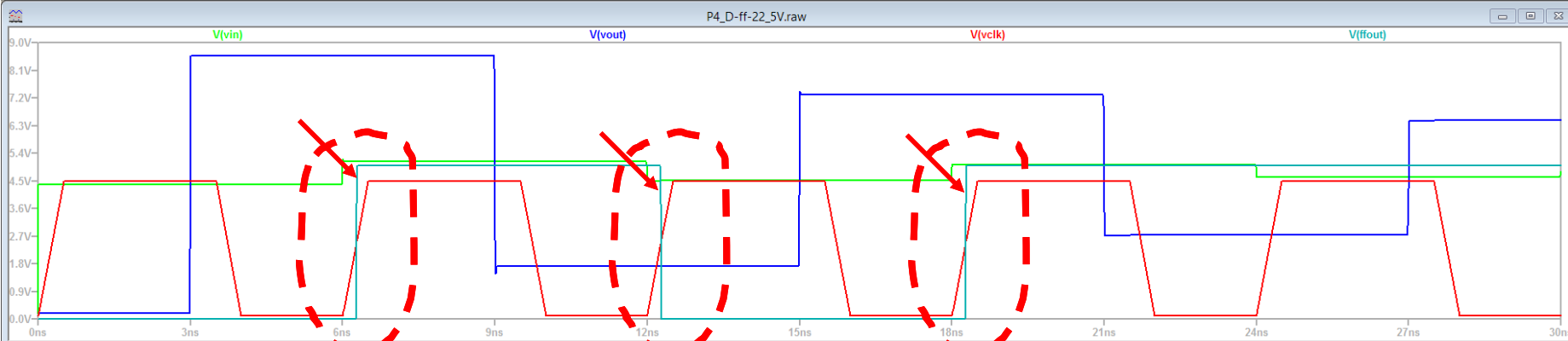
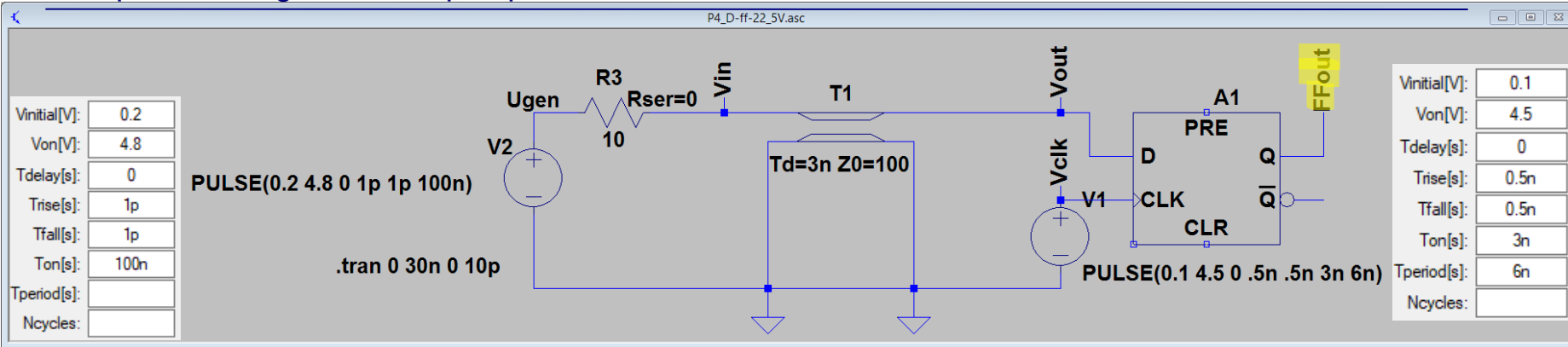
■ LTSpice – Naloga AV4-1 – 3ns zakasnitve in do 33ns

izračunajte in narišite potek napetosti na urinem vhodu čipa 74ACT74 - D FlipFlop



Pozor: nap. nivoji do 5V !

LTSpice – Naloga AV4-1 FlipFlop



Component Attribute Editor

Open Symbol: C:\Users\R\Documents\LTspiceXVII\lib\sym\Digital\dfflop.asy

Attribute	Value	Vis.
Prefix	A	
InstName	A1	X
SpiceModel	DFLOP	
Value		
Value2	Vhigh=5 Vlow=0	
SpiceLine		
SpiceLine2		

Cancel OK

Nastavimo nap. nivoje za D-FF (do 5V, sicer 1V)

Vhigh=5 Vlow=0

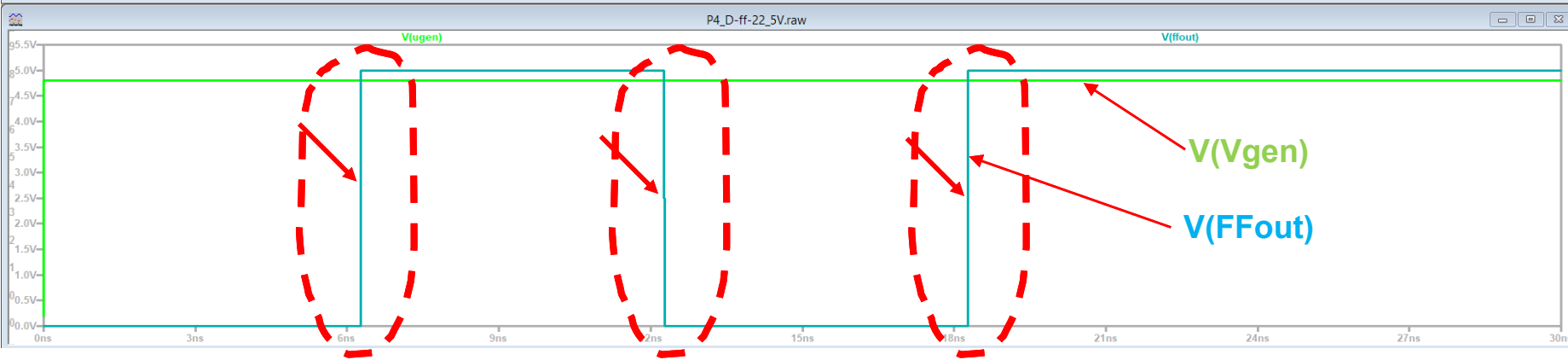
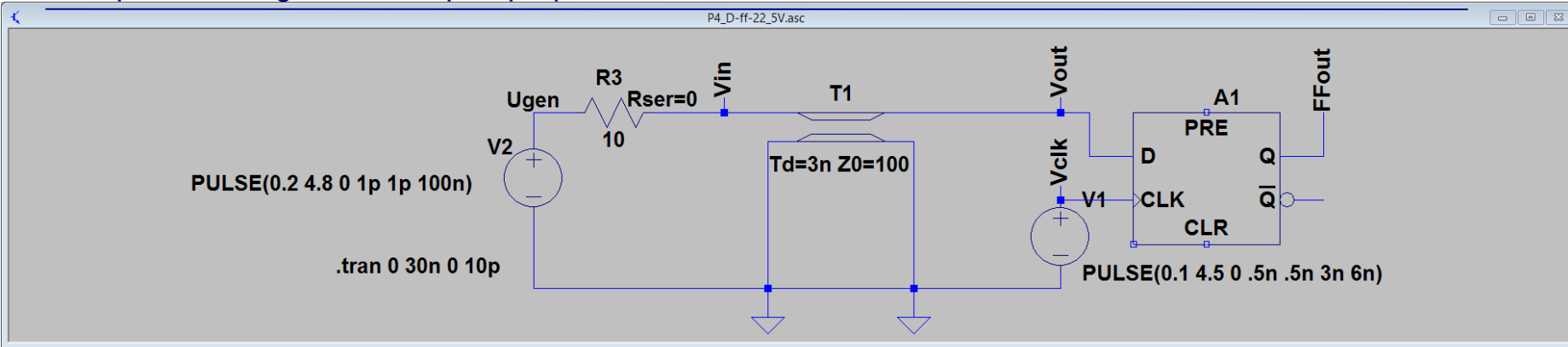
V(Vin)

V(Vout)

V(clk)

V(FFout)

LTSpice – Naloga AV4-1 FlipFlop - problem

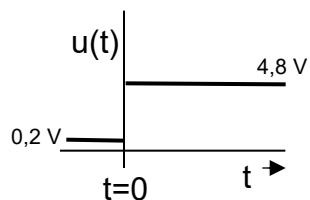


**Problem: D-FF namesto enega prehoda 0->1 V(Vgen)
naredi 3 prehode: 0->1->0->1 V(FFout)
(dva dodatna nepotrebna prehoda)**

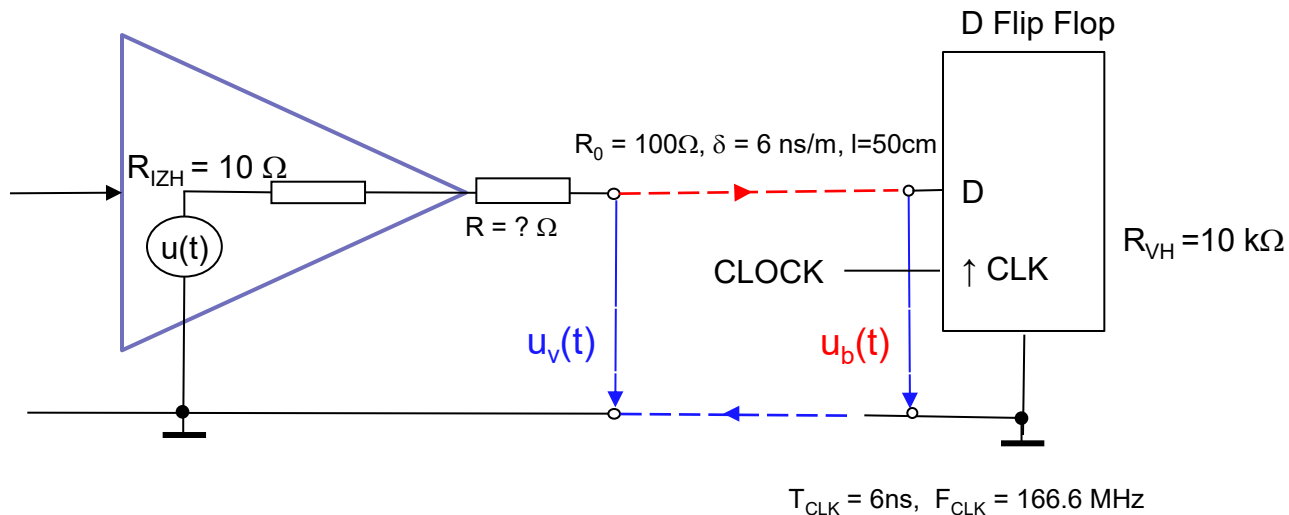
Naloga 4-1a: Serijska prilagoditev

Ponovite izračun in izris ob dodani serijski prilagoditvi.

Kaj se spremeni ?



Sprememba signala iz stanja 1 v stanje 0 ob času $t = 0$

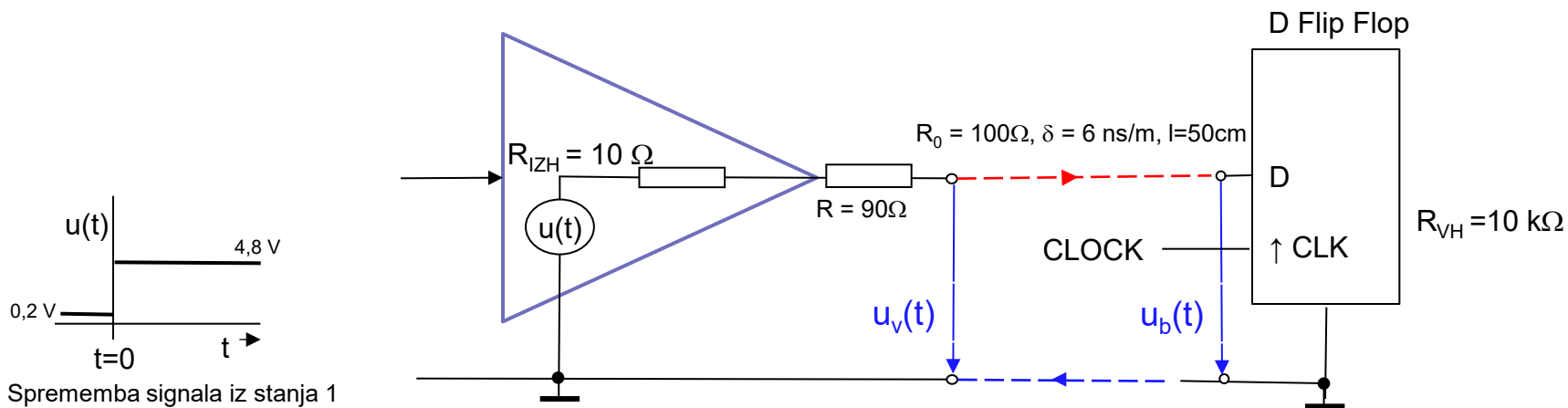


Naloga 4-1a (objavljena rešitev): Serijska prilagoditev

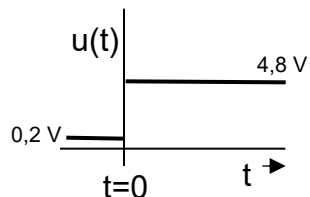
Ponovite izračun in izris ob dodani serijski prilagoditvi.

Kaj se spremeni ? – Računska rešitev

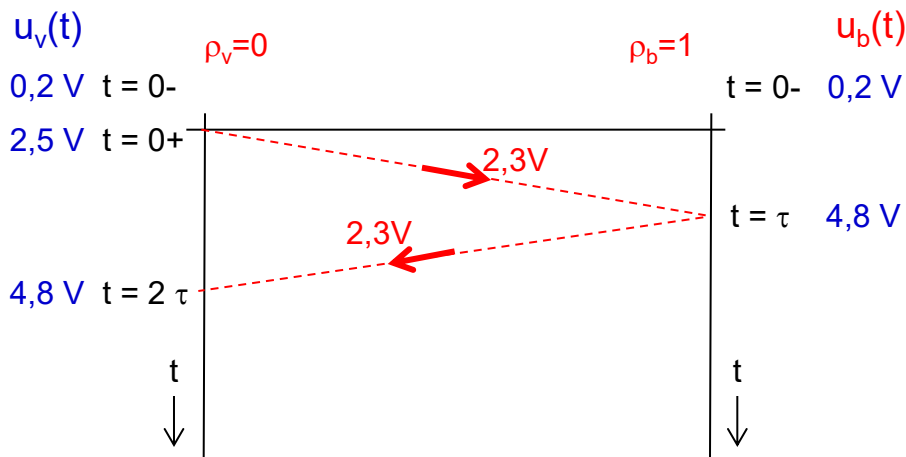
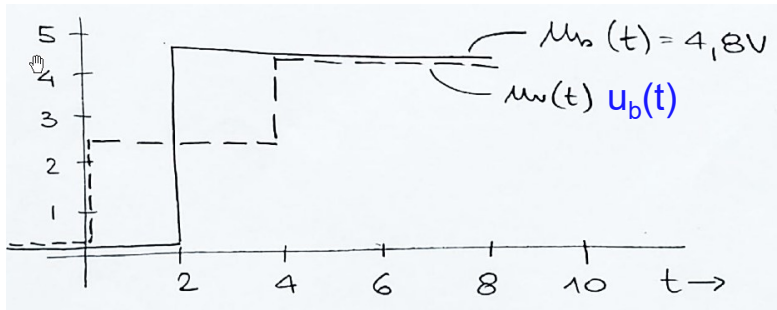
$$T_{CLK} = 6ns, F_{CLK} = 166.6 MHz$$



Sprememba signala iz stanja 1 v stanje 0 ob času $t = 0$



Objavljena rešitev (e-učilnica)



Naloga 4-1a (objavljena rešitev): Serijska prilagoditev

Ponovite izračun in izris ob dodani serijski prilagoditvi.

Kaj se spremeni ? – Računska rešitev

Transmission Line Reflections

Continuous Time Oscilloscope View

ACTIVE EDGE
+0.000 V

STEADY STATE V
4.795 V

V LOW (V) 0,2	V HIGH (V) 4,8	SOURCE Z ₀ (Ω) 100	LINE Z ₀ (Ω) 100
LOAD Z ₀ (Ω) 100000	DELAY TD (NS) 3	RISE TIME TR (NS) 0	ANIM SPEED 2.1x

Γ_s = 0,000

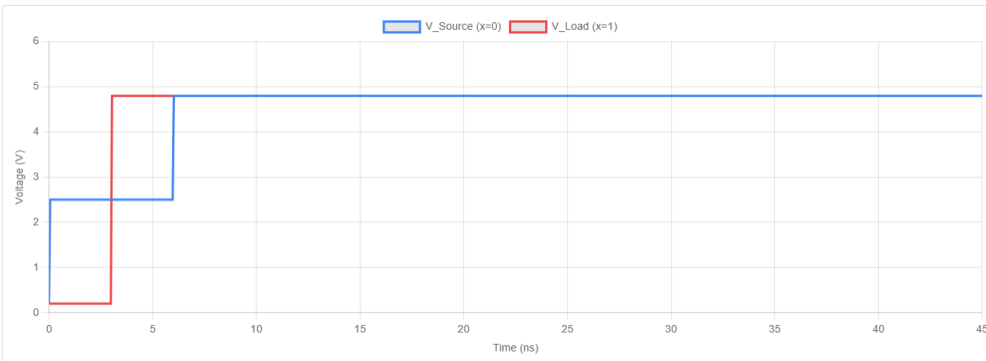
Γ_l = 0,998

SOURCE

LOAD

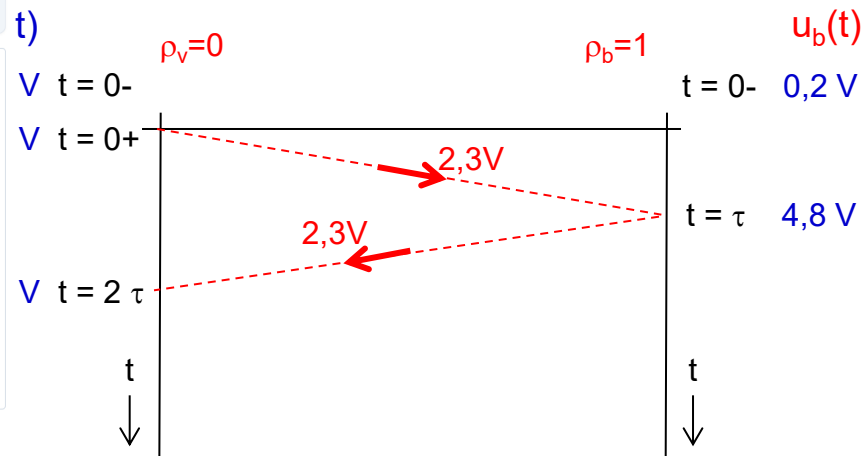
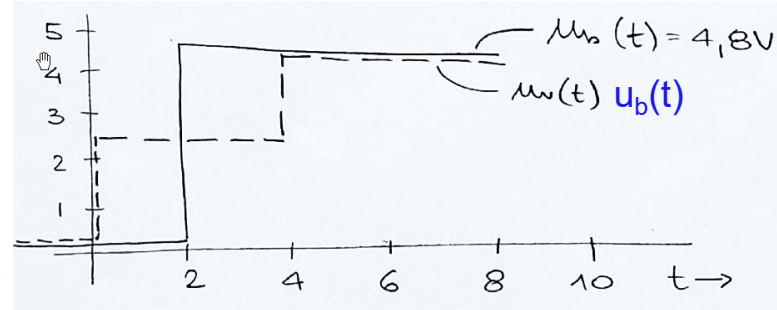
Play

Reset

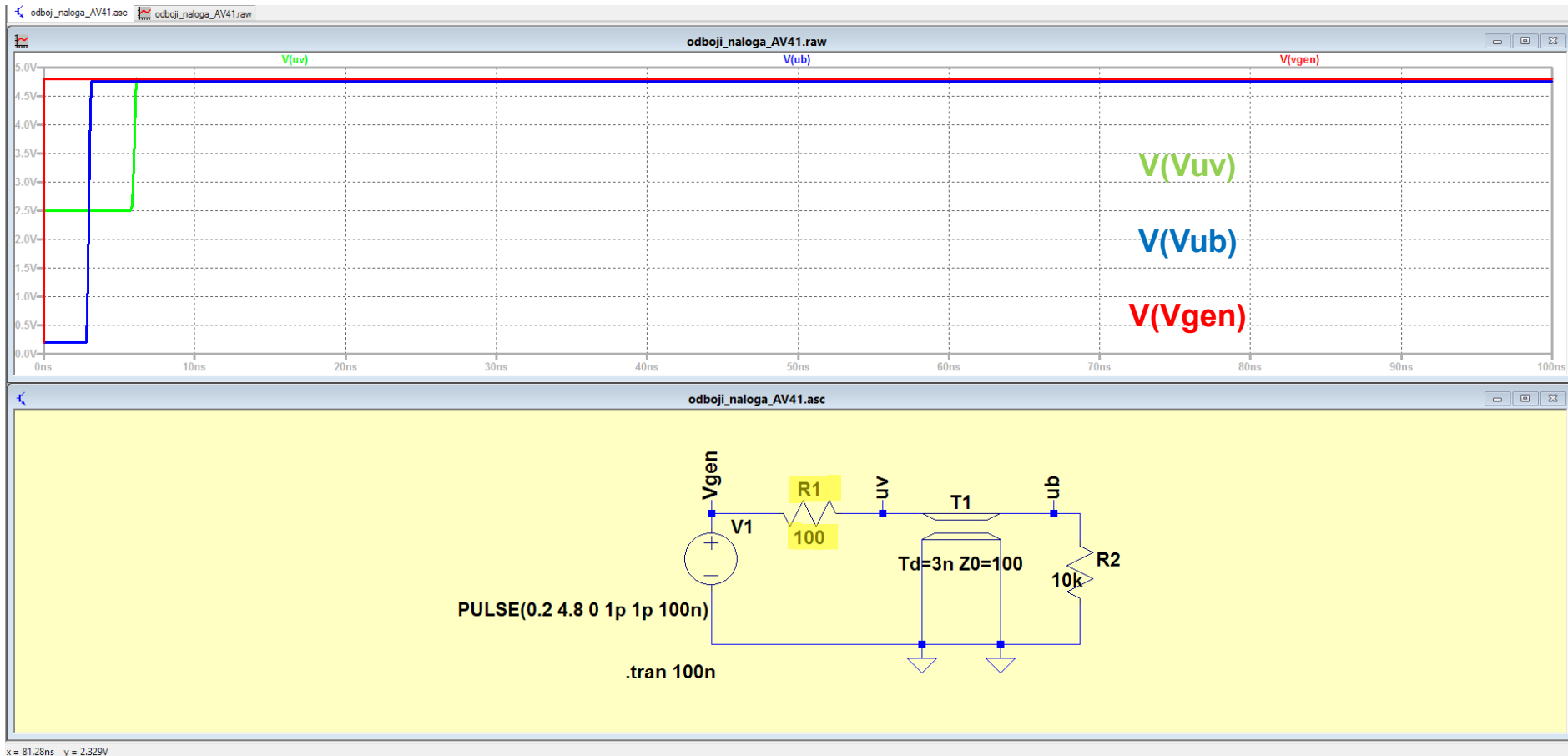


https://lapsylab.github.io/transmission_lines_reflections.html

Objavljena rešitev (e-učilnica)

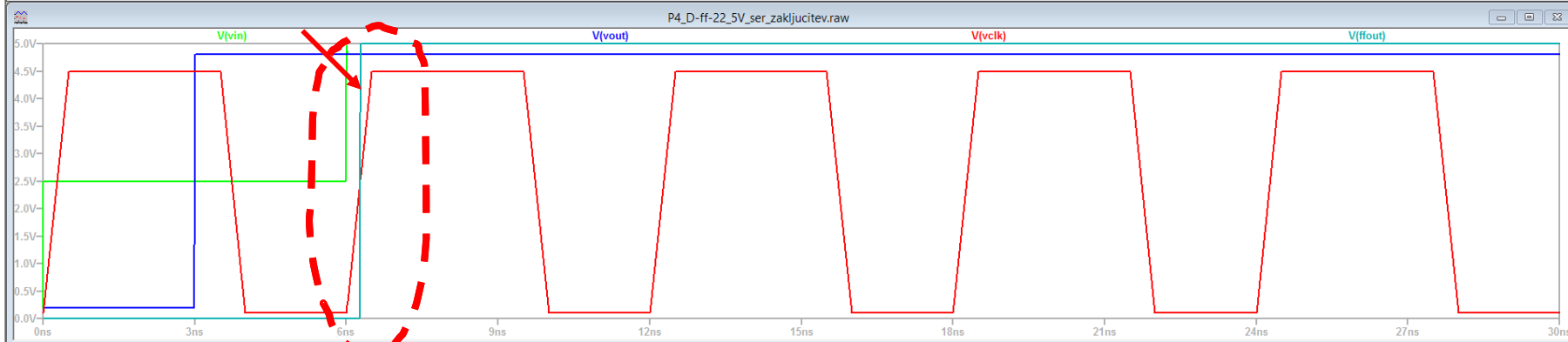
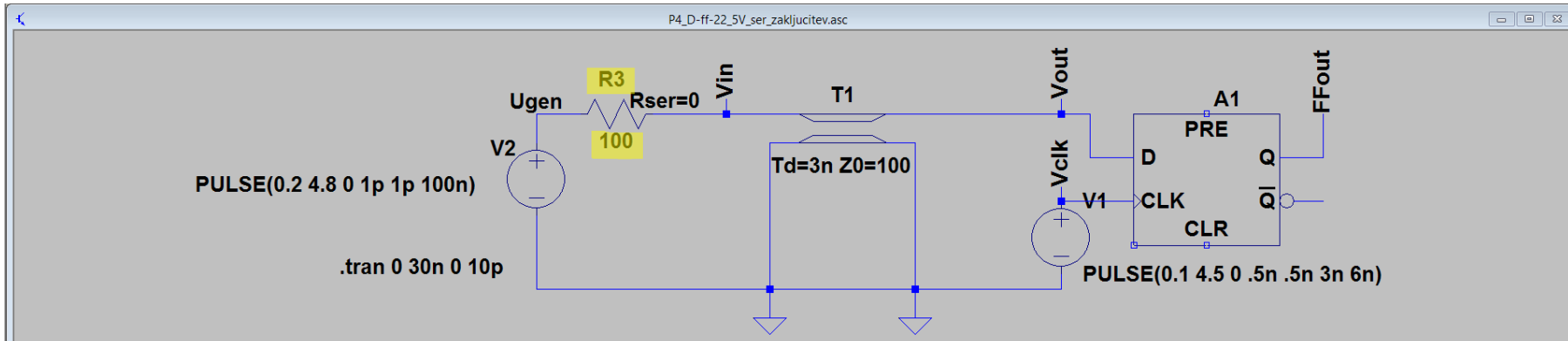


LTSpice – Naloga AV4-1a (A: serijska prilagoditev)



Nap. nivoji do 5V !

LTSpice – Naloga AV4-1a FlipFlop (A: serijska prilagoditev)



Component Attribute Editor

Open Symbol: C:\Users\R\Documents\LTSpiceXVII\lib\sym\Digital\dfflop.asy

Attribute	Value	Vis.
Prefix	A	
InstName	A1	X
SpiceModel	DFLOP	
Value		
Value2	Vhigh=5 Vlow=0	
SpiceLine		
SpiceLine2		

Cancel OK

Nastavimo nap. nivoje za D-FF (do 5V, sicer 1V)

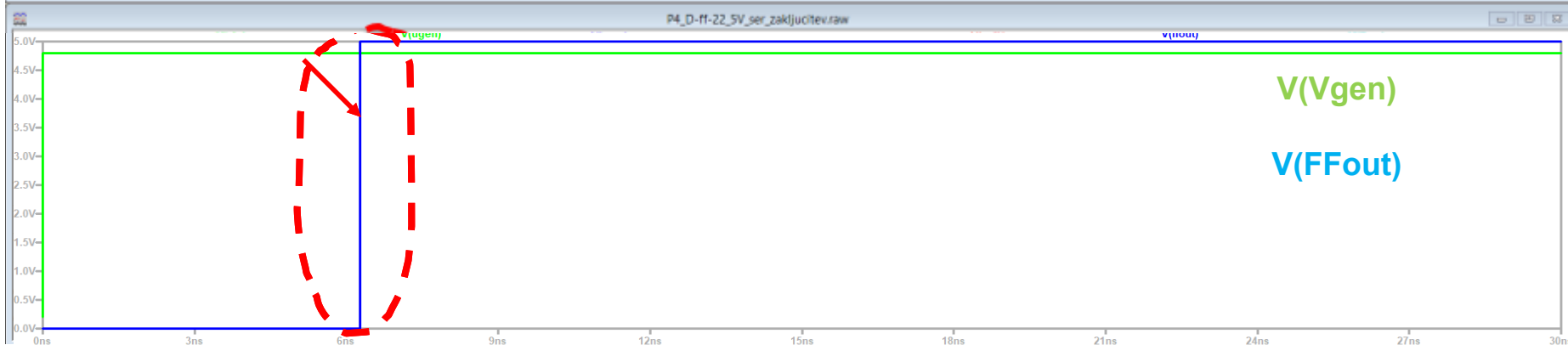
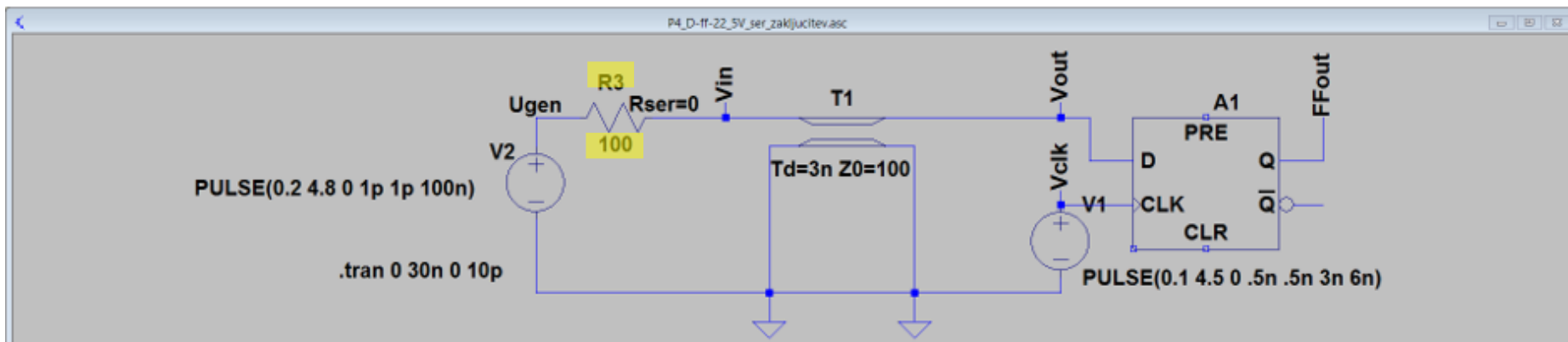
V(Vin)

V(Vout)

V(clk)

V(FFout)

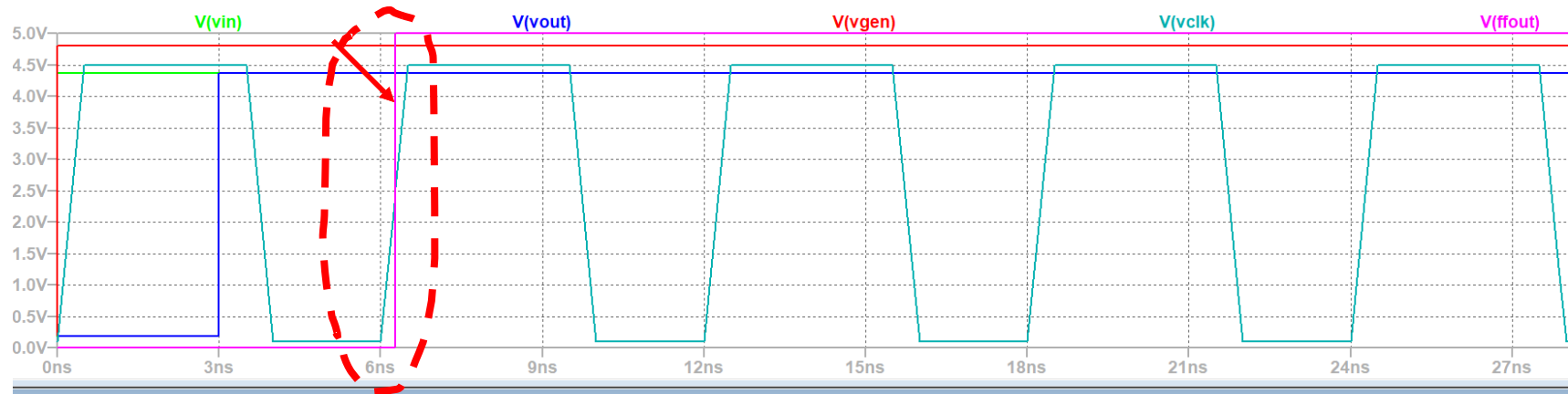
LTSpice – Naloga AV4-1a FlipFlop (A: serijska prilagoditev)



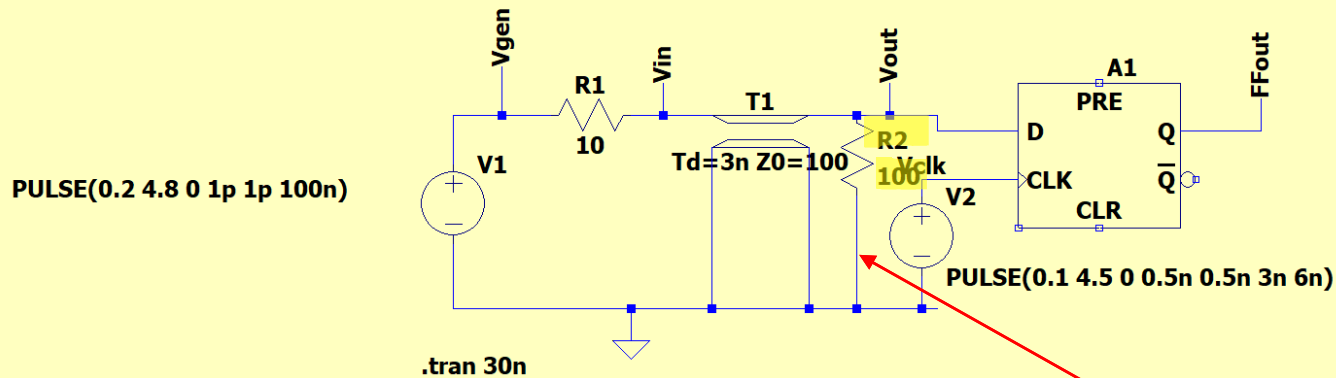
Rešitev: D-FF naredi tudi samo eden (zakasnjjen) prehod 0->1
V(Vgen) in V(FFout)

Izziv: bi lahko problem rešili še kako drugače ?

LTSpice – Naloga AV4-1a FlipFlop (B: paralelna prilagoditev)



Vezej4_Naloga_AV41_D-FF_Par_zak.asc

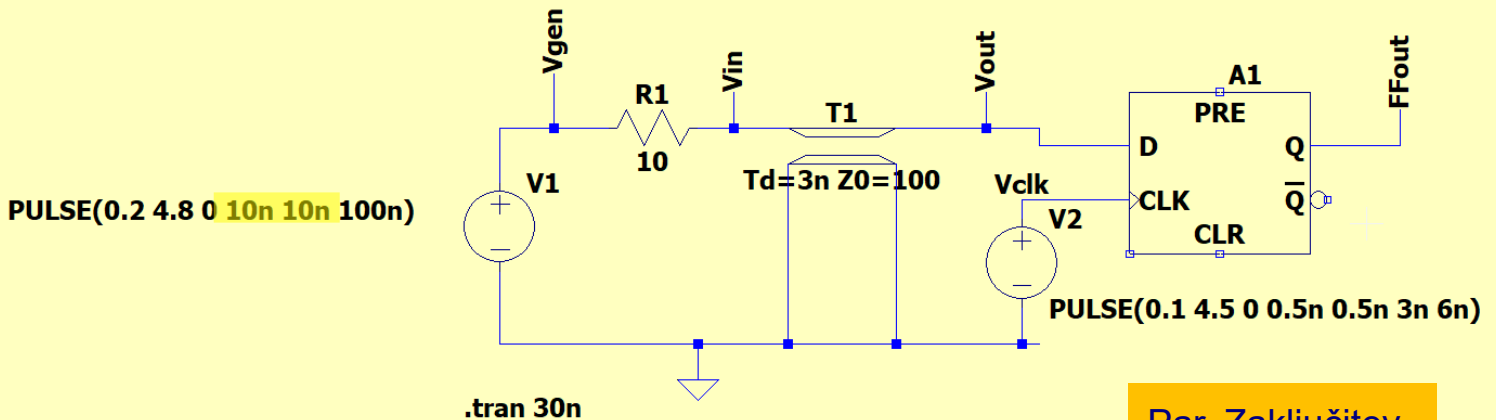
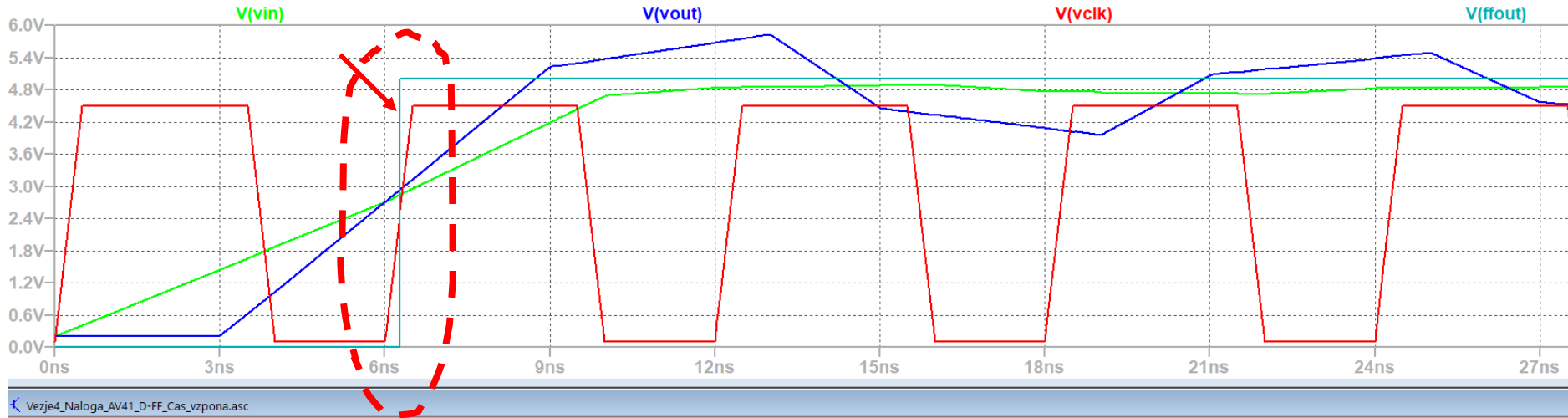


Rešitev: D-FF naredi tudi samo eden (zakasnen) prehod 0->1

Izziv: bi lahko problem rešili še kako drugače ?

Par. Zaključitev,
Počasnejši CLK
Čas vzpona ...

LTSpice – Naloga AV4-1a FlipFlop (C: daljši čas vzpona ($10\text{ns} > 3\tau=9\text{ns}$))



Rešitev: D-FF naredi tudi samo eden (zakasnen) prehod 0->1

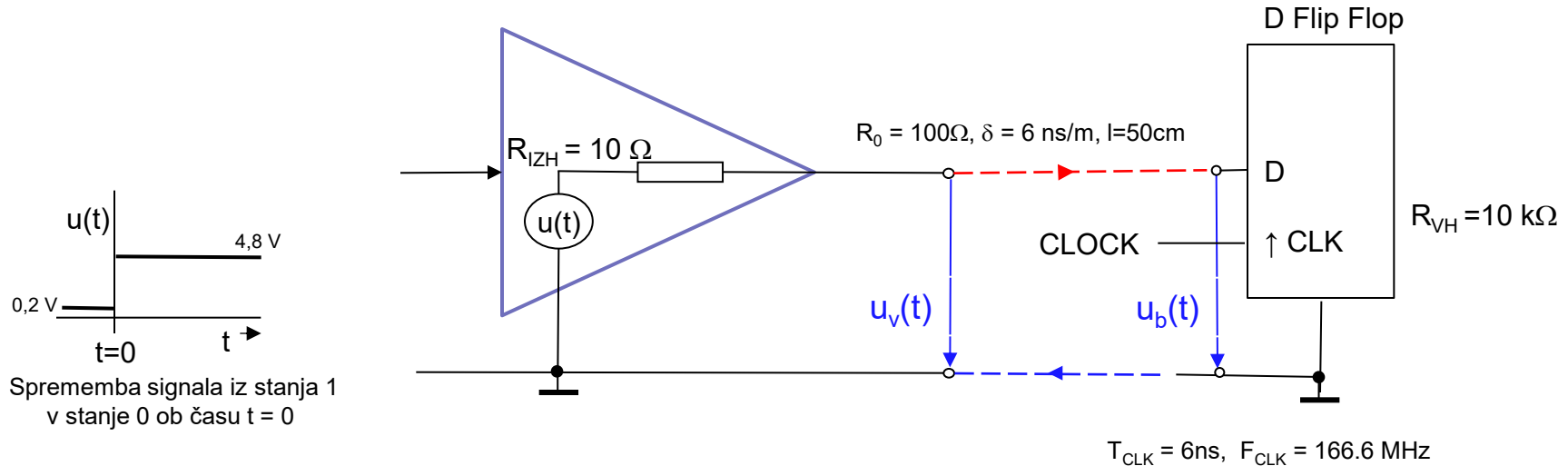
Par. Zaključitev,
Počasnejši CLK
Čas vzpona ...

Izziv: bi lahko problem rešili še kako drugače ?

PULSE(0.2 4.8 0 10n 10n 100n)

Naloga 4-1:

Ugotovite ali pri podanih podatkih vezje deluje pravilno
(Lahko tudi: izračunajte in narišite potek napetosti na urinem vhodu
čipa 74ACT74 - D FlipFlop).



$$\tau = \delta \cdot l = 6 \text{ ns/m} \cdot 0,5 \text{ m} = \underline{\underline{3 \text{ ns}}}$$

$$S_v = \frac{R_{IZH} - R_0}{R_{IZH} + R_0} = \underline{\underline{-0,82}}$$

$$S_b = \frac{R_{VH} - R_0}{R_{VH} + R_0} = \underline{\underline{1}}$$

LEA portal:

[VIN LAB 07.05 AV1 - Simulacija vezij v orodju LTSpice_Simulacija in razrešitev problema naloge z odboji.mp4](#)

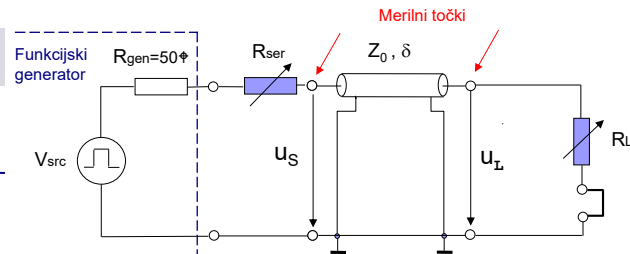
[VIN LAB 07.05 AV1 - Simulator vezij LTSpice_Simulacija in resitev Naloga 4-1 in 4-1a.mp4](#)

LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.3: Naloga 4-1 - Simulacija
- 7.4: Simulacija odbojev za lab. meritve – DN 2-AV1.1
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-AV1.2

(Priprava na LV2) - Merjenje odbojev na liniji

Primer rezultatov meritev



Slike osciloskopa: UTP kabel, $R_S = 50..550 \Omega$, $R_L = 1..500 \Omega$ ($R_{gen}=50 \Omega$) UTP

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

Višje potujoče napetosti

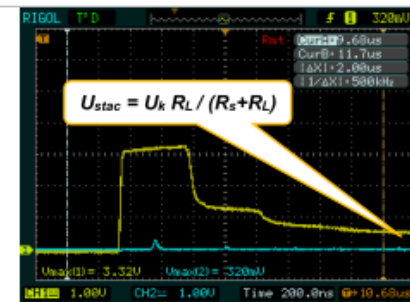
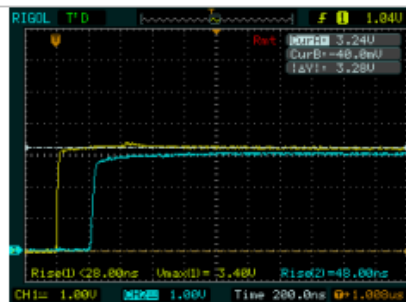
$R_0 = 100 \Omega$
 $R_L, R_S = 0,50,500 \Omega$

$R_L > R_0, R_L = 500 \Omega$
 $\rho_L = 0.666$ (poz. odboj)

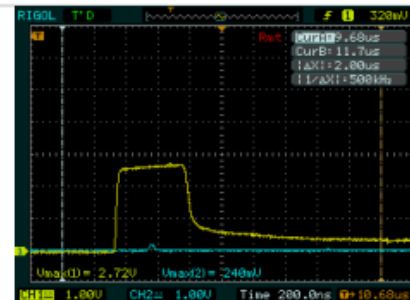
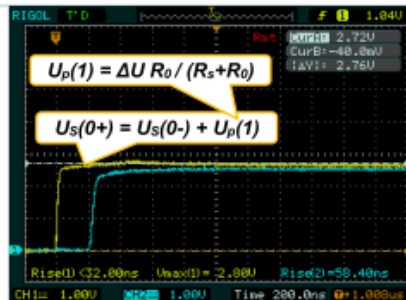
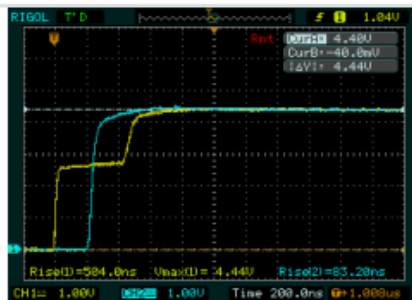
$R_L = R_0$
 $\rho_L = 0$ (ni odboja)

$R_L < R_0, R_L = 1 \Omega$
 $\rho_L = -0.98$ (neg. odboj)

$R_S < R_0$
 $R_S = 50 \Omega$
 $\rho_S = -0.333$
 [1V/razdelek]

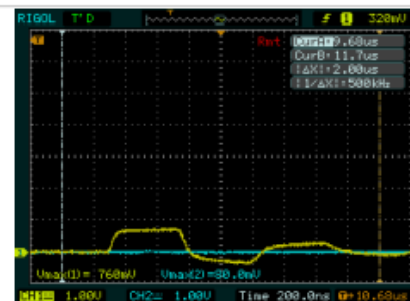
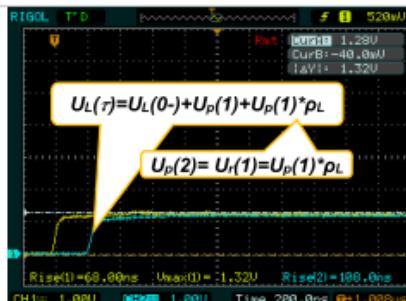
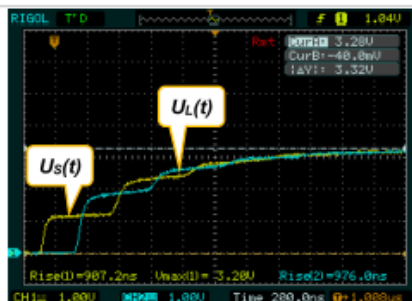


$R_S = R_0$
 $\rho_S = 0$
 [1V/razdelek]

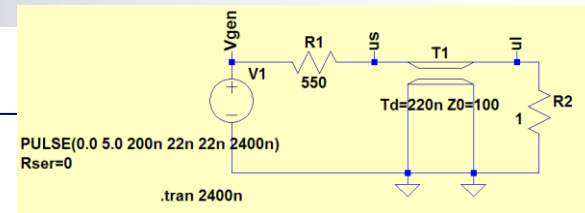


Nizke potujoče napetosti

$R_S > R_0$
 $R_S = 550 \Omega$
 $\rho_S = 0.692$
 [1V/razdelek]



Primerjava: Simulacija - Meritve.



SPICE Simulacije slik iz osciloskopa: UTP kabel, $R_S=50..550 \Omega$, $R_L=1..500 \Omega$

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

$R_0=100\Omega$
 $R_L, R_S=0,50,500\Omega$

$R_L > R_0, R_L=500\Omega$
 $\rho_L=0.666$ (poz. odboj)

$R_L = R_0$
 $\rho_L=0$ (ni odboja)

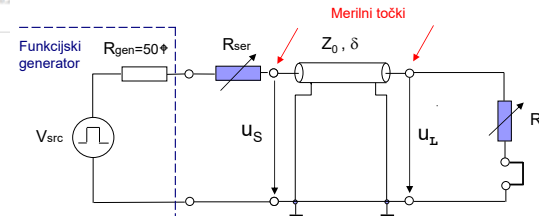
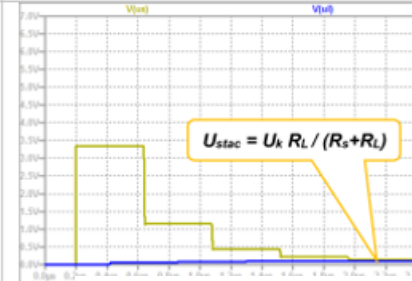
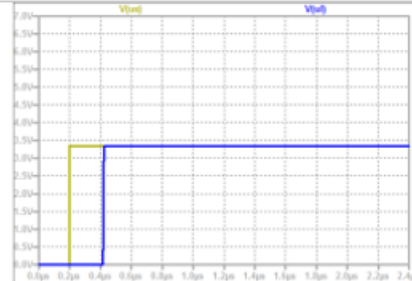
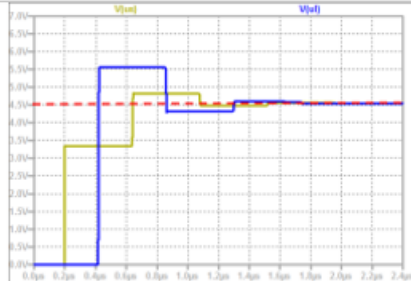
$R_L < R_0, R_L=1\Omega$
 $\rho_L=-0.98$ (neg. odboj)

Višje potujobe napetosti!

$R_S < R_0$

$R_S=50 \Omega$
 $\rho_S=-0.333$

[0.5V/razdelek]



Slike osciloskopa: UTP kabel, $R_S=50..550 \Omega$, $R_L=1..500 \Omega$ ($R_{gen}=50 \Omega$) UTP

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

$R_0=100\Omega$
 $R_L, R_S=0,50,500\Omega$

$R_L > R_0, R_L=500\Omega$
 $\rho_L=0.666$ (poz. odboj)

$R_L = R_0$
 $\rho_L=0$ (ni odboja)

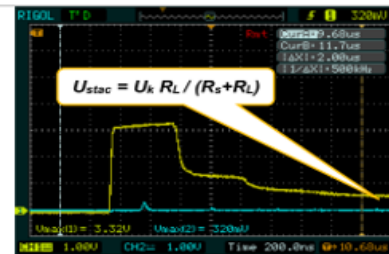
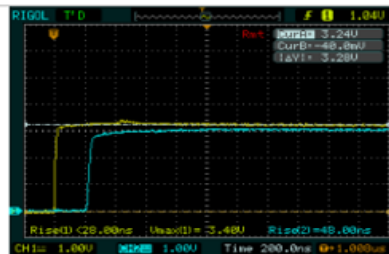
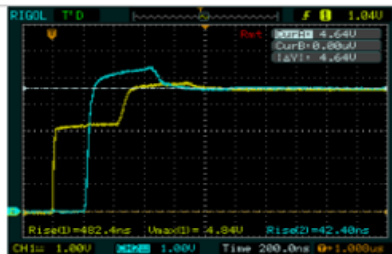
$R_L < R_0, R_L=1\Omega$
 $\rho_L=-0.98$ (neg. odboj)

Višje potujobe napetosti!

$R_S < R_0$

$R_S=50 \Omega$
 $\rho_S=-0.333$

[1V/razdelek]



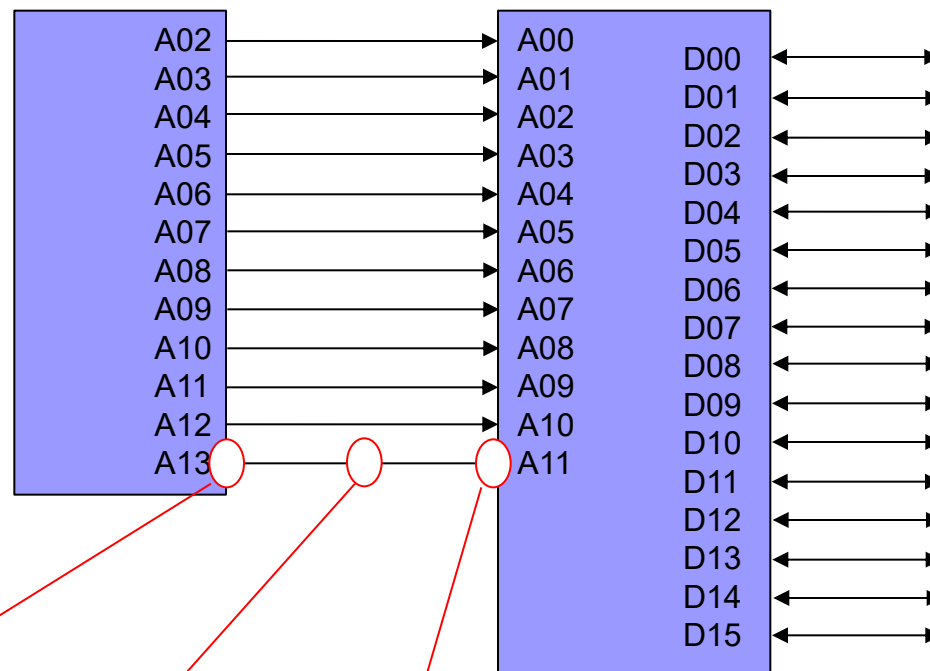
LAB 7 – AV1: Linije, LTSpice - simulacija elektronskih vezij in odboji

- 7.1: Uvod v LT Spice in osnovna vezja
- 7.2: Vpliv časa vzpona/padca na odboje - ponovitev
- 7.3: Naloga 4-1 - Simulacija
- 7.4: Simulacija odbojev za lab. meritve – DN 2-AV1.1
- 7.5: Simulacija odbojev na naslovni liniji – DN 2-AV1.2

DN2-AV1.2: Simulacija odbojev na liniji s programom LTSpice – DRAM pomnilnik, naslovna linija

Krmilnik pomnilnika

DRAM 1M x 16bitov

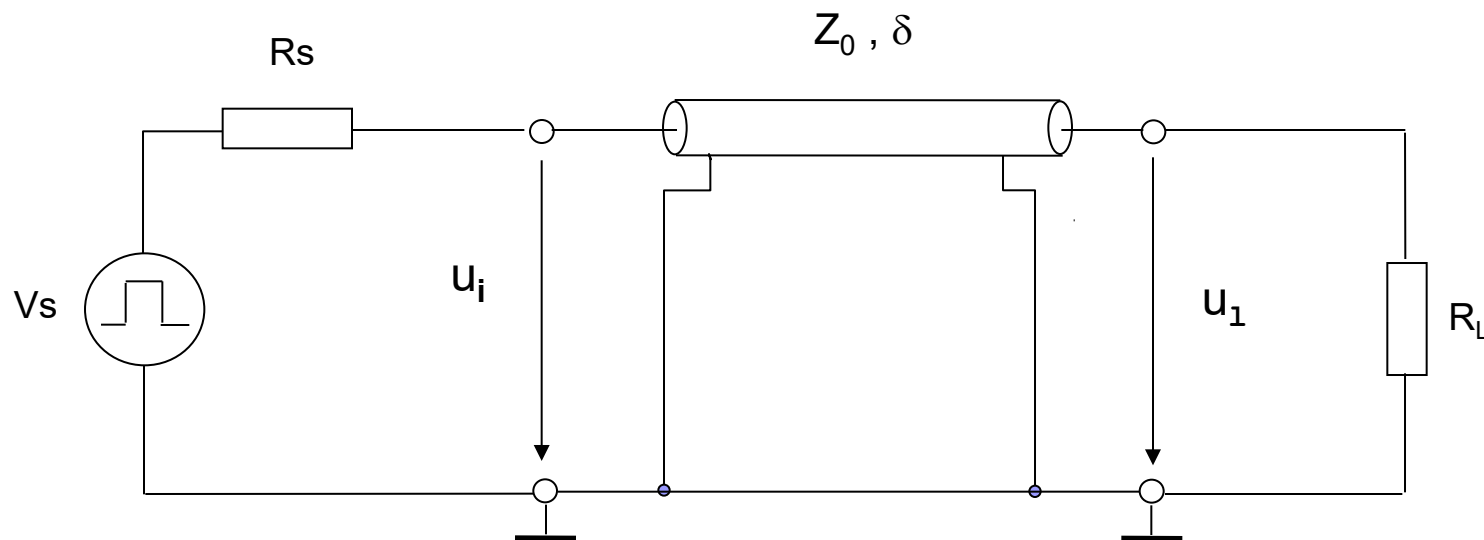


$$\begin{aligned} R_{izh} &= 24 \Omega \\ V_0 &= 0,1 \text{ V} \\ V_1 &= 1,8 \text{ V} \\ t_r &= 0,3 \text{ ns} \end{aligned}$$

$$\begin{aligned} Z_0 &= 70 \Omega \\ \delta &= 6 \text{ ns/m} \\ l &= 10 \text{ cm} \end{aligned}$$

$$R_{vh} = 1 \text{ M}$$

Model linije



V_S - Napetost izvora [V]

R_S - Upornost izvora - izhodna upornost oddajnika [Ω]

Z_0 - Karakteristična impedanca linije [Ω]

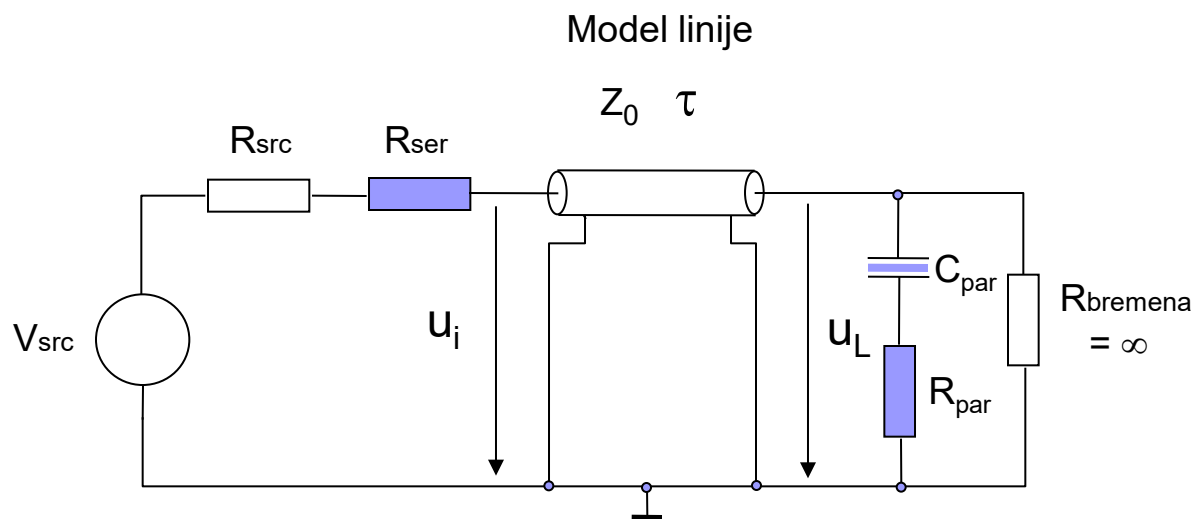
R_L - Upornost bremena - vhodna upornost sprejemnika [Ω]

δ - Zakasnitev signala na enoto dolžine [ns/m]

u_i - Napetost na vходу v linijo [V]

u_1 - Napetost na izhodu linije [V]

Možne zaključitve



Preizkusite :

- V_{src} : $V_0 = 0,1 \text{ V}$; $V_1 = 1,8 \text{ V}$; $t_r = t_f = 0,3 \text{ ns}$
- Linija T1: $Z_0 = 70 \text{ } \Omega$, $\tau = 0,6 \text{ ns}$ ($TD = l * \delta$)

Različni možni načini zaključitve:

- Brez zaključitve:
 $R_{src} = 24 \text{ } \Omega$, $R_b = 1M \text{ } \Omega$
- Serijska zaključitev
 $R_{ser} + R_3 = R_0 = 70 \text{ } \Omega$
- Paralelna AC zaključitev*
 $R_{par} = 70 \text{ } \Omega = R_0$, $C_{par} = 5 \text{ pF}$
- Obojestranska zaključitev*
 $R_{ser} + R_3 = R_0 = 70 \text{ } \Omega$
 $R_{par} = 70 \text{ } \Omega = R_0$, $C_{par} = 5 \text{ pF}$

* *Neobvezni del: primerjajte porabo (el.tok) z ostalimi; lahko tudi spreminjate C_{par} .*