ORGANIZACIJA RAČUNALNIKOV

Povzetki predavanj

1. Uvod v organizacijo računalnikov in digitalna vezja

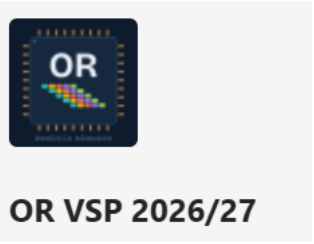
Robert Rozman rozman@fri.uni-lj.si

© 2026, R.Rozman- FRI

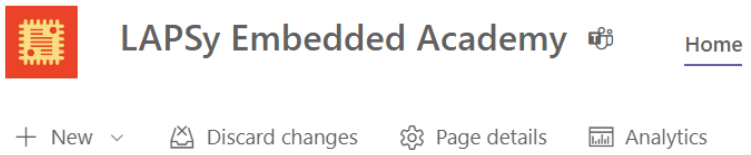


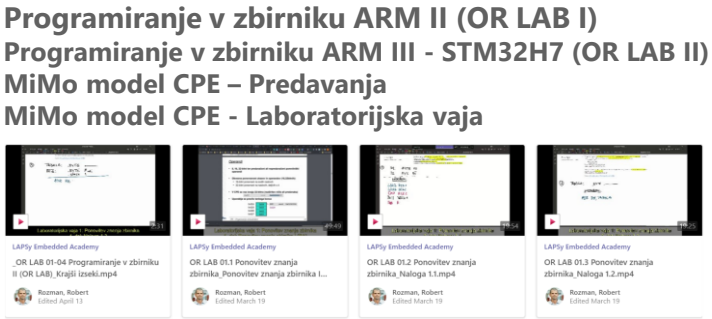
- Spletne strani: http://ucilnica.fri.uni-lj.si

- Komunikacija, vsebine (predavanja, vaje):
  - MS Teams
    - Koda za vstop: g0fujpl



- Statične vsebine, video posnetki (predavanja, vaje):
  - https://unilj.sharepoint.com/sites/LAPSYEmbeddedAcademy/





- Discord: „Hardware FRI“:
  - https://discord.gg/RYd36J7zQc
- Moj e-naslov: rozman@fri.uni-lj.si („uradni“ kanal)
- Govorilne ure: po razporedu v R2.40 ali R2.50

  Občasne spremembe bodo pravočasno objavljene na učilnici

  Najava: email (lahko se dogovorimo kadarkoli)
- ***Vedno dobrodošli !!!***

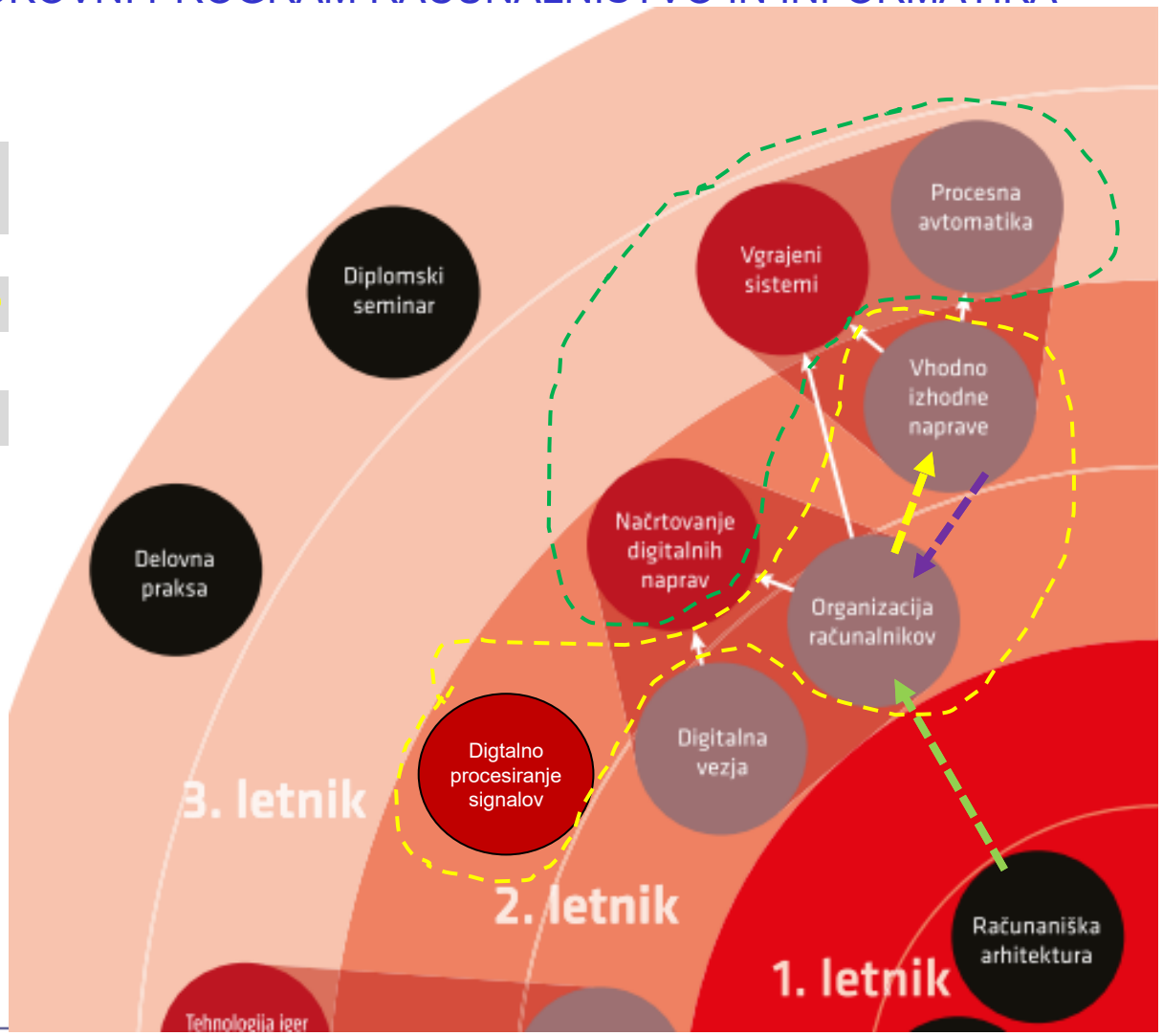
© 2026, R.Rozman- FRI

VISOKOŠOLSKI STROKOVNI PROGRAM RAČUNALNIŠTVO IN INFORMATIKA

Priporočen prehod

VIN-DSP-OR

Priporočilo



© 2026, R.Rozman- FRI

- Robert Rozman rozman@fri.uni-lj.si

- Pregled obravnavanih tem na predavanjih :
  1. Uvod v organizacijo računalnikov in digitalna vezja
  2. Osnove dig. vezij (TTL, CMOS, VLSI)
  3. Mikroarhitektura računalnika (*CPE, **MiMo-DN1**, ARM**-DN2***)
  4. Paralelizem na nivoju ukazov (*cevovod, superskalarni procesorji*)
  5. Paralelizem na nivoju procesorjev (*multiprocesorji, multiračunalniki*)

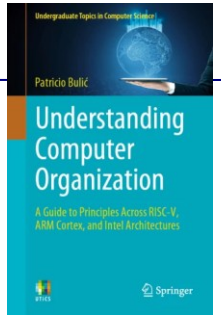
  ---

  6. Prenosne poti in vrste prenosov (*PCI, PCI Express, USB, QPI*) ->

     podrobneje pri predmetu VIN

Vmes: primeri organizacije računalnika – ARM (STM32-M4, M7, FRI-SMS), Intel, AMD

© 2026, R.Rozman- FRI



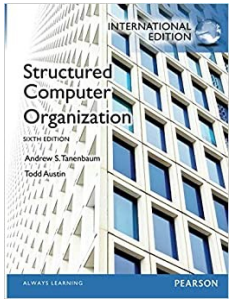
Literatura (dosegljiva v FRI/FKKT knjižnici):

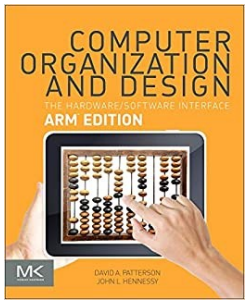
Najboljši vir - so predavanja in vaje v živo !

Navedena literatura vsebuje le posamezne odseke:

- P. Bulić: **Understanding Computer Organization**
- D.M.Kodek: **Arhitektura in organizacija računalniških sistemov**
  - (oznaka [Kodek] v nadaljevanju)
- Tanenbaum: **Structured Computer Organization,** 6th Edition
  - (oznaka [Tan] v nadaljevanju)
- Patterson, Hennessy: **Computer Organization and Design,** 5th+ Edition
  - (oznaka [Patt] v nadaljevanju)







Ocena

- 50% sprotno delo (DN1, DN2, neobvezni deli nalog)
- 50% ustni izpit

© 2026, R.Rozman- FRI

Mnenja slušateljev (2025/26) - izbor:

Izvedba predmeta in izvajalec:

- Dobro:
  - „Odprte“ naloge: Študent se lahko tako zares posveti raziskovanju stroke namesto nesmiselnemu nabiranju točk
  - MiMo: To, da je simulator in lahko delaš/dodajaš in spremljaš kar želiš, npr. pri SMT32 sicer lahko tudi spremljamo določene registre in pine v Debug enoti, ampak ne tako podrobno

- Izboljšat:
  - Manj lahko ponavljate prejšnjo snov na začetku predavanja
  - Prosojnice: je na prosojnicah preveč stvari in se lahko izgubi fokus
  - MiMo: Cevovodna različica MiMo bi še dodatno izboljšala razumevanje.
  - Raje bi videl, da se na vajah pri STM32 programira v C-ju, kot pa v Assembly-ju

Izhodišča (2026/27) :

- LAB: STM32H7: C, LCD, I2C Touch, …
- več skupnega dela na laboratorijskih vajah
- več dvosmerne interakcije, sodelovanja
- inženirsko delovanje
- izvedba:
  - PRED: ureditev prosojnic
  - DN1: MiMo model V1, V2
  - DN2: Osnovni projekt STM32

© 2026, R.Rozman- FRI

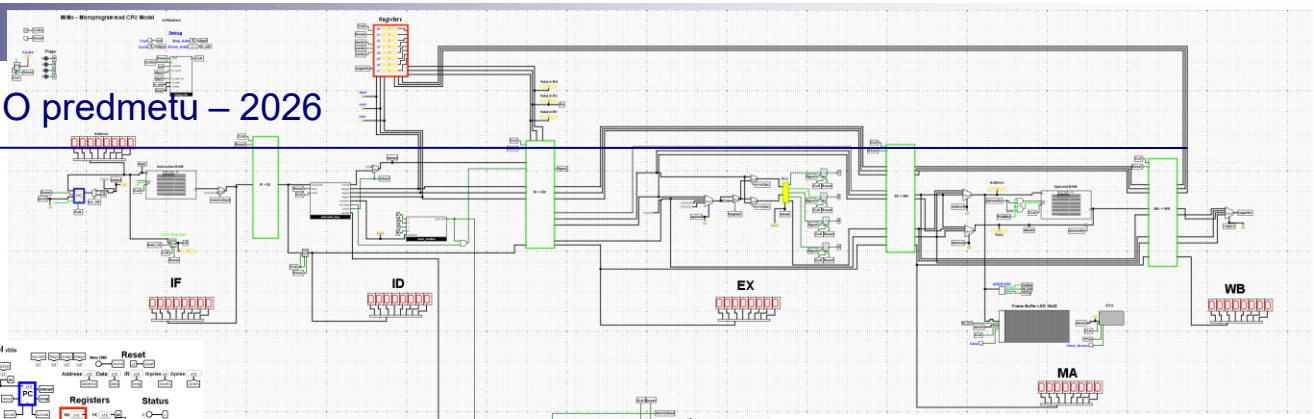
Izhodišča 2026

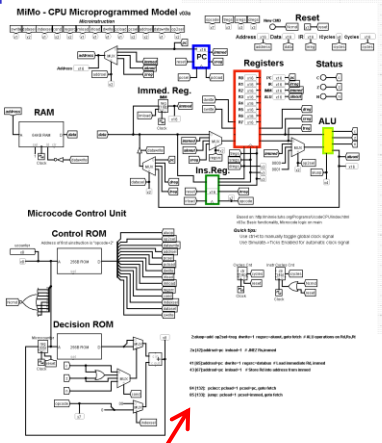
- Priložnosti za sodelovanje:
  - e-učilnica, vaje, predavanja
  - MS Teams
  - Občasna komunikacija (govorilne ure na daljavo, pogovor, pomoč), OneNote zvezek
  - Discord(https://discord.gg/nmzjQU7me7)
- Izhodišča:
  - karseda aktivno sodelovanje, pogovor, debata...
  - radovednost + znanje = dober „razvijalec“ - inženir
  - lastne ideje -> domači nalogi (DN1-MiMo, DN2-ARM)
- Novosti:
  - PRED – osvežitev, novi koncepti (namenski HW: Neural-ART)
  - LAB - Vzporedna uvedba jezika C k osnovnemu – zbirniku, dodamo še nove naprave (npr. LCD, Touch, zvok, SDRAM, …)

© 2026, R.Rozman- FRI

Posebnosti 2026

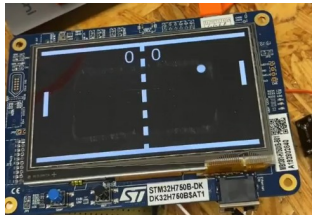
- Poudarki:



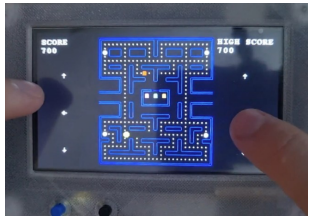




  - DN1: MiMo v1 in dodatna možnost v2 - cevovodna izvedba
    - Obdelamo na predavanjih



  - DN2: STM32 – projekt STM32 (STM32H750, …)
    - Na osnovi dela na laboratorijskih vajah (ASM, C, …)

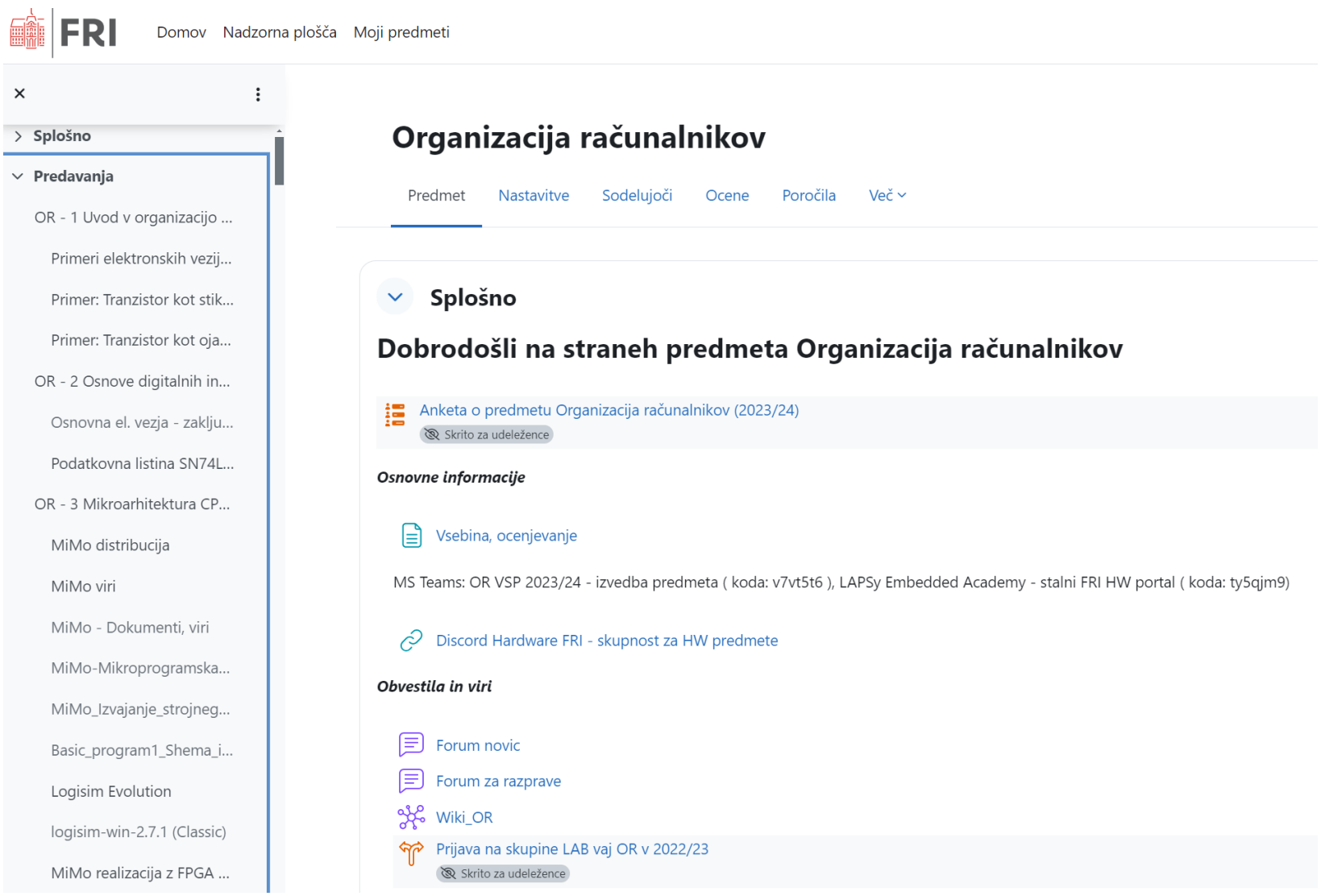




© 2026, R.Rozman- FRI

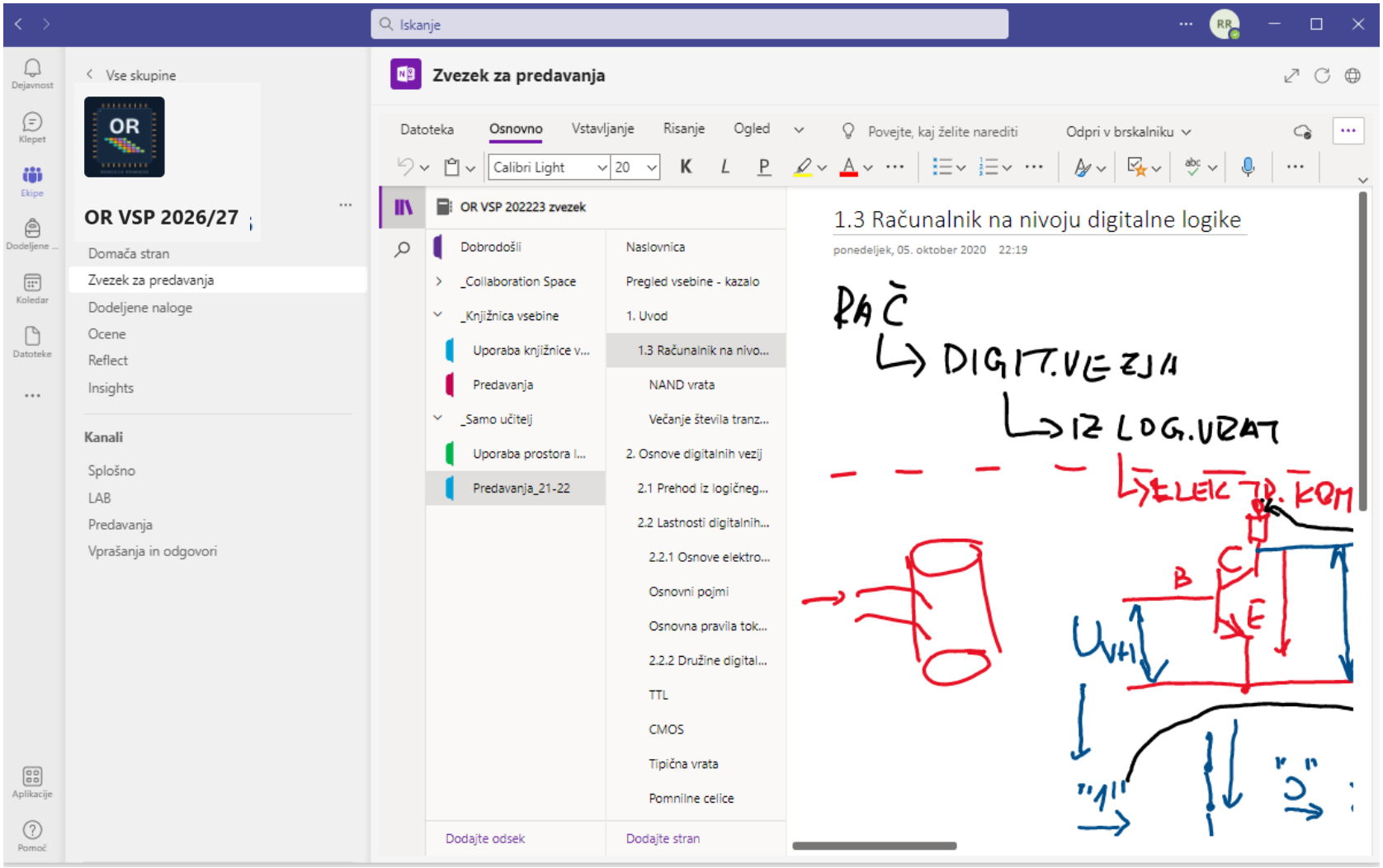
E-učilnica : vsebina predmeta OR

http://ucilnica.fri.uni-lj.si



© 2026, R.Rozman- FRI

MS Teams: Komunikacija, DN, OneNote zvezek

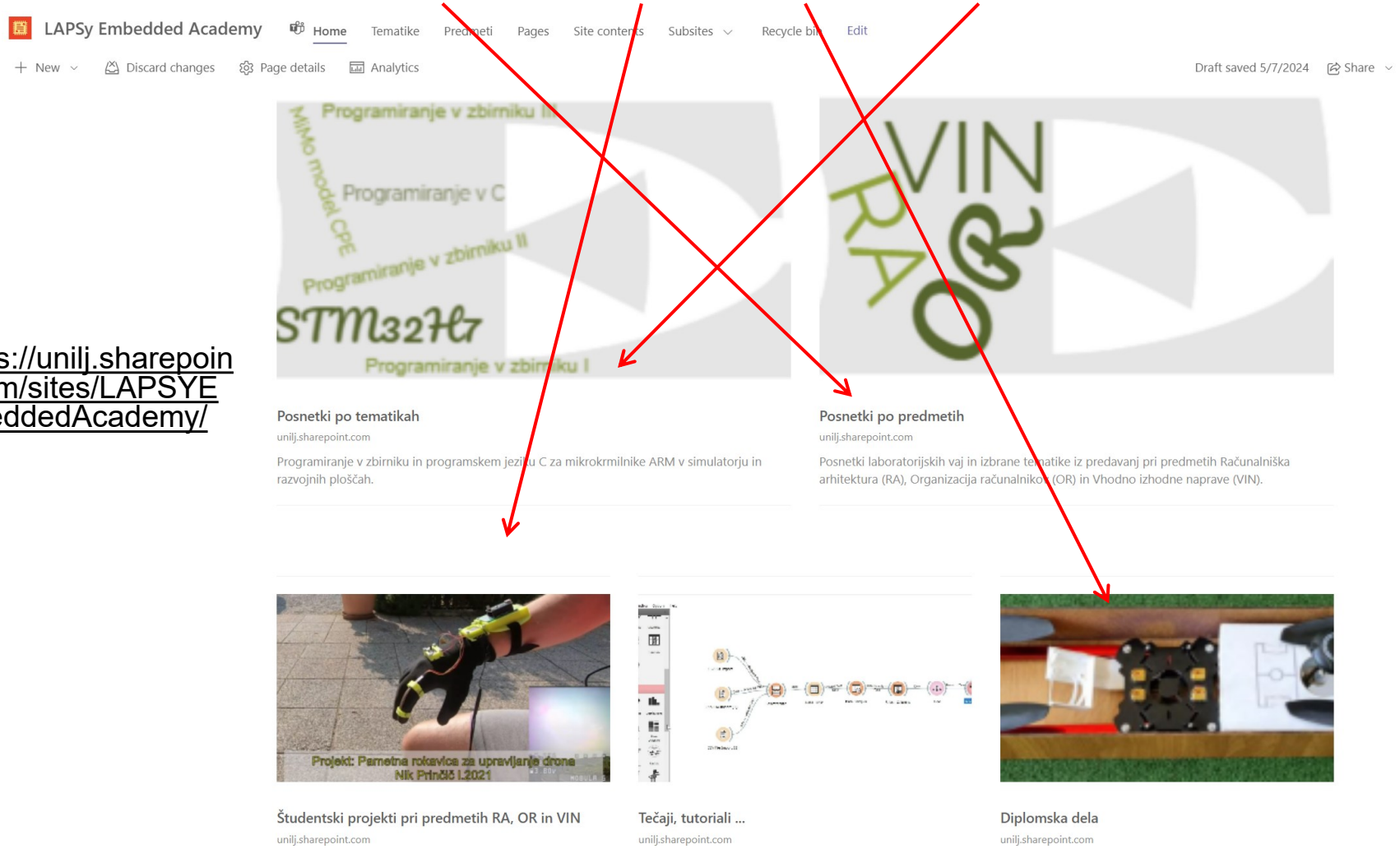


Lažji dostop do zvezka s predavanji je direktno v OneNote aplikaciji

© 2026, R.Rozman- FRI

UL portal: Lapsy Embedded Academy: video posnetki vaj, projektov, diplom, tečaji, tutoriali…

https://unilj.sharepoint.com/sites/LAPSYEmbeddedAcademy/



© 2026, R.Rozman- FRI







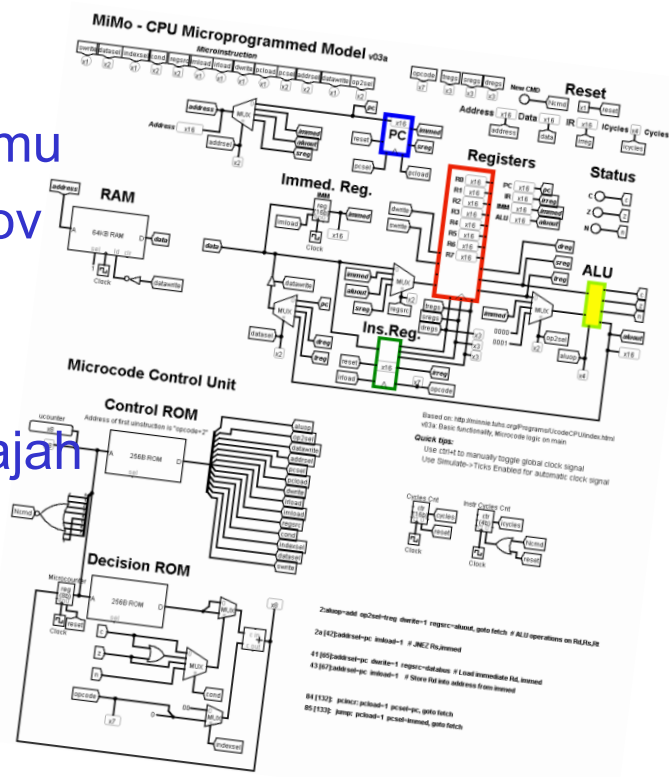
Laboratorijske vaje :

- nadaljevanje programiranja na ARM-u
  - s poudarkom na spoznavanju organizacije vgrajenih računalnikov STM32(H7,F4), FRI-SMS (ARM arhitektura)
    - GPIO, časovnik, UART, DMA, …
  - osnove jezika C (neobvezna vsebina)
- MiMo - Mikroprogramski model CPE v Logisimu
- naloge, diskusija, skupno reševanje problemov

DN2 – ARM projekt

Vzpodbujamo:

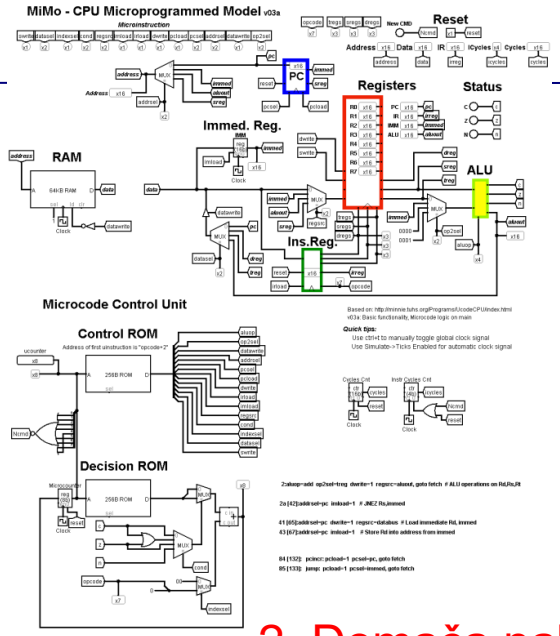
- sprotno delo - sodelovanje na predavanjih, vajah
- lastno kreativnost in samoiniciativnost
- radovednost, aktivnost in razmišljanje



DN1-MiMo model CPE

Vedno dobrodošli !!!!

1. Domača naloga (primer)



Laboratorijske vaje – domači nalogi:

- DN1: MiMo - Mikroprogramski model CPE v Logisimu
- DN2: Preprosta aplikacija na vgrajenem sistemu







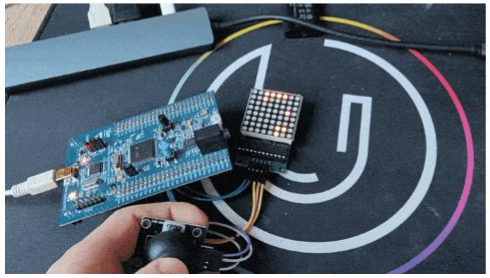


2. Domača naloga (primer)

Snake game on 8x8 LED matrix using the STM32F4 discovery board.

Feb 23, 2022 • Filip Jeretina

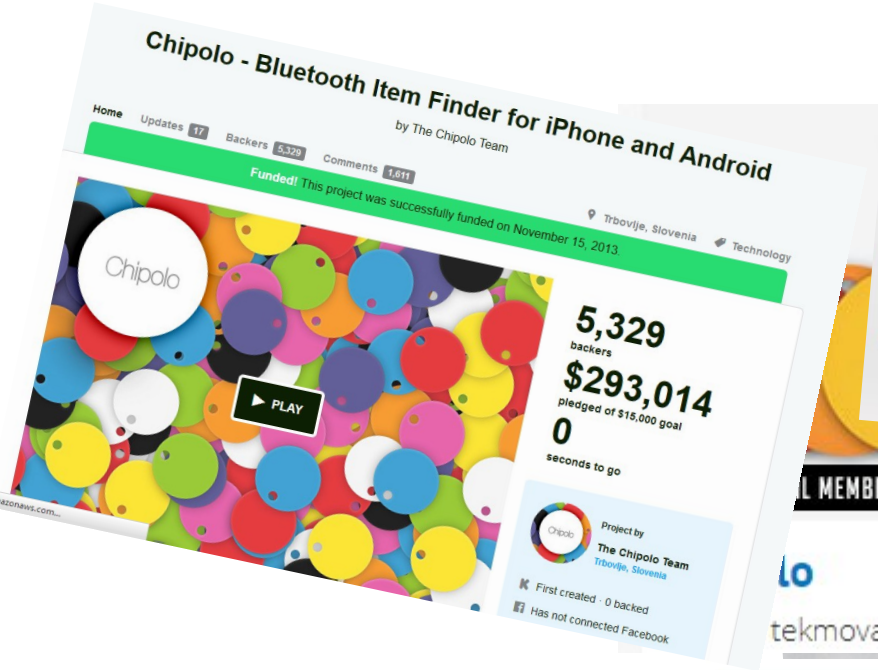
In this post we will be implementing a snake game on bare metal. This means we will only use assembly and registers, without any fancy tools such as the CUBEMX :)

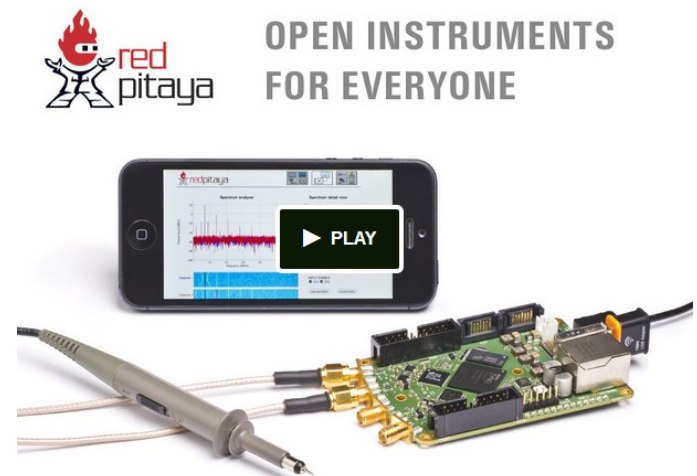


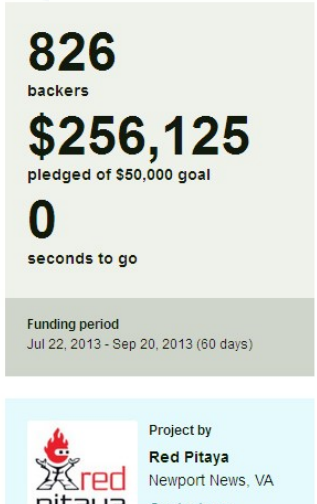
https://zrezke.github.io/jekyll/update/2022/02/23/8by8-snake.html

© 2026, R.Rozman- FRI

Motiv: Zakaj OR, HW ?



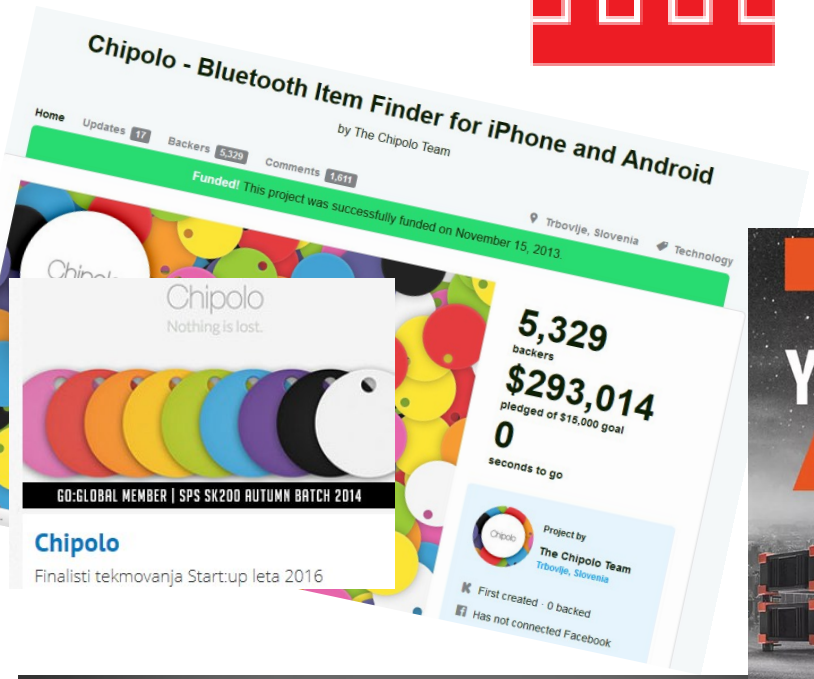






Motiv: Zakaj OR, HW II?

COSYLAB





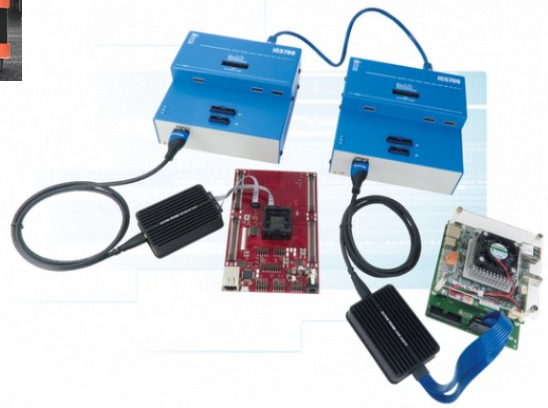






HOW KLEVIO FITS YOUR LOCKS

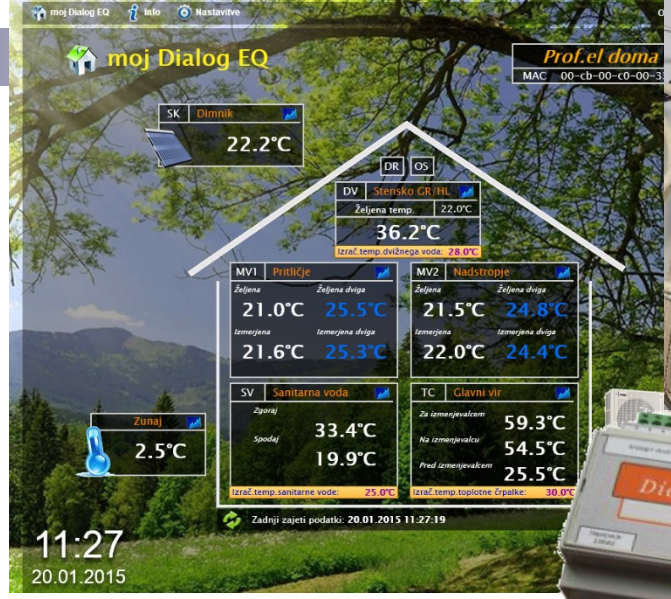
iSYSTEM



© 2026, R.Rozman- FRI

Motiv:
Primeri vgrajenih sistemov I









D13 EQ
HVAC Regulator

Tempmate S1
Temp. logger





Tevel
Merilnik konc. plinov

Cubesensor
Kakovost okolja



© 2026, R.Rozman- FRI

Motiv: Primeri vgrajenih sistemov II



















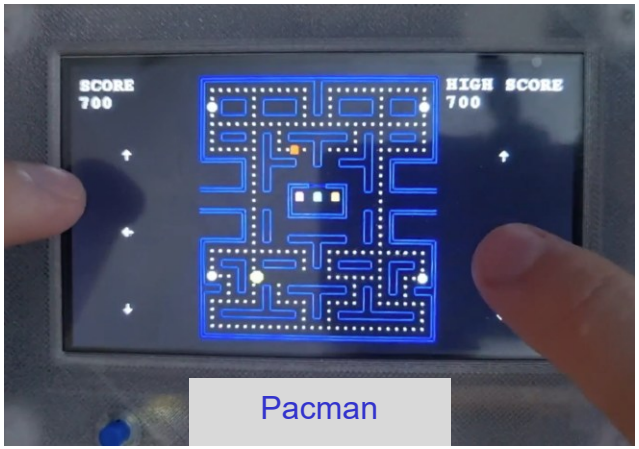




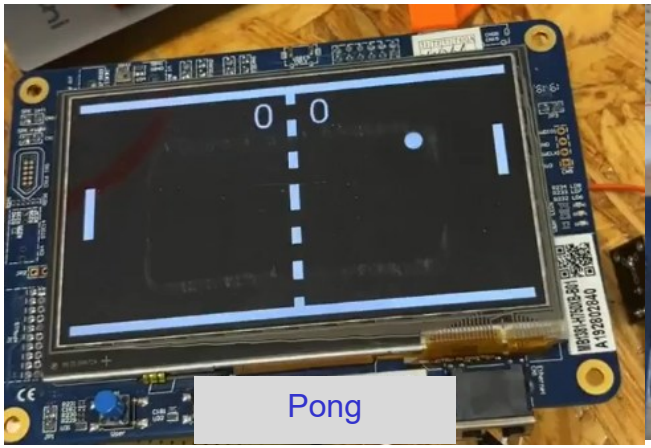
© 2026, R.Rozman- FRI

Motiv: Prikaz projektov na STM32H750 plošči





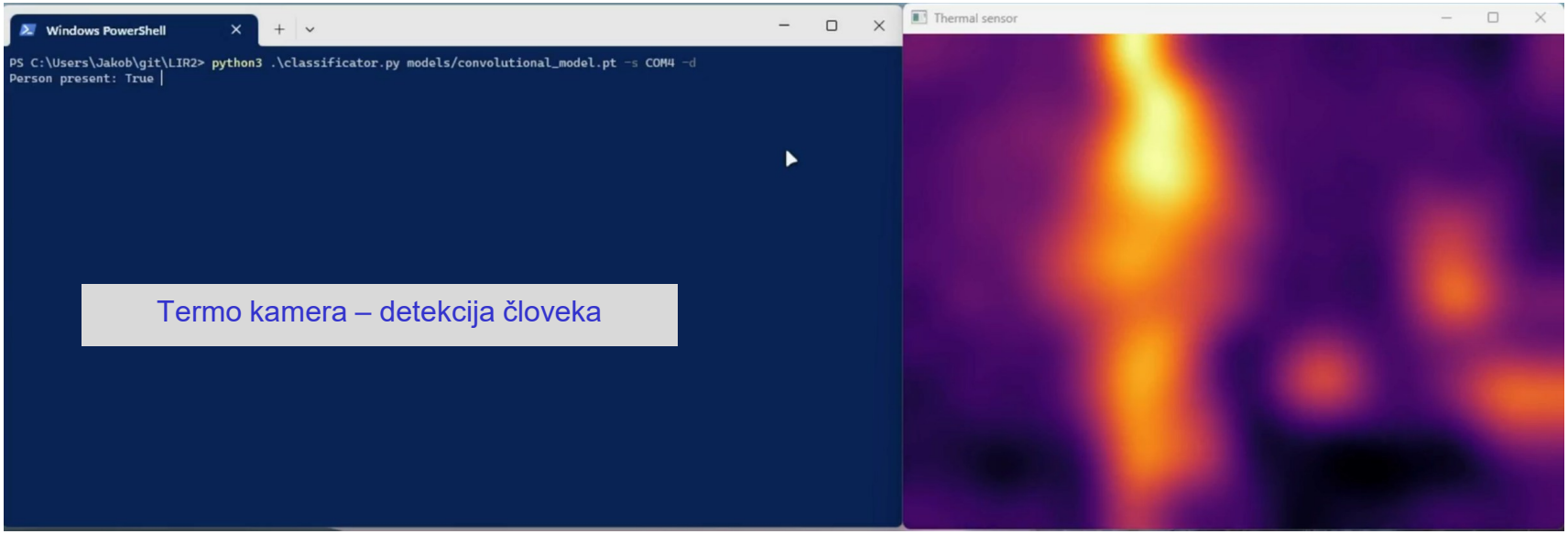
Pacman



Pong



Termo kamera



Termo kamera – detekcija človeka

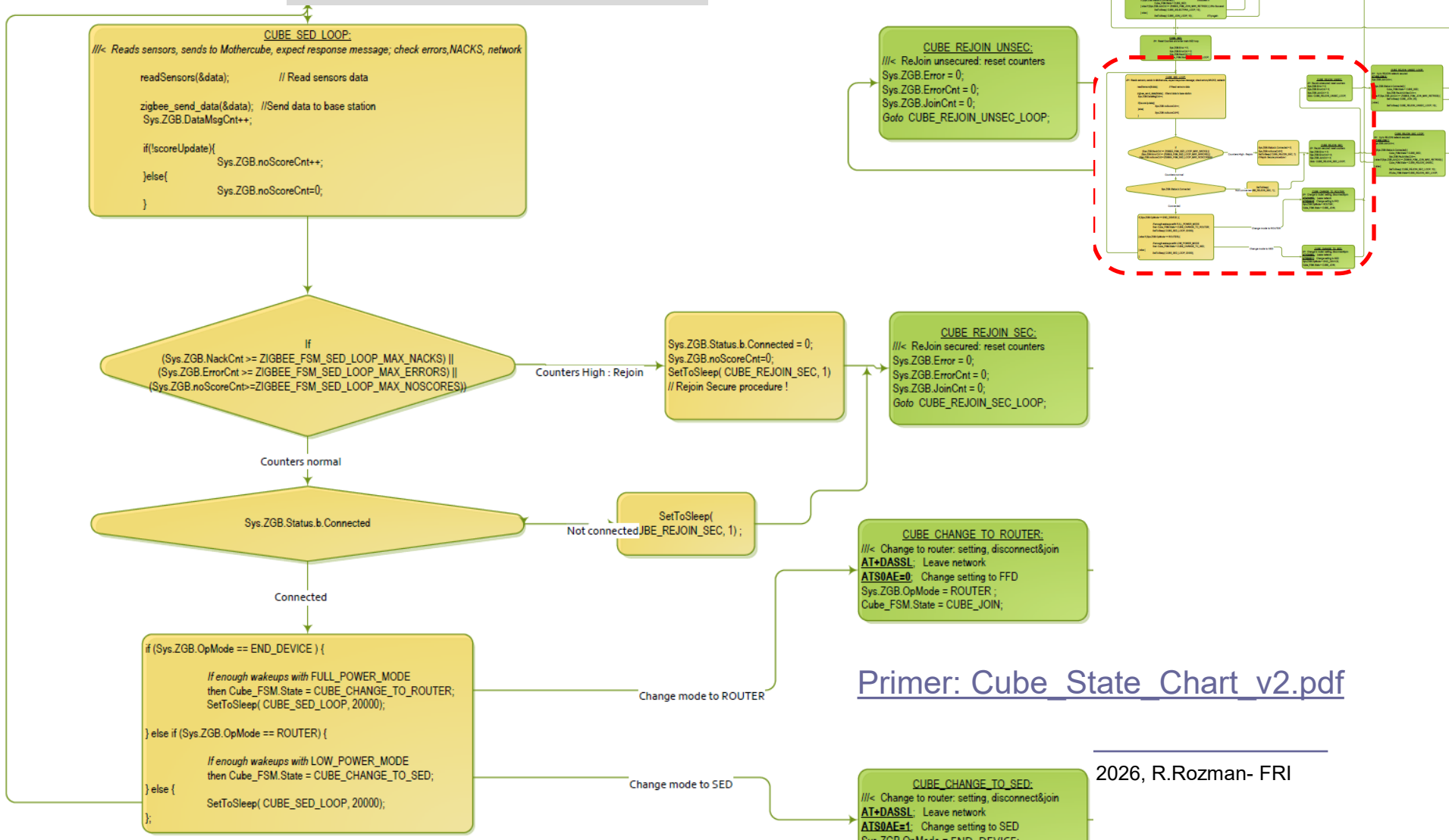
© 2026, R.Rozman- FRI

Primer: Programiranje vgrajenih sistemov - izzivi

Cubesensors („pametne kocke“):

Diagram poteka (končni avtomat):

- Primer glavnega stanja



Primer: Cube_State_Chart_v2.pdf

Zakaj zbirnik ?

[Dejan Črnila, Dewesoft]:

„ker se je „vljudno“ naučiti domačega jezika, kulture …“

Past Meetup

Code optimization on modern processors [Dejan Črnila, Dewesoft]

„pri nas v podjetju vsi razvijalci „govorijo“ v zbirniku…“

Code optimization is important but often overlooked part of a software project. In this talk we will dive deep and discuss when and why to optimize code, how to approach optimization and how to design data structures and algorithms for scalable performance.

Dejan Črnila Dejan Črnila is lead software engineer at Dewesoft (https://www.dewesoft.com/careers) since 2001. He has designed and implemented core modules of Dewesoft application with particular focus on application performance to keep software in front of competition.

*„s poznavanjem sistemov in zbirnika lahko pohitrimo kodo tudi **64x** !!!…“*



Space shuttle Atlantis launch monitoring with Dewesoft software

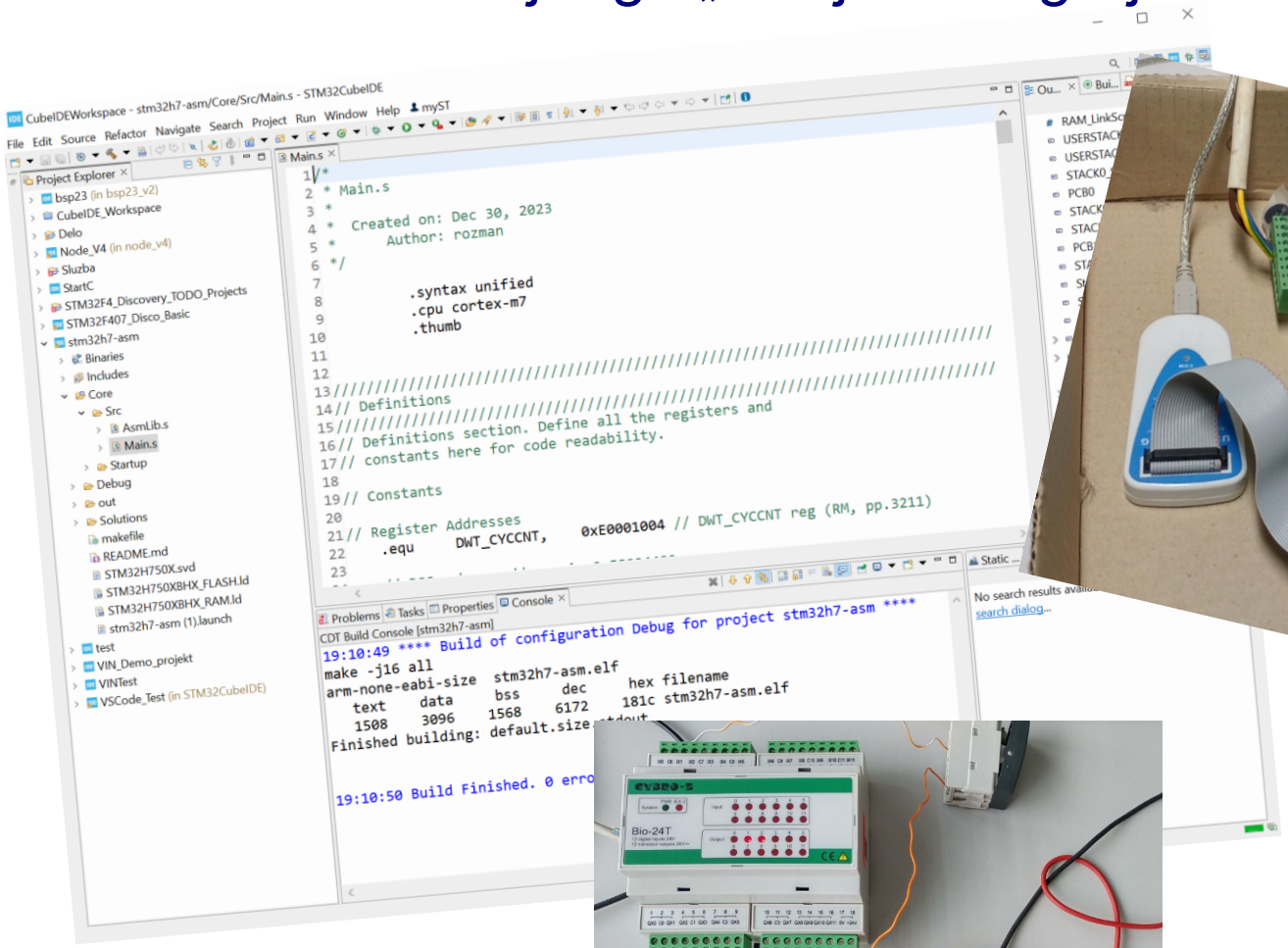
https://www.youtube.com/watch?v=R8QmL1pyUSo

2025: „podobno lahko naredimo tudi v Cju“

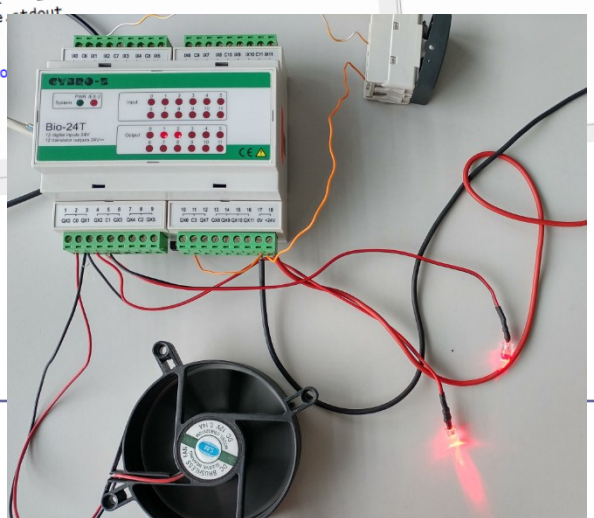
© 2026, R.Rozman- FRI

Motiv: Prikaz razvojnega „okolja“ za vgrajene sisteme



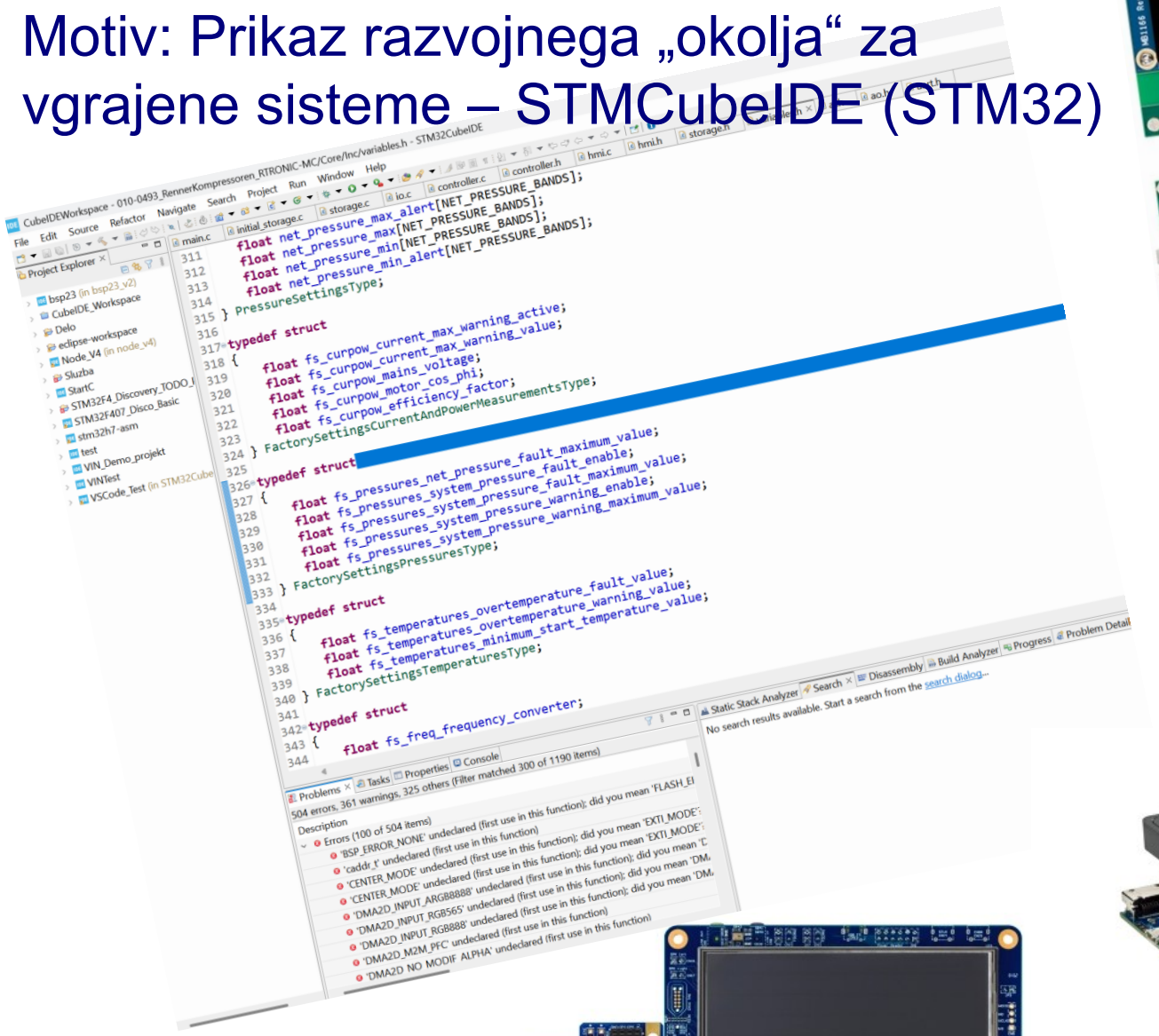






© 2026, R.Rozman- FRI

Motiv: Prikaz razvojnega „okolja“ za vgrajene sisteme – STMCubeIDE (STM32)





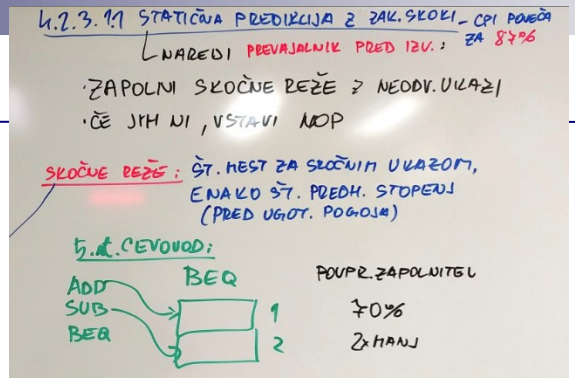


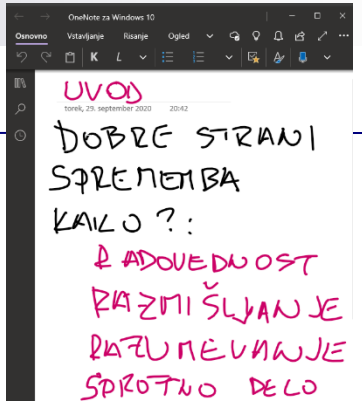






© 2026, R.Rozman- FRI





Način dela:

- predavanja:
  - delovna prezentacija,
  - objavljena prezentacija
    - obširnejša
    - ni samozadostno gradivo !

4.2.3.1.1 Statična predikcija z zakasnjenimi skoki („delayed branch“)

Skuša prevajalnik (med prevajanjem) napovedati izid skoka:
- napoved se ne spreminja več („statična“)

Skočne reže :
- ukazi, ki sledijo skoku so v t.i. skočnih režah
- št. skočnih rež je enako številu stopenj cevovoda pred aktivno (EX) stopnjo (2)

Vstavitev ukazov v skočne reže:
- ukazi ne smejo vplivati na izid skoka
- če ni primernih, vstavi NOP-e

- LAB vaje:
  - Logisim: MiMo model CPE, DN1
  - poglobitev znanja zbirnika (vzporedno tudi C),
  - delo z napravami na STM32H7,F4 - (HW),
  - praktična naloga z uporabo orodij, DN 2

Dvosmerna komunikacija (2026 še posebej !)

© 2026, R.Rozman- FRI

Pogovor

- Vaša pričakovanja ?
- Način dela (tabla, OneNote) ?
- Delo inženirja?
  - ARM, Cortex M, zbirnik, vgrajeni sistemi, podatkovne listine, programiranje, razhroščevanje, preizkušanje…
- Aktivno sodelovanje
- UI

© 2026, R.Rozman- FRI

1. Uvod v organizacijo računalnikov in digitalna vezja

Poudarki poglavja :

- opredelitev pojmov rač. arhitekture in organizacije
- funkcionalni, nivojski pogled na zgradbo računalnika
- računalnik na nivoju digitalne logike :
  - digitalna vezja -> log. vrata -> tranzistor (osnovni gradnik)
  - VLSI – digitalna vezja visoke integracije (CPE, pomnilniki, GPE, SoC)
    - postopek njihove izdelave (tehnološko zahteven)
    - problemi in težave
  - PCB – plošča tiskanega vezja („Printed Circuit Board“) – vgrajeni sistemi
    - postopek načrtovanja, izdelave (tehnološko dostopen) in preizkušanja
    - problemi in težave

© 2026, R.Rozman- FRI

1. Uvod v organizacijo računalnikov in digitalna vezja

1.1 Splošni pojmi

Def: Arhitektura računalnika je

- obravnava za programerja vidnih lastnosti računalnika na način, ki je neodvisen od njegove logične in fizične realizacije [Kodek]
  - *„… kot vidi programer na nivoju strojnega jezika …“*

Def: Organizacija (tudi mikroarhitektura) :

- obravnava logično zgradbo in lastnosti sestavnih delov računalnika in njihovih medsebojnih povezav [Kodek]
  - *„ … je arhitektura posameznih delov …“*
  - *„ … je bližje HW nivoju …“*

Neka arhitektura se lahko realizira z različnimi vrstami organizacije (ARM).

Lahko je tudi obratno (mikroprogramiranje – IBM)

© 2026, R.Rozman- FRI

1. Uvod v organizacijo računalnikov in digitalna vezja

1.1 Splošni pojmi

Neka arhitektura se lahko realizira z različnimi vrstami organizacije (ARM).

- Primer:

  ARM ISA: ARMv7E-M -> razl. organizacije (različno zmogljivi mikrokrmilniki)



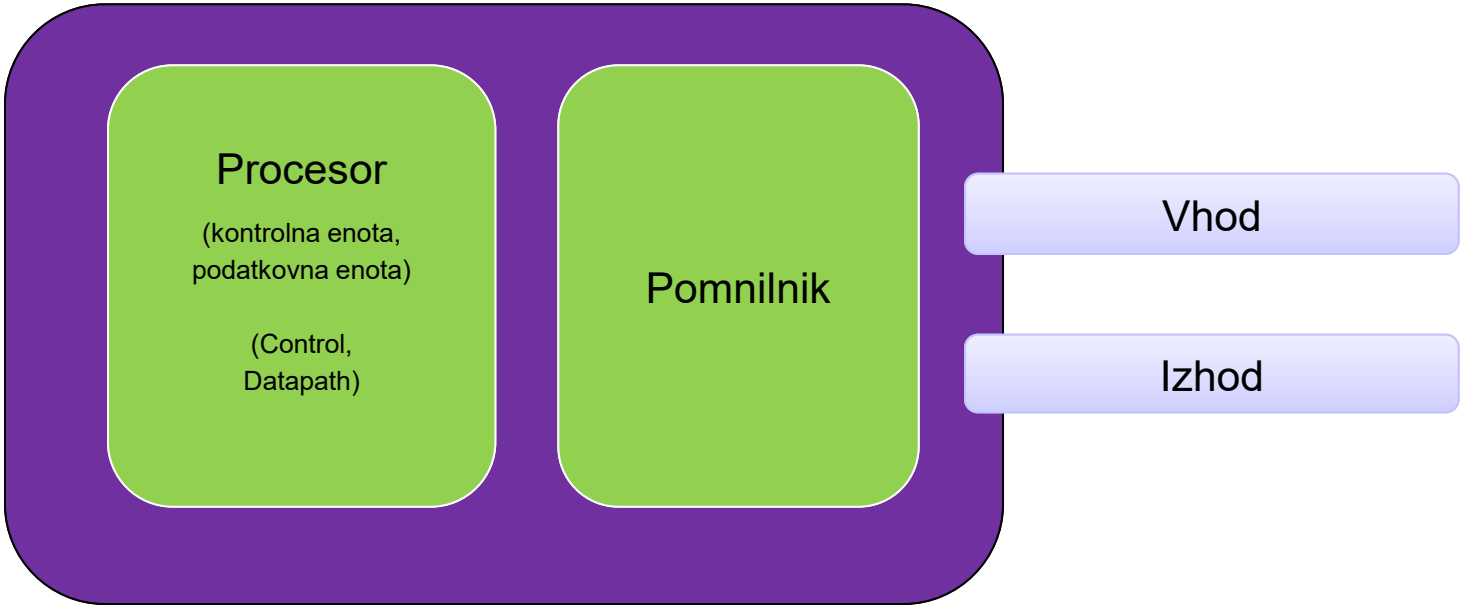


© 2026, R.Rozman- FRI

1.2 Zgradba in organizacija računalnika

Mogočih več različnih pogledov,
izpostavimo 2 najbolj zanimiva :

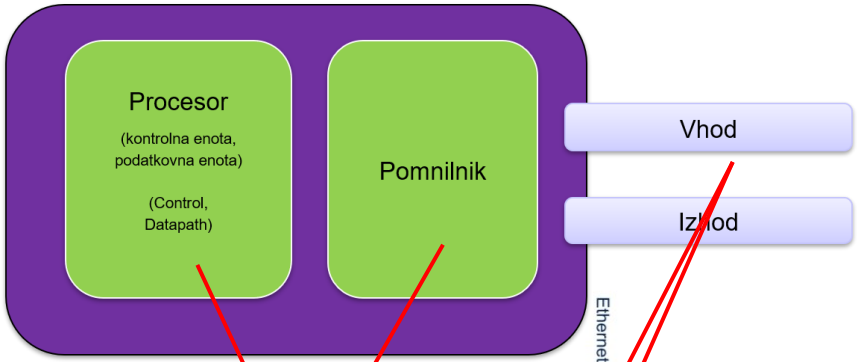
1.2.1 Funkcijske enote kot osnovni gradniki računalnika [Patt]

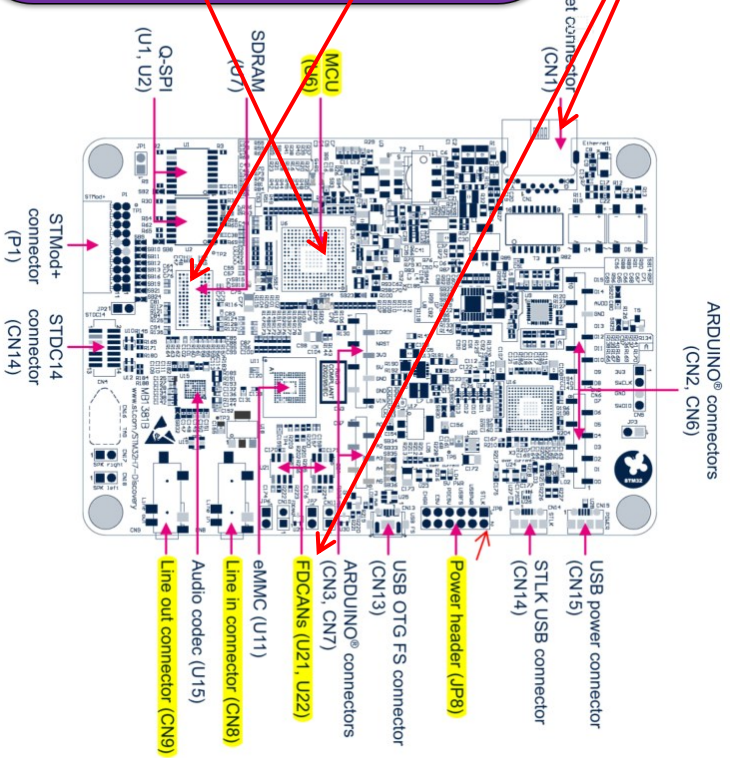


© 2026, R.Rozman- FRI

1.2 Zgradba in organizacija računalnika

1.2.1 Funkcijske enote kot osnovni gradniki računalnika [Patt]





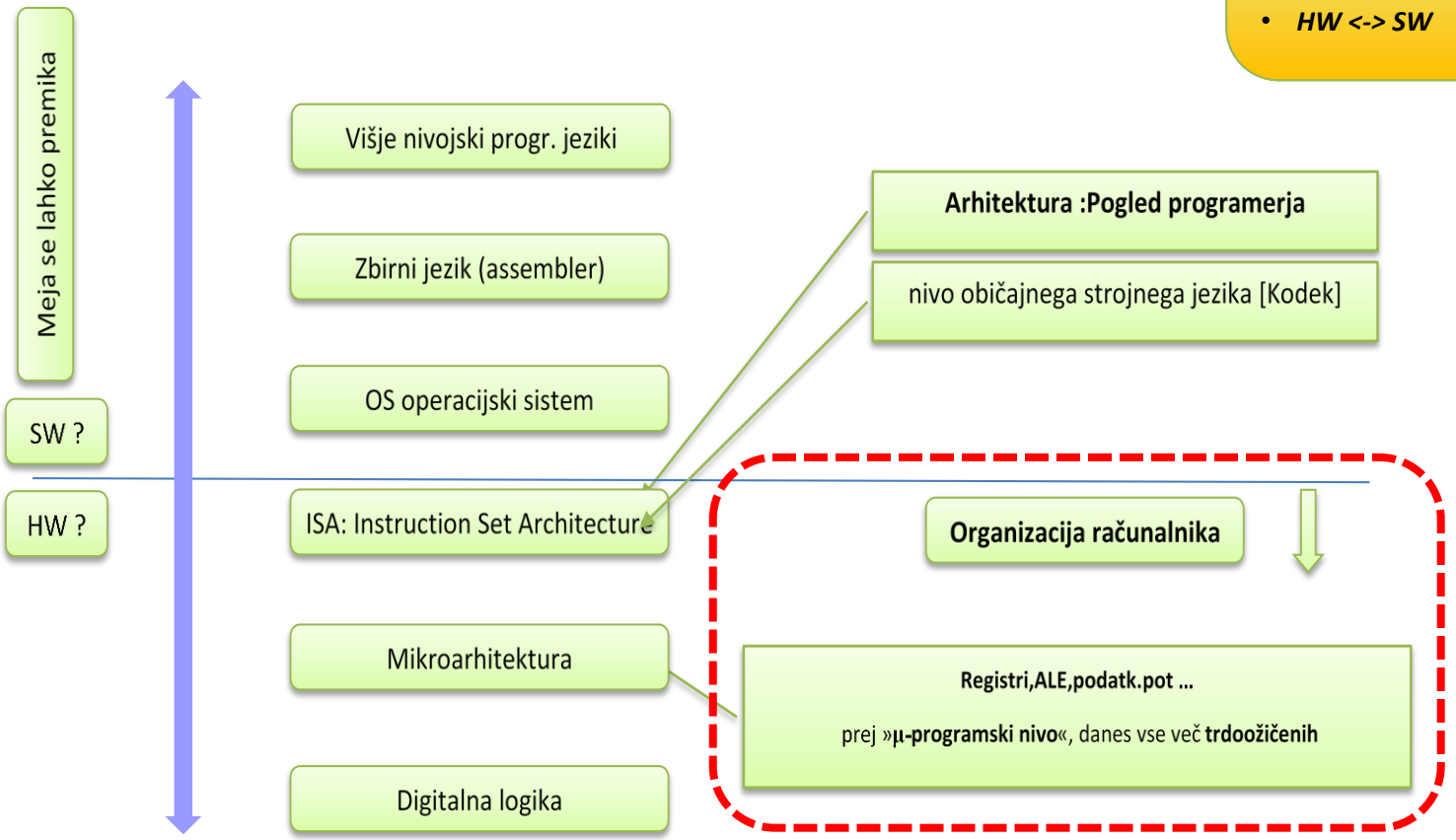


© 2026, R.Rozman- FRI

1.2.2 Nivojska zgradba računalnika [Tanb, str. 5-8]

Diskusija :

- ***Prevajanje, interpretiranje, prenosljivost programov***
- ***HW <-> SW***



© 2026, R.Rozman- FRI

1.3 Računalnik na nivoju digitalne logike

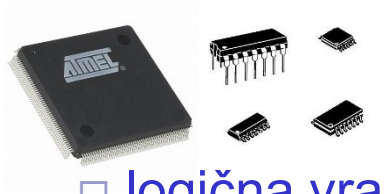
- Računalnik :
  - sestavljen iz digitalnih (logičnih, preklopnih) vezij :



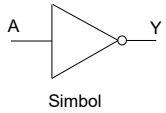




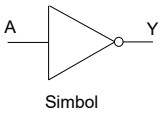
- digitalna vezja sestavljena iz logičnih vrat:
  - (seštevalnik, ALU, …)

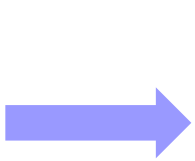


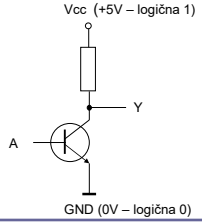




  - logična vrata realizirana z elektronskimi elementi







© 2026, R.Rozman- FRI

1.3 Računalnik na nivoju logike in digitalne tehnike

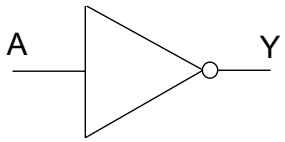
1.3.1 Osnove digitalnih vezij

Logična vrata realiziramo z elektronskim vezjem:

- logični stanji 0,1 <-> napetostni nivoji $\approx 0V, \approx 3.3V(5V)$
- osnovni gradnik

Matematični ideal

matematični (logični) pogled: logična vrata

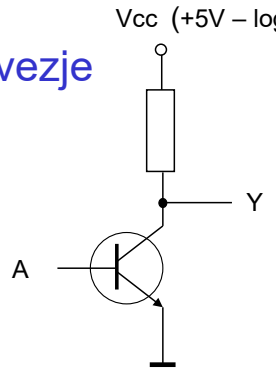


Simbol

logični nivoji 0,1

---

elektronska realizacija : elektronsko vezje

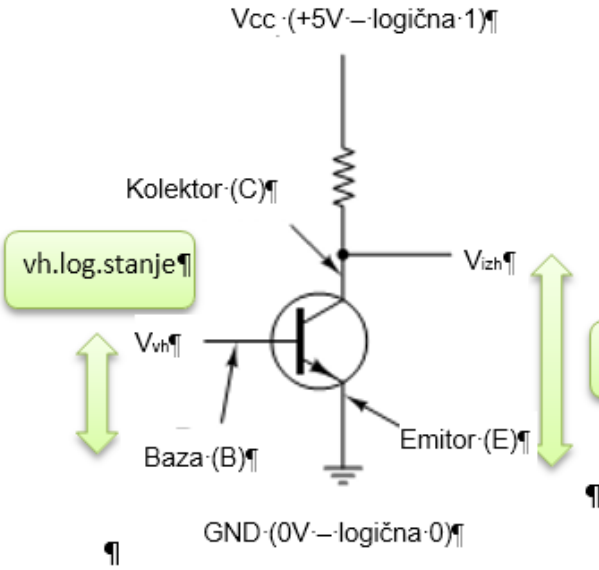


napetostni nivoji ≈0V, ≈3.3 (5) V

Elektronska realizacija

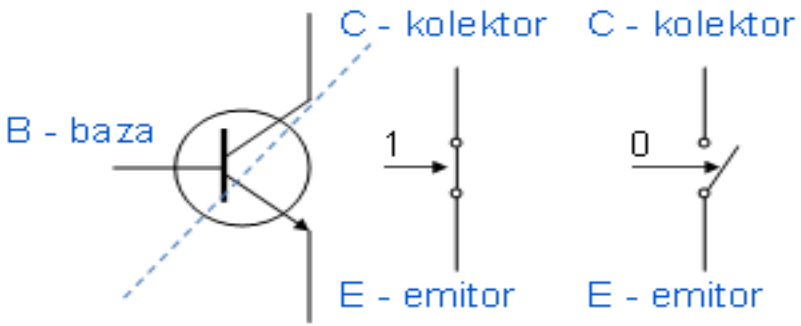
© 2026, R.Rozman- FRI

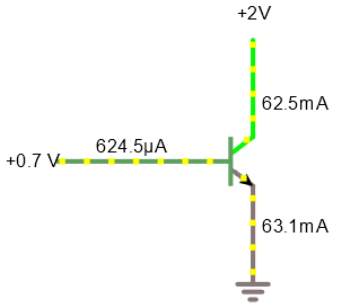
1.3.1.1 Osnovni gradnik digitalnih vezij – tranzistor kot stikalo



vh.log.stanje baza-emitor	V_{vh}	izh. log. stanje kolektor-emitor	V_{izh}
1	5V(3.3V)	0	0V
0	0V	1	5V(3.3V)

tranzistor kot stikalo

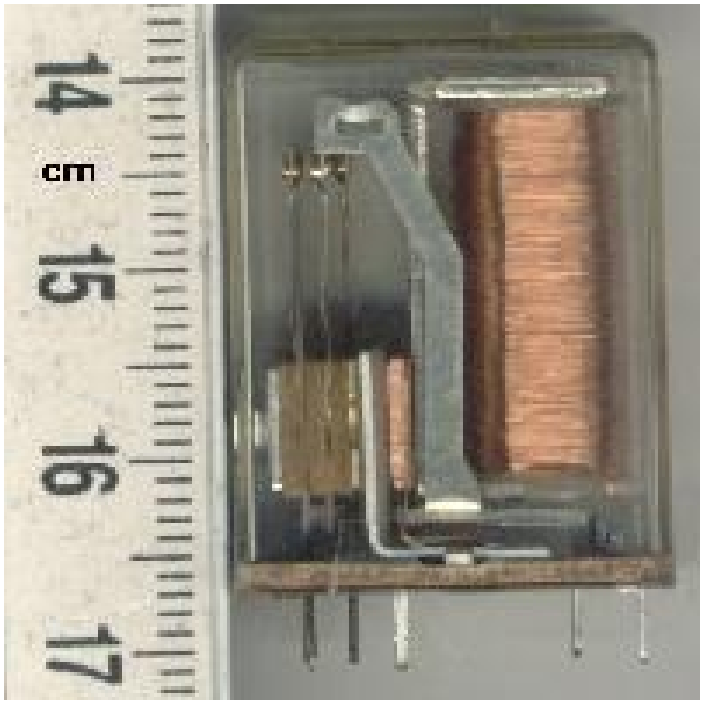


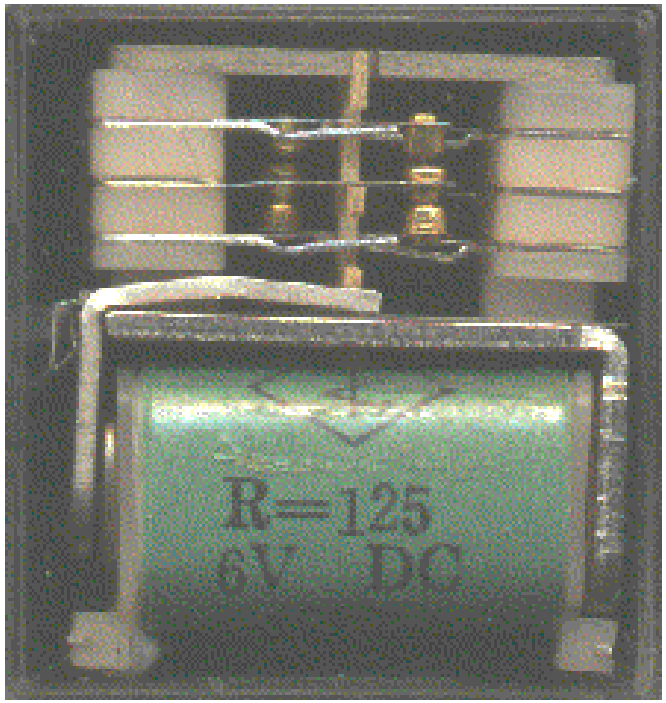


http://www.falstad.com/circuit/e-npn.html

1.3.1.2 Realizacije stikala v digitalnih vezjih

- Rele, leto 1939, čas preklopa 1-10ms (ms = 10^{-3} s)

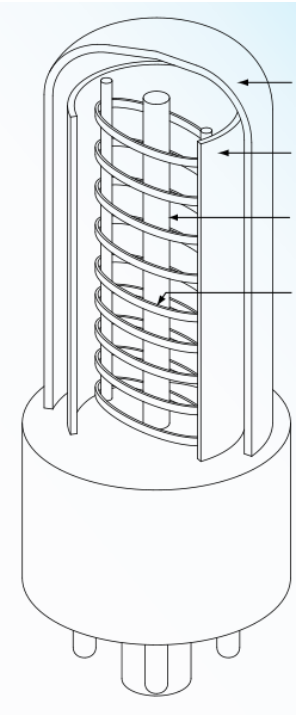




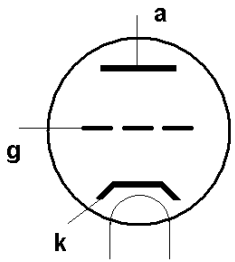
© 2026, R.Rozman- FRI

Elektronka 1945 - 1955

- čas preklopa ~5μs (μs=10^{-6} s)



Stekleno ohišje
Anoda
Katoda
Mrežica

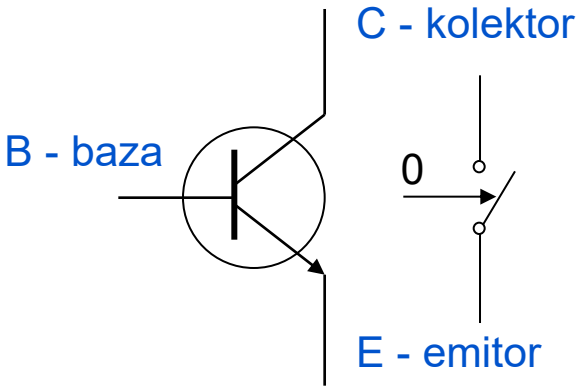


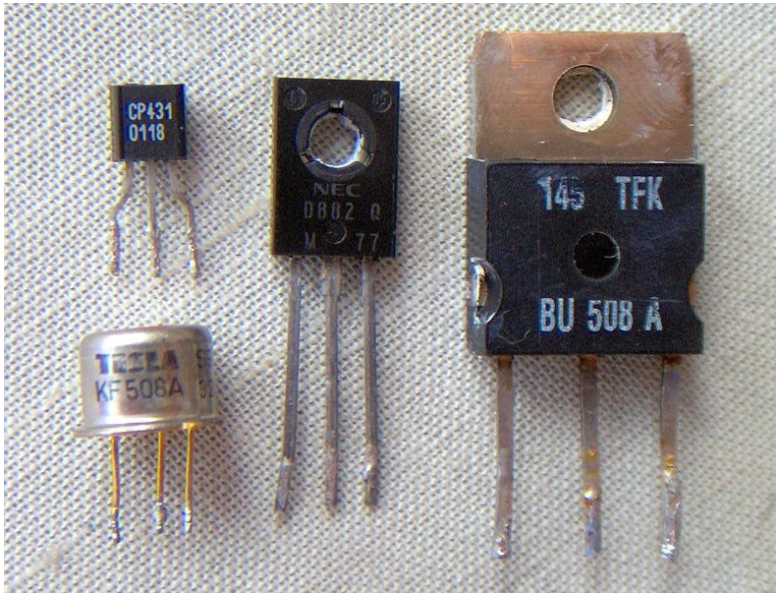


© 2026, R.Rozman- FRI

Tranzistor, 1955 ->

- čas preklopa ~10ns (ns=10^{-9} s)

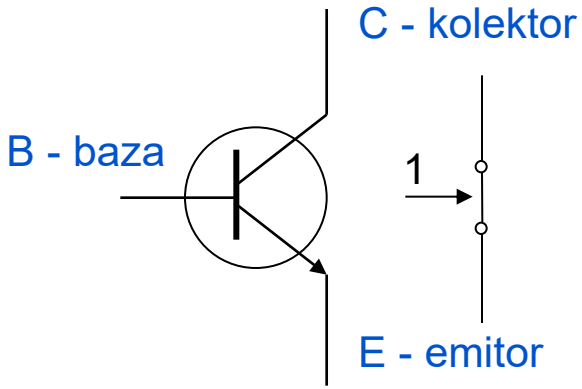


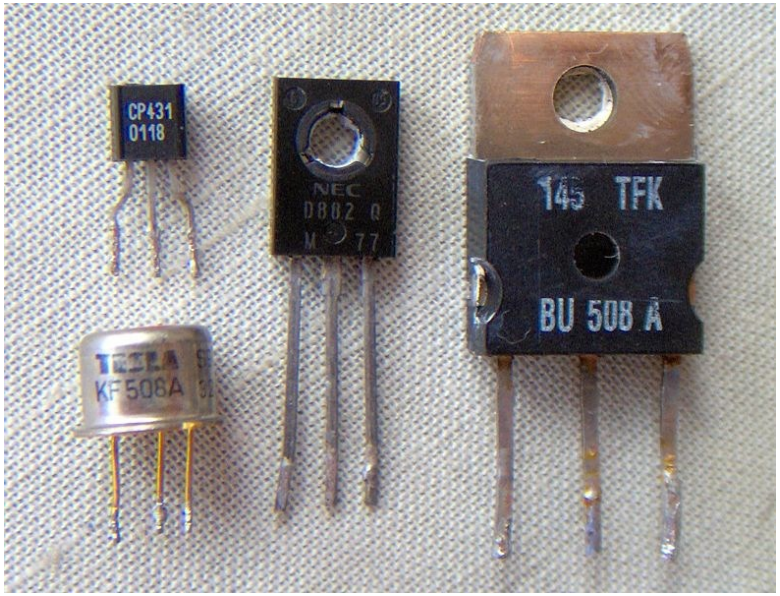


© 2026, R.Rozman- FRI

Tranzistor, 1955 ->

- čas preklopa ~10ns (ns=10^{-9} s)



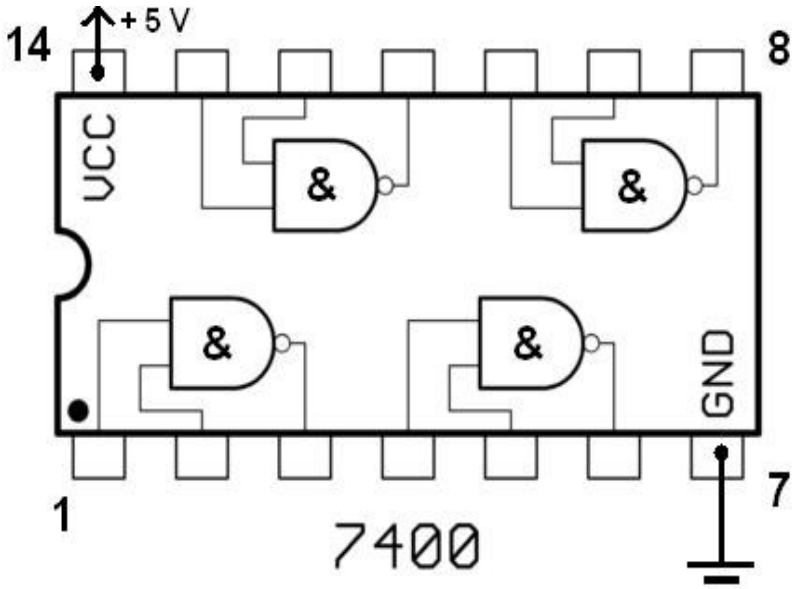


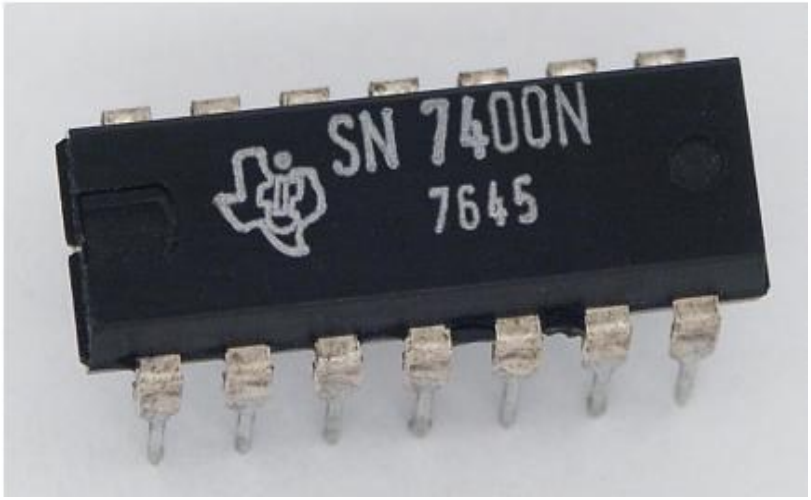
© 2026, R.Rozman- FRI

Tranzistor v integriranih vezjih

(TTL od konca 60.let)

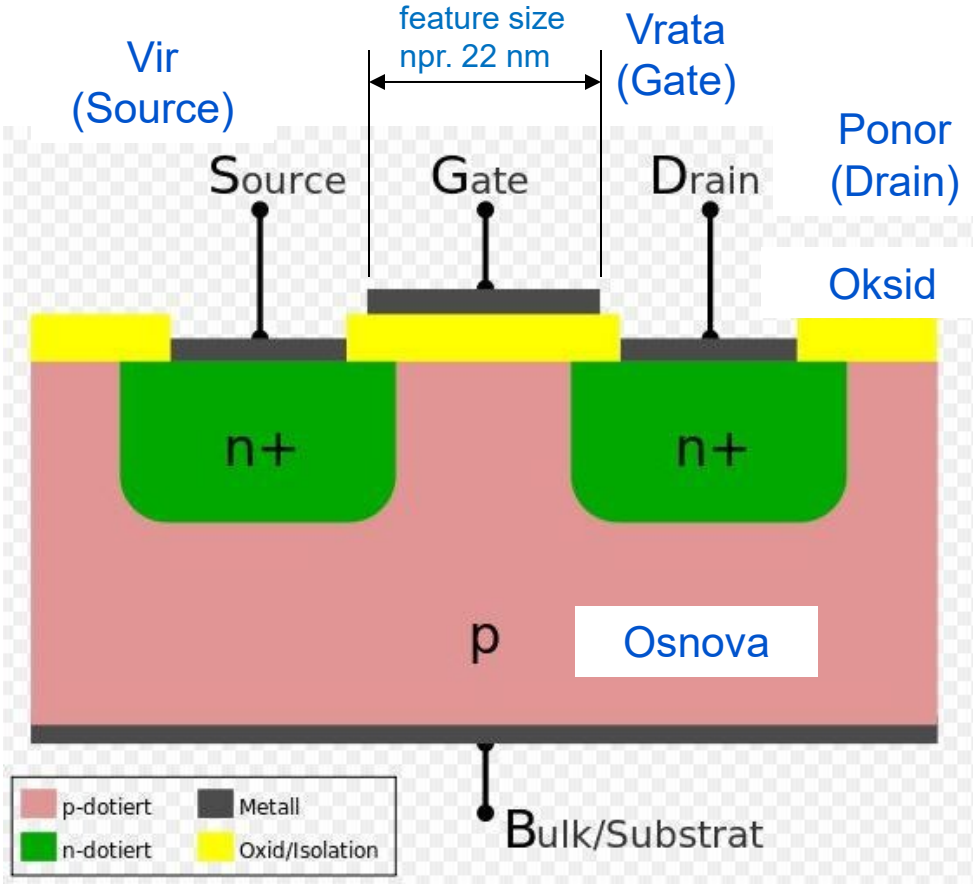
- čas preklopa <10ns



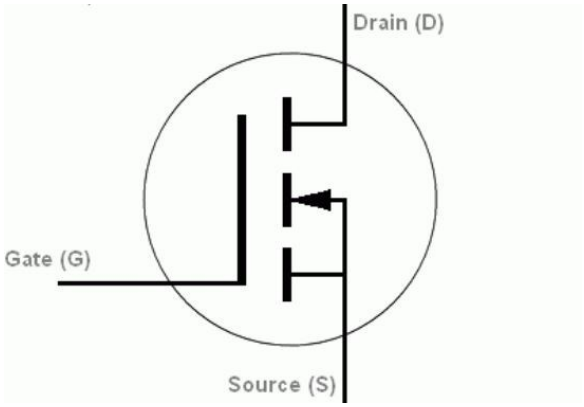


© 2026, R.Rozman- FRI

Tranzistor kot del integriranega vezja



MOSFET, čas preklopa <0,1ns



© 2026, R.Rozman- FRI

1.3.1.2 Realizacija stikala v digitalnih vezjih - povzetek

Ponovitev iz predmeta RA

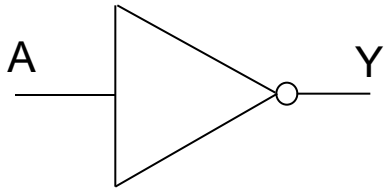
Leto	Stikalo	Preklopni čas
1939	Rele	1-10ms
1945-1955	Elektronka	~5μs
1955	tranzistor	10ns
Konec 60. let	tranzistor v TTL digit.vezjih	2-10ns
1980	VLSI	<0,1ns

© 2026, R.Rozman- FRI

1.3.2 Realizacija logičnih vrat

Ponovitev iz predmeta RA

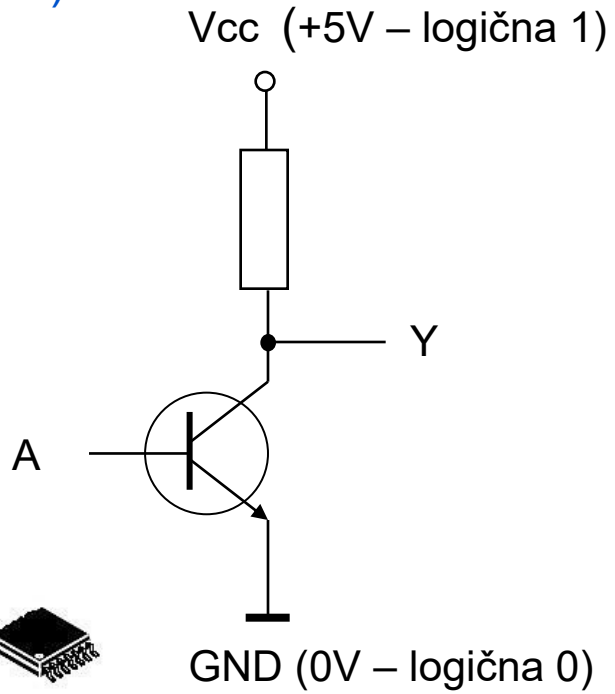
1.3.2.1 Realizacija logične funkcije NEGACIJA (NOT)



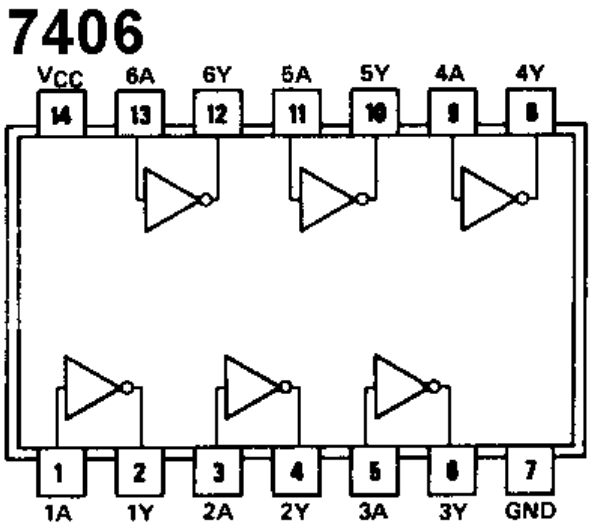
Simbol

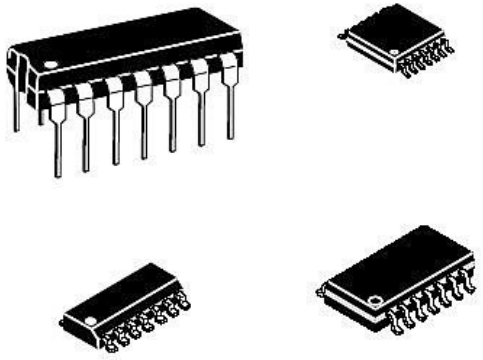
A	Y
0	1
1	0

Pravilnostna tabela



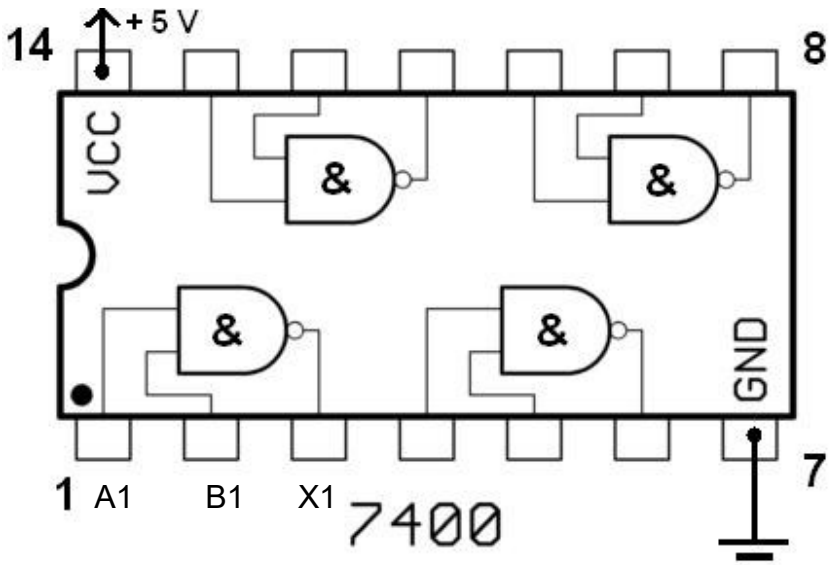
IC (Integrated Circuit) s 6 negatorji

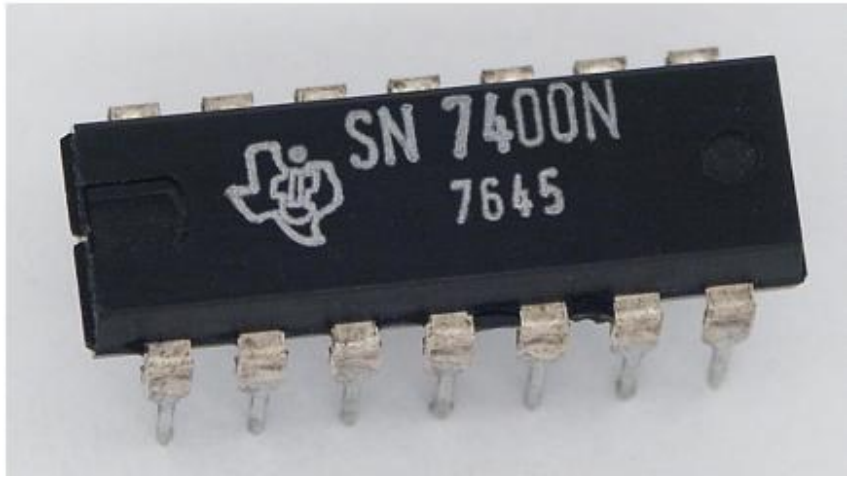


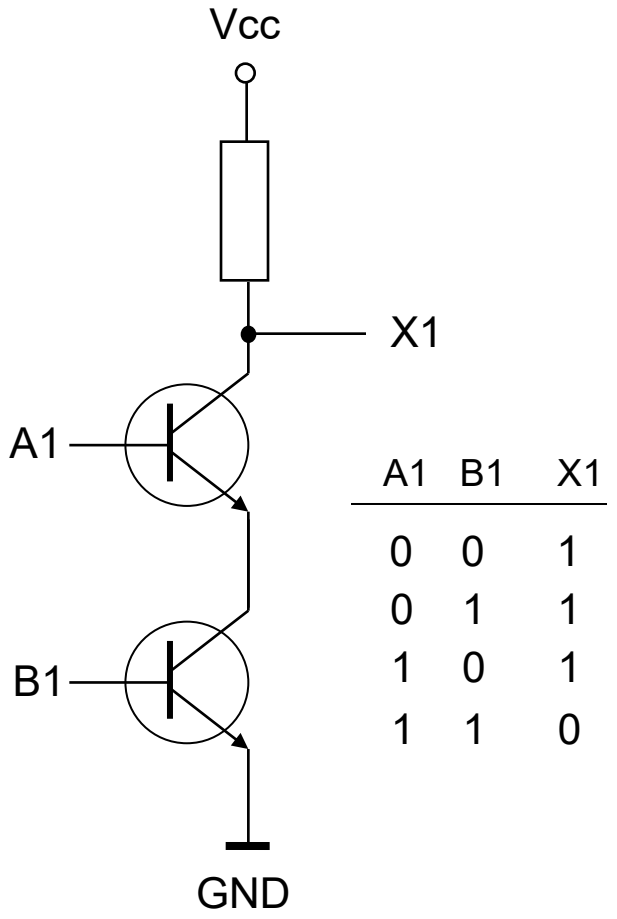


http://www.falstad.com/circuit/e-npn.html

1.3.2.2 Realizacija logične funkcije NAND (Negirana konjunkcija)





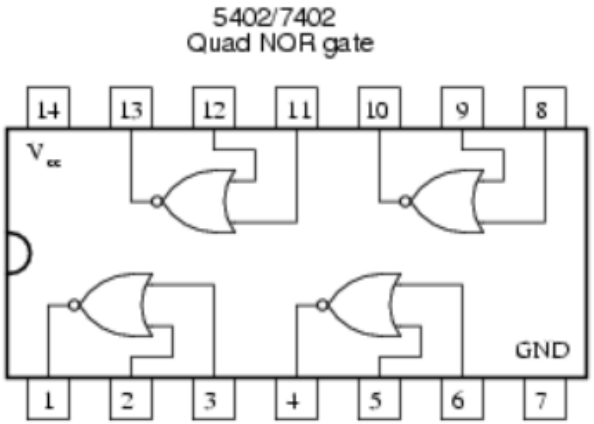


A1	B1	X1
0	0	1
0	1	1
1	0	1
1	1	0

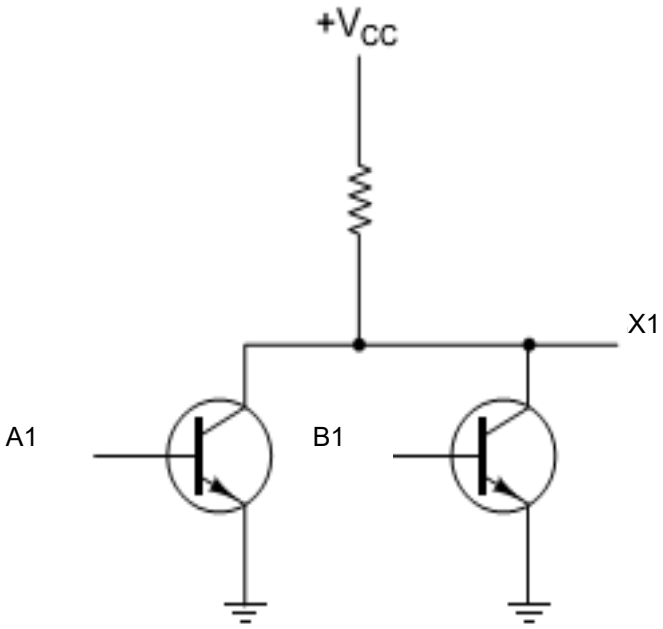
Logisim: pullup_nor_nand.circ

© 2026, R.Rozman- FRI

1.3.2.3 Realizacija logične funkcije NOR (Negirana disjunkcija)



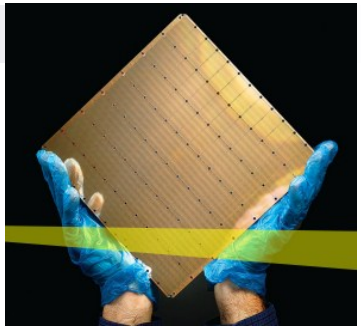
A1	B1	X1
0	0	1
0	1	0
1	0	0
1	1	0



Logisim: pullup_nor_nand.circ

© 2026, R.Rozman- FRI

1.3.3 Digitalna vezja visoke stopnje integracije - VLSI



1.3.3.1 Razvoj digitalnih vezij – št. tranzistorjev

Stopnja integracije	Leto	Št. tranzistorjev	Št. log. vrat oz. elementov
SSI	60. leta	nekaj 10	1-10
MSI	pozna 60. leta	nekaj 100	10-100
LSI	zgodnja 70. leta	nekaj 1000	100-100000
VLSI	1980->	nekaj 100000	nad 100000
	1986	1 milijon	
Pentium 4	2002	55 milijonov	
	2005	1 milijarda	
Xeon Westmere-EX – 10 cores	2012	>2.5 milijarde	
Ivy Bridge-EX-15	Q3/2013	4.3 milijarde	
22-core Xeon Broadwell-E5	2016	7,2 milijard	
AMD Epyc	2017 (2019)	>19 milijard (39 milijard)	
Apple M3 Ultra	2025	184 milijard	
Wafer Scale Engine 2	2021	2600 milijard	*namenski AI čip

MOSFET scaling (process nodes)

20 µm – 1968
10 µm – 1971
6 µm – 1974
3 µm – 1977
1.5 µm – 1981
1 µm – 1984
800 nm – 1987
600 nm – 1990
350 nm – 1993
250 nm – 1996
180 nm – 1999
130 nm – 2001
90 nm – 2003
65 nm – 2005
45 nm – 2007
32 nm – 2009
22 nm – 2012
14 nm – 2014
10 nm – 2016
7 nm – 2018
5 nm – 2020
3 nm – 2022
2 nm – 2025

Future

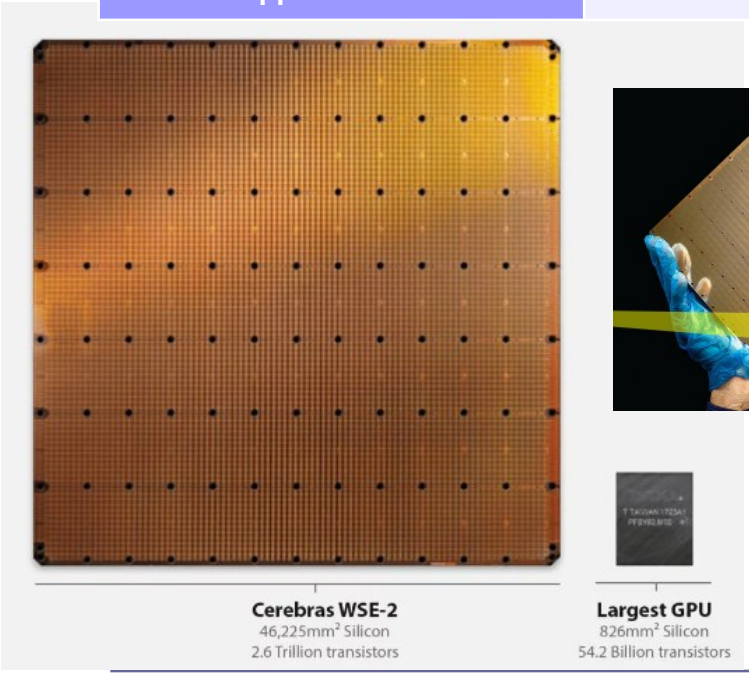
1 nm ~ 2027

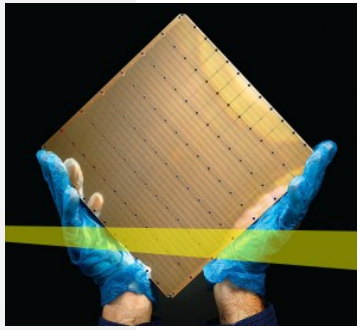
© 2026, R.Rozman- FRI

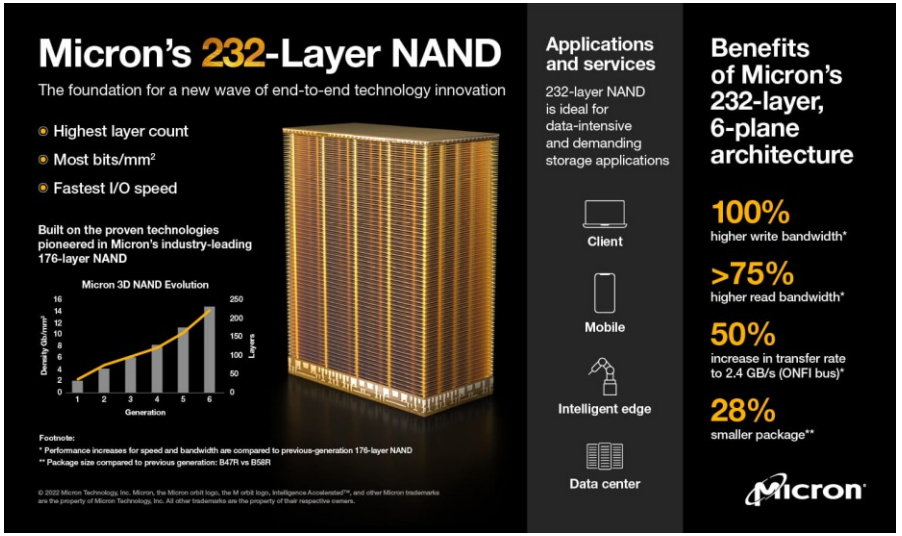
1.3.3 Digitalna vezja visoke stopnje integracije - VLSI

1.3.3.1 Razvoj digitalnih vezij - št. tranzistorjev in namen

Stopnja integracije	Leto	Št. tranzistorjev	Namen
Wafer Scale Engine WSE-2	2021	2600 milijard	*namenski AI čip
Micron 232-slojni 3D NAND (TLC), 1 Tbit	2022	≈ 333 milijard pomnilnih celic na čip (ohišje 2 TB s 16 čipi: ≈ 5300 milijard)	*namenski stacked Flash - ohišje s 16 čipi
Nvidia Rubin	2026	336 milijard	*GPE
Apple M3 Ultra	2025	184 milijard	*CPE

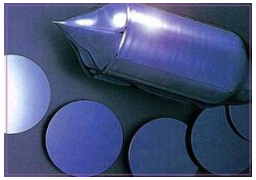


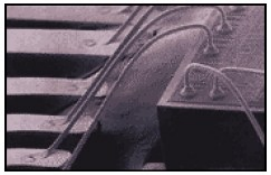


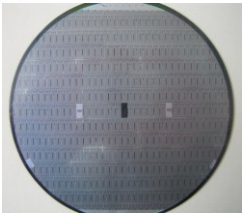


© 2026, R.Rozman- FRI

1.3.3.2 Podrobnejši opis postopka izdelave VLSI digitalnih vezij





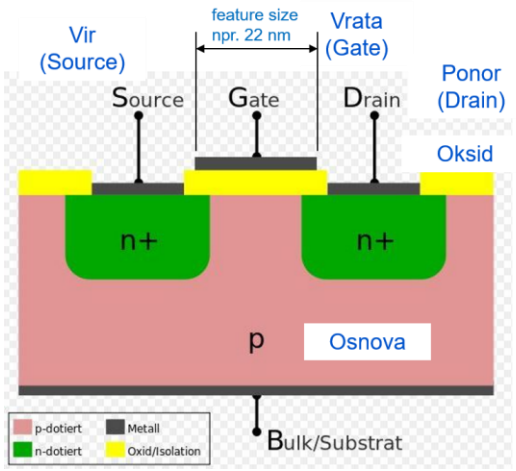


David A. Patterson, John L. Hennesy:
Computer Organization and Design, Fourth Edition

© 2026, R.Rozman- FRI

Postopek izdelave VLSI integriranega vezja - čipa

- V 20 do 40 procesnih korakih se z nanašanjem drugih materialov na silicijevo rezino oblikujejo:
  - tranzistorji,
  - povezave in
  - izolatorji.

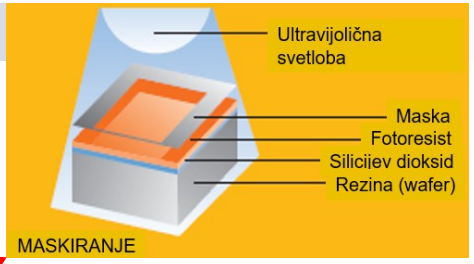


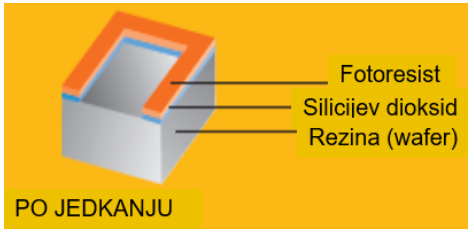
© 2026, R.Rozman- FRI

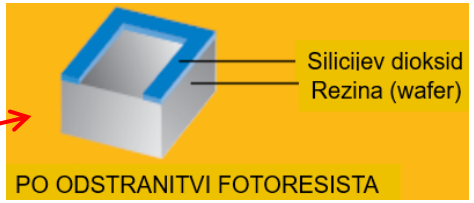
1.3.3.2 Postopek izdelave VLSI digitalnih vezij

Procesni korak :

- ***izolacija in prekrivanje***
  - nanašanje SiO2 (izolator)
  - dodana plast “fotoresist”
- ***maskiranje***
  - fotolitografija - obsevanje skozi masko
- ***jedkanje***
  - odstrani osvetljeno plast “fotoresista”



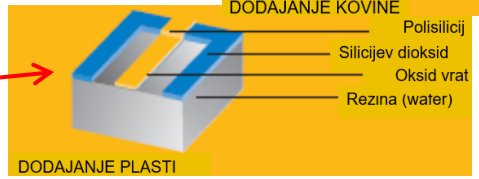




- po potrebi ***eden od naslednjih postopkov***:
  - ***dopiranje*** (za tvorbo kanalov pri tranzistorjih)
  - ***nanašanje plasti prevodnikov*** (za oblikovanje povezav, priključkov, povezav med nivoji)
  - **nanašanje plasti izolatorjev** (zaščita, oblikovanje povezav, pač po potrebi, itd…







© 2026, R.Rozman- FRI

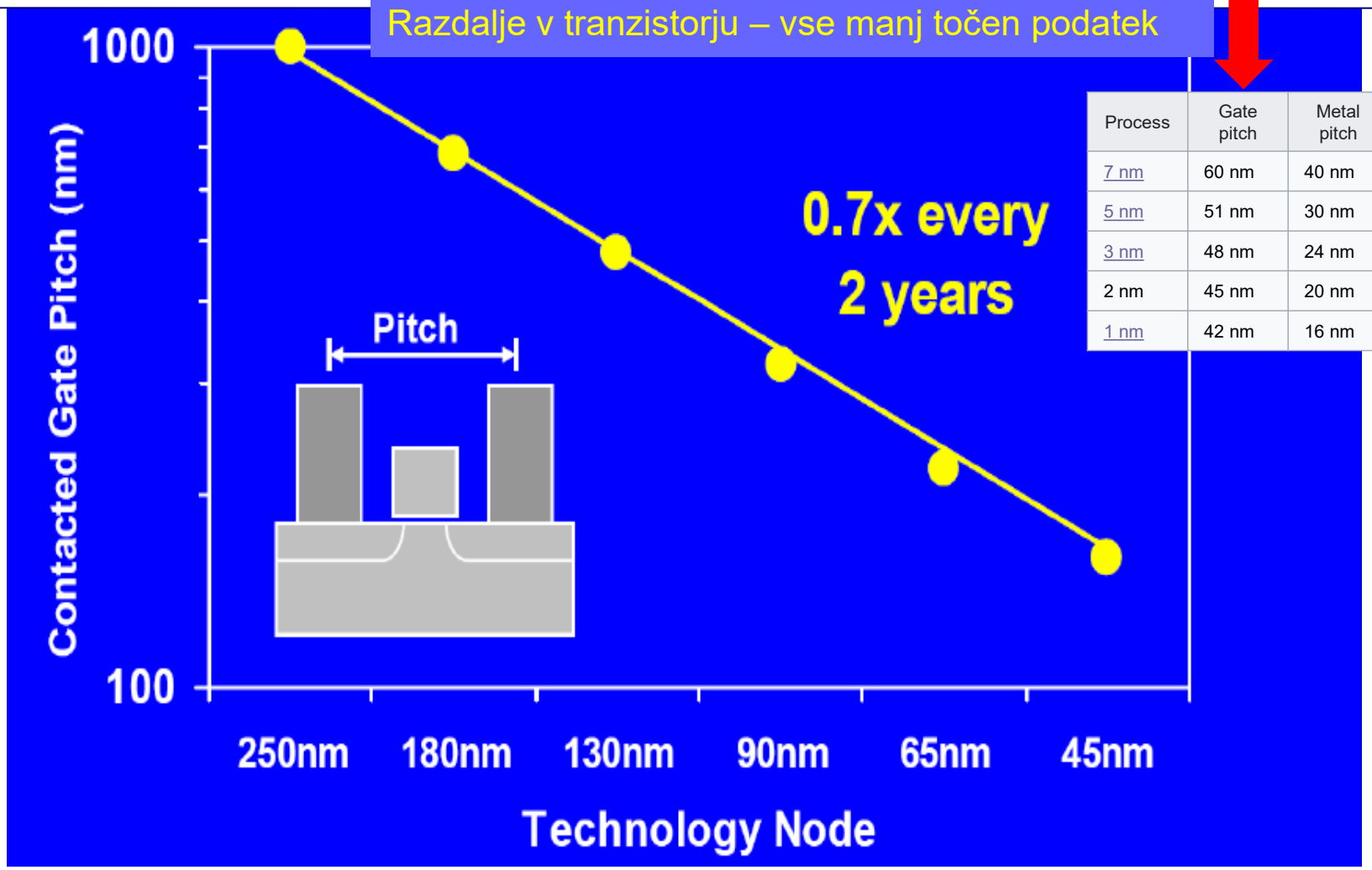
Končna obdelava:

- testiranje čipov na rezinah (»die«)
- razrez rezin na čipe
- povezave priključkov na čipu z žičkami na priključke ohišja
- končno testiranje

© 2026, R.Rozman- FRI

1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

Razdalje v tranzistorju – vse manj točen podatek



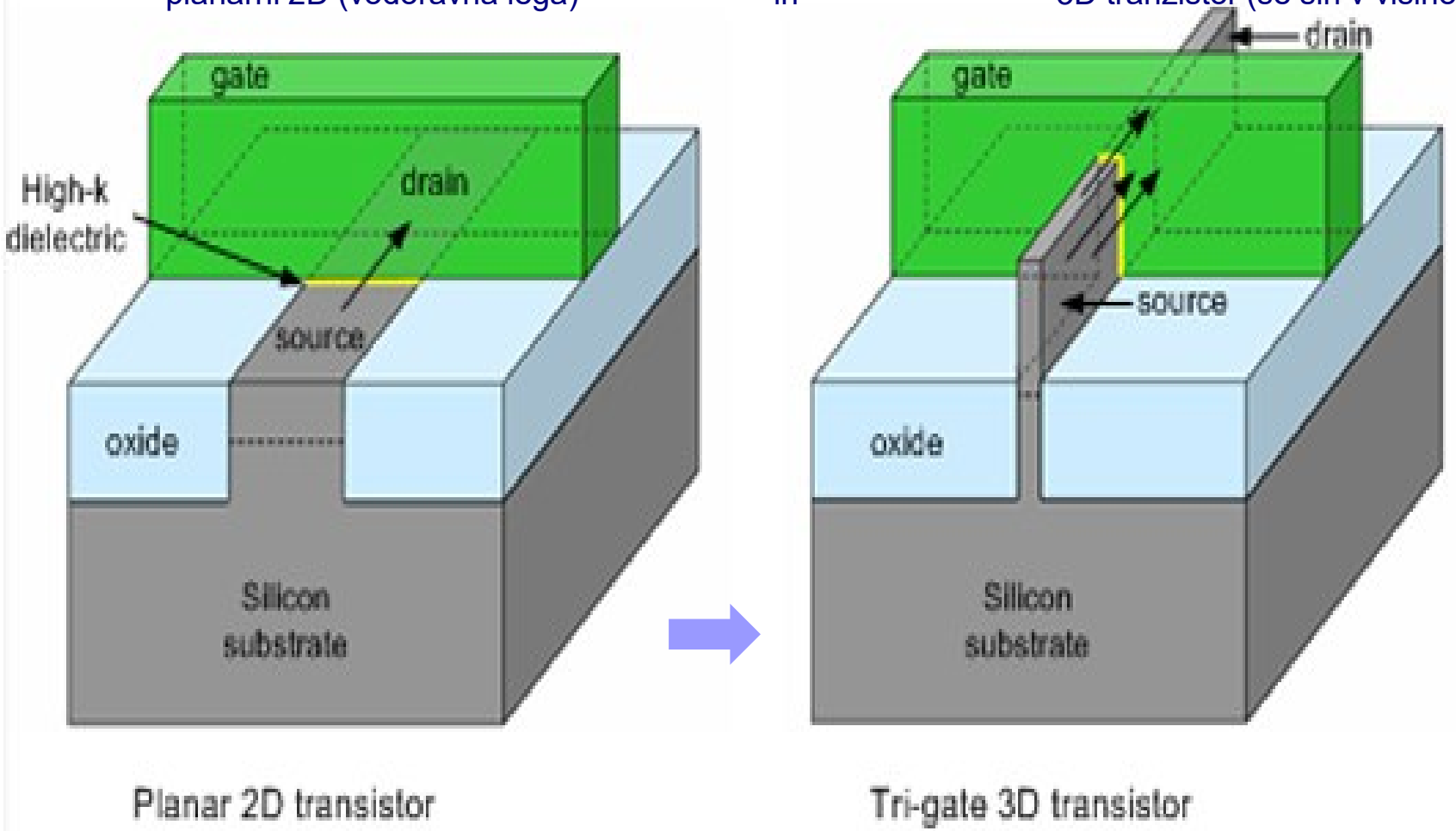
Process	Gate pitch	Metal pitch	Year
7 nm	60 nm	40 nm	2018
5 nm	51 nm	30 nm	2020
3 nm	48 nm	24 nm	2022
2 nm	45 nm	20 nm	2025
1 nm	42 nm	16 nm	2027

IEEE/IEDM 2007 (International Electron Devices Meeting) Intel

© 2026, R.Rozman- FRI

1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

planarni 2D (vodoravna lega) in 3D tranzistor (se širi v višino)



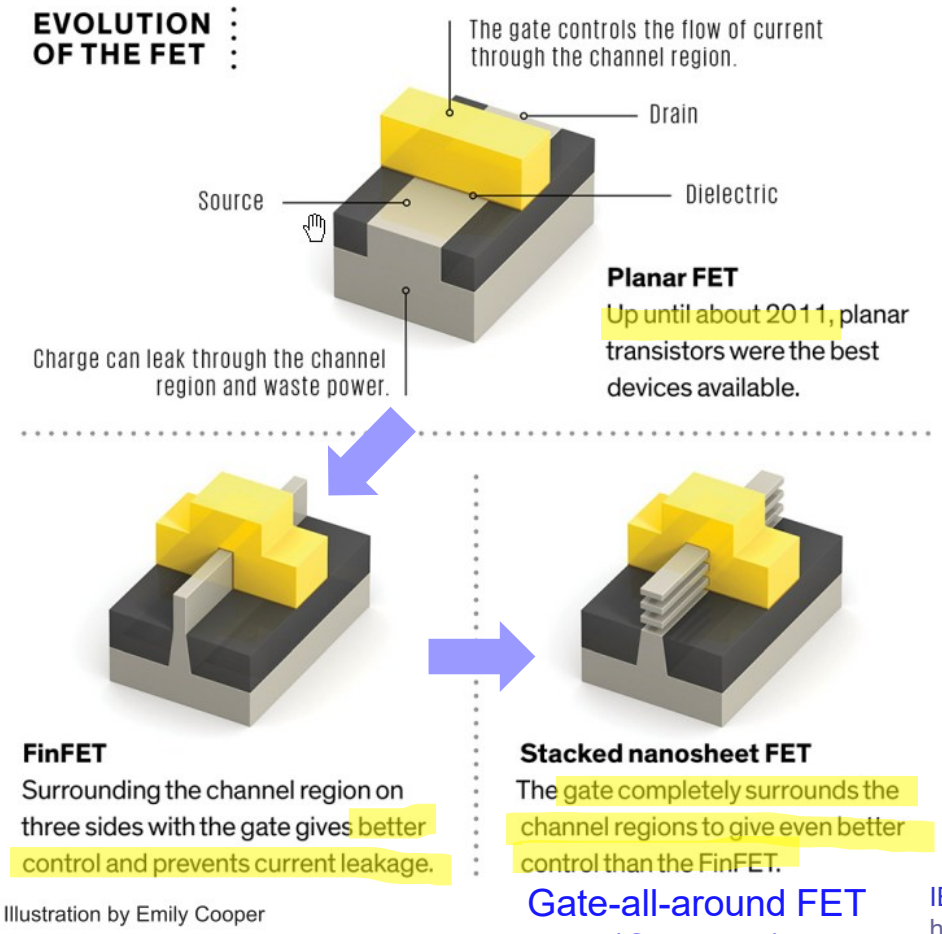
22nm tehnologija izdelave čipov

premer Si atoma je 0.24nm!!!

© 2026, R.Rozman- FRI

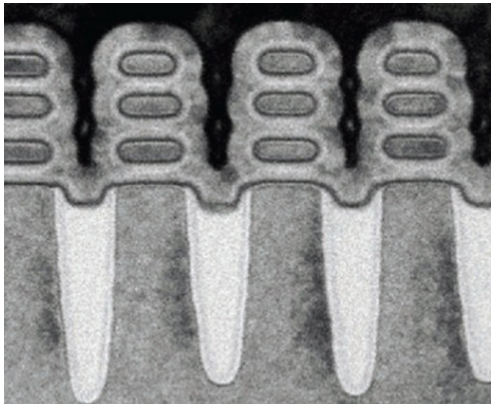
1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

Sodobni razvoj tranzistorja
Planarni (vodoravno) -> FinFET (navpično) -> Nano lističi



Gate-all-around FET (GAAFET)

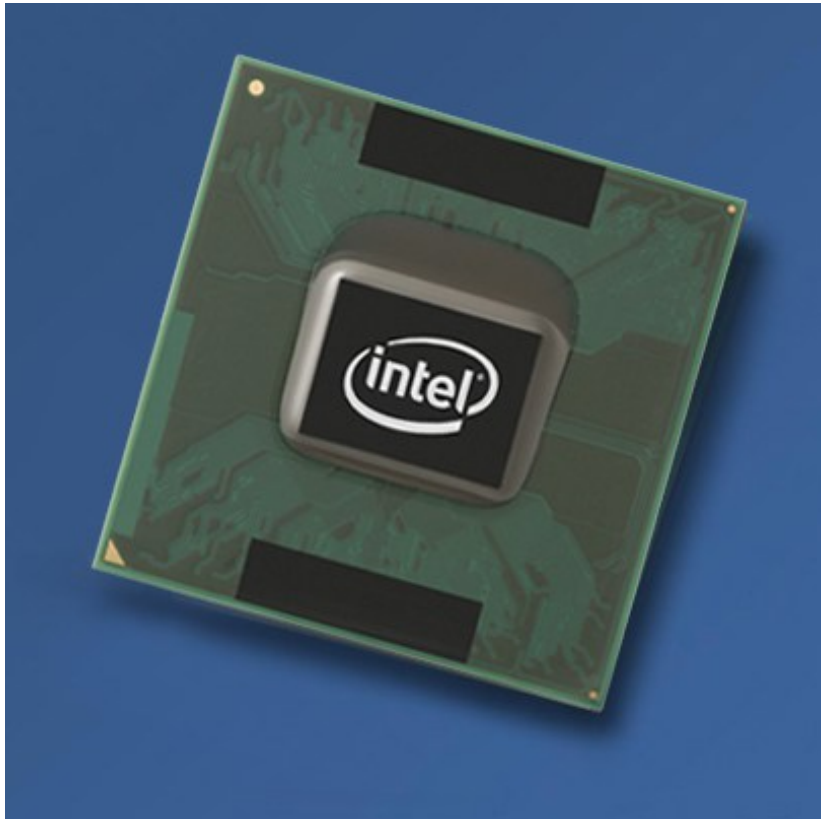
2nm tehnologija izdelave čipov (IBM)



IEEE Spectrum 2021
https://spectrum.ieee.org/ibm-introduces-the-worlds-first-2nm-node-chip

© 2026, R.Rozman- FRI

Primer čipa: Intel 80x86

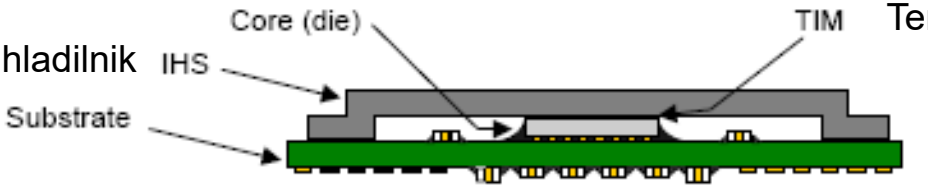




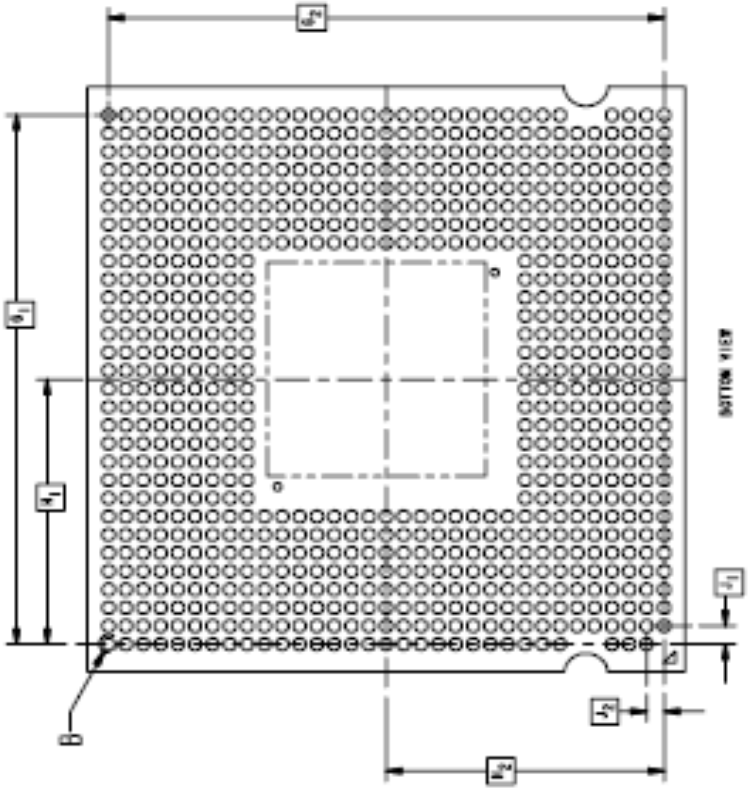
© 2026, R.Rozman- FRI

Primer čipa: Intel 80x86

Integriran hladilnik



Termično prevoden vmesnik



© 2026, R.Rozman- FRI

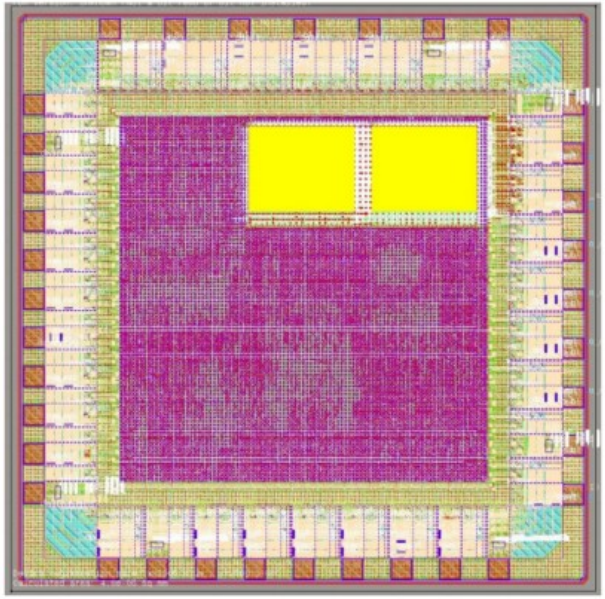
RISC-V processor in silicon (Ratko)

MCU3199 – a 32-bit RISC-V microcontroller, developed together with JSI and taped out in IHP 130 nm (SG13CMOS)

RV32I	43,470	1.9 mm	8 kB
RVJ1 CPU, 5-stage pipeline	standard cells	die edge (1916 × 1916 µm)	SRAM, boot from SPI flash

What this shows

- **We understand modern processor architectures** and SoC organisation: CPU, OBI crossbar, UART, SPI, GPIO, timer, JTAG debug
- **We master the complete ASIC design flow** and its open-source tools: SystemVerilog RTL → cocotb verification → Yosys → OpenROAD → KLayout GDS
- We don't only lecture computer architecture and organisation – **we build a real processor that runs in our own chip**



MCU3199 layout · github.com/cs-jsi/IHP__MCU3199

Author: 

CC CHIP.SI SLOVENIAN CHIP COMPETENCE CENTER

Tudi na FRI načrtujemo čipe…

© 2026, R.Rozman- FRI

1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih - pregled

Z večanjem stopnje integracije:

- se dimenzije tranzistorjev in povezav manjšajo
- vezja (tranzistorji) za svoje delovanje porabljajo energijo (odvečna toplota)

Zato je pomembno da :

- učinkovito distribuiramo energijo po čipu:
  - veliko število kontaktov je za napajanje (Vcc in GND)
- učinkovito odvajamo odvečno toploto :
  - hladilniki, ventilatorji

Trend zmanjšanja porabe (TDP = Thermal Design Power) :

- Intel Core i7-920 s frekv. jedra 2.66GHz; TDP = 130W , 45nm
- Haswell: Core i7 4771, TDP = 85 W (sept. 2013) 22nm
- Skylake: Core i7-6700, TDP = 65W (avg. 2015) 14nm
- AlderLake: Core i7-12700, TDP = 65W (jan. 2022) 10nm
- RaptorLake: Core i7-13900, Base/Max=55/157W (Q1‘23)
- ArrowLake: Core Ultra 9-285, Base/Max=65/182W (Q1‘25)

© 2026, R.Rozman- FRI

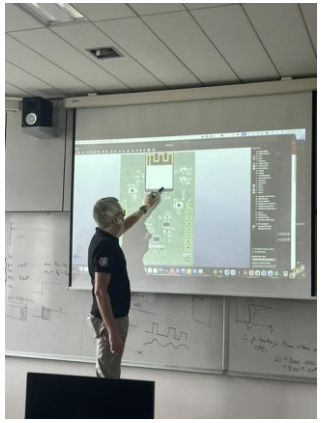
1.3.3.4 Sodobni vgrajeni sistemi – načrtovanje tiskanih vezij

Delavnica na FRI za načrtovanje tiskanih vezji – ESP32

Build Your Own RISC-V Computer – KiCad PCB Design Workshop

Z naslova <https://cc-chip.si/build-your-own-risc-v-computer-kicad-pcb-design-workshop/>

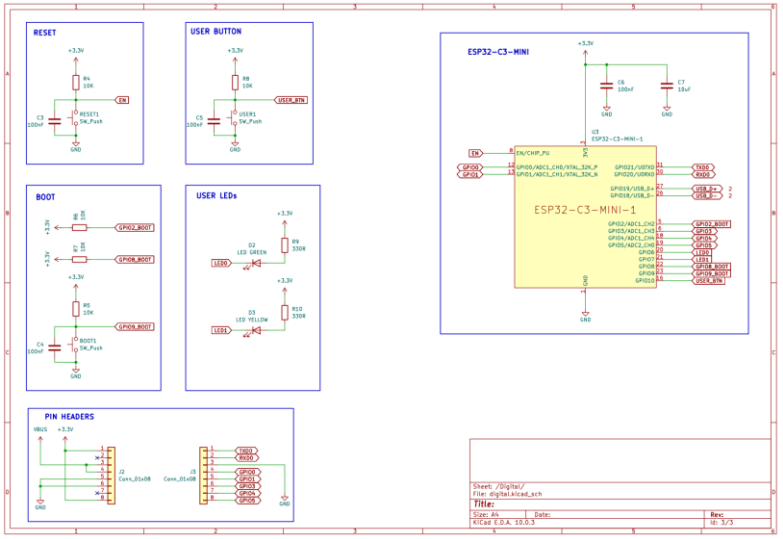


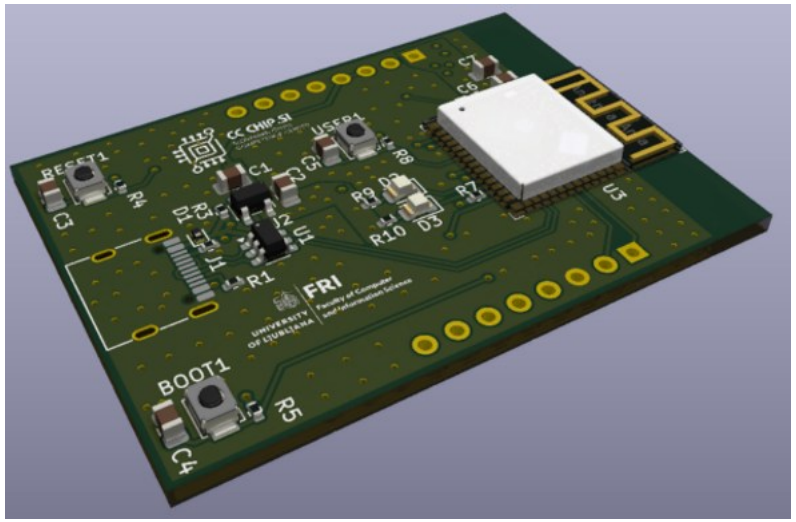


KiCad

A Cross Platform and Open Source PCB Design Suite

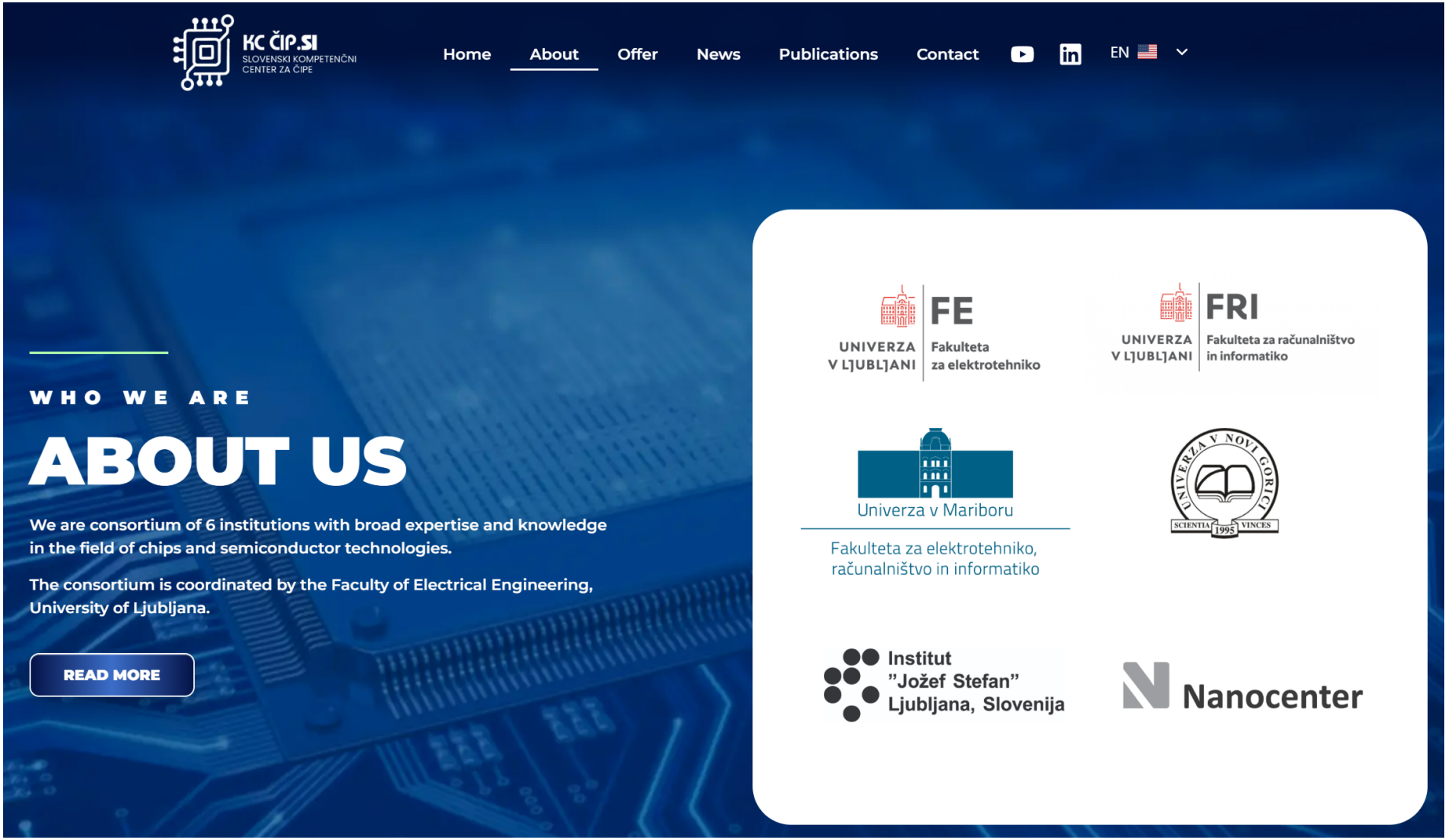
https://www.kicad.org/





© 2026, R.Rozman- FRI

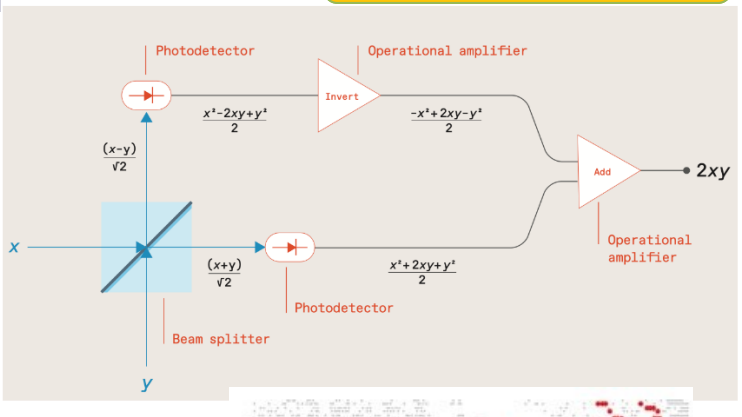
1.3.3.4 Sodobni vgrajeni sistemi – načrtovanje tiskanih vezij



© 2026, R.Rozman- FRI

1.3.3.5 Potencialni tehnološki premiki (izbor)

Tehnologija (primer optike):



THE FUTURE OF DEEP LEARNING IS PHOTONIC

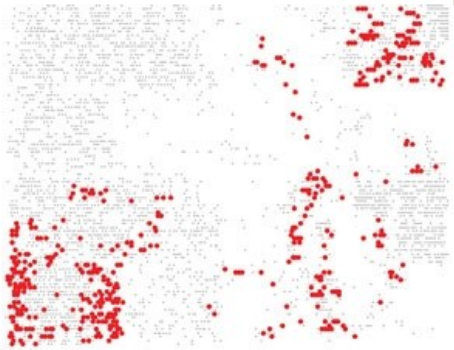
Computing with light could slash the energy needs of neural networks

Z naslova <https://spectrum.ieee.org/the-future-of-deep-learning-is-photonic>

Pristop – splošni ali namenski:

Engineers can cut size and power in half by stripping away unused logic gates from general-purpose microcontrollers





In an analysis of the logic gates used in two applications—intFilt and Scrambled intFilt—on an openMSP430 microcontroller, the gray dots are gates not used by either application. Red dots are gates unused only by Scrambled intFilt. IMAGE: UNIVERSITY OF MINNESOTA AND UNIVERSITY OF ILLINOIS

Starting with an openMSP430 microcontroller, they produced bespoke designs meant to perform applications such as the fast Fourier transform, autocorrelation, and interpolation filtering. These designs had fewer than half of the logic gates that were part of the original microcontroller design. In fact, none of the 15 common microcontroller apps they studied needed more than 60 percent of the gates. On average, the resulting chips were 62 percent smaller and consumed 50 percent less power. By exploiting the timing savings from signals traveling a shorter distance, the average power savings jumped to 65 percent.

Z naslova <https://spectrum.ieee.org/bespoke-processors-a-new-path-to-cheap-chips>

© 2026, R.Rozman- FRI

Postopek izdelave VLSI integriranega vezja - čipa



Dodatna gradiva, video :

- Posnetki o postopku izdelave VLSI vezij :

How ST designs and manufactures semiconductor devices – YouTube *(prikažemo 0:26-1:16)*

2020: From Sand to Silicon: The Making of a Microchip | Intel *(od 1:55 do 3:23)*

Making the Microchip — At the Limits III Preview/
The Making of a chip
Intel: The Making of a Chip with 22nm/3D Transistors

© 2026, R.Rozman- FRI

ORGANIZACIJA RAČUNALNIKOV

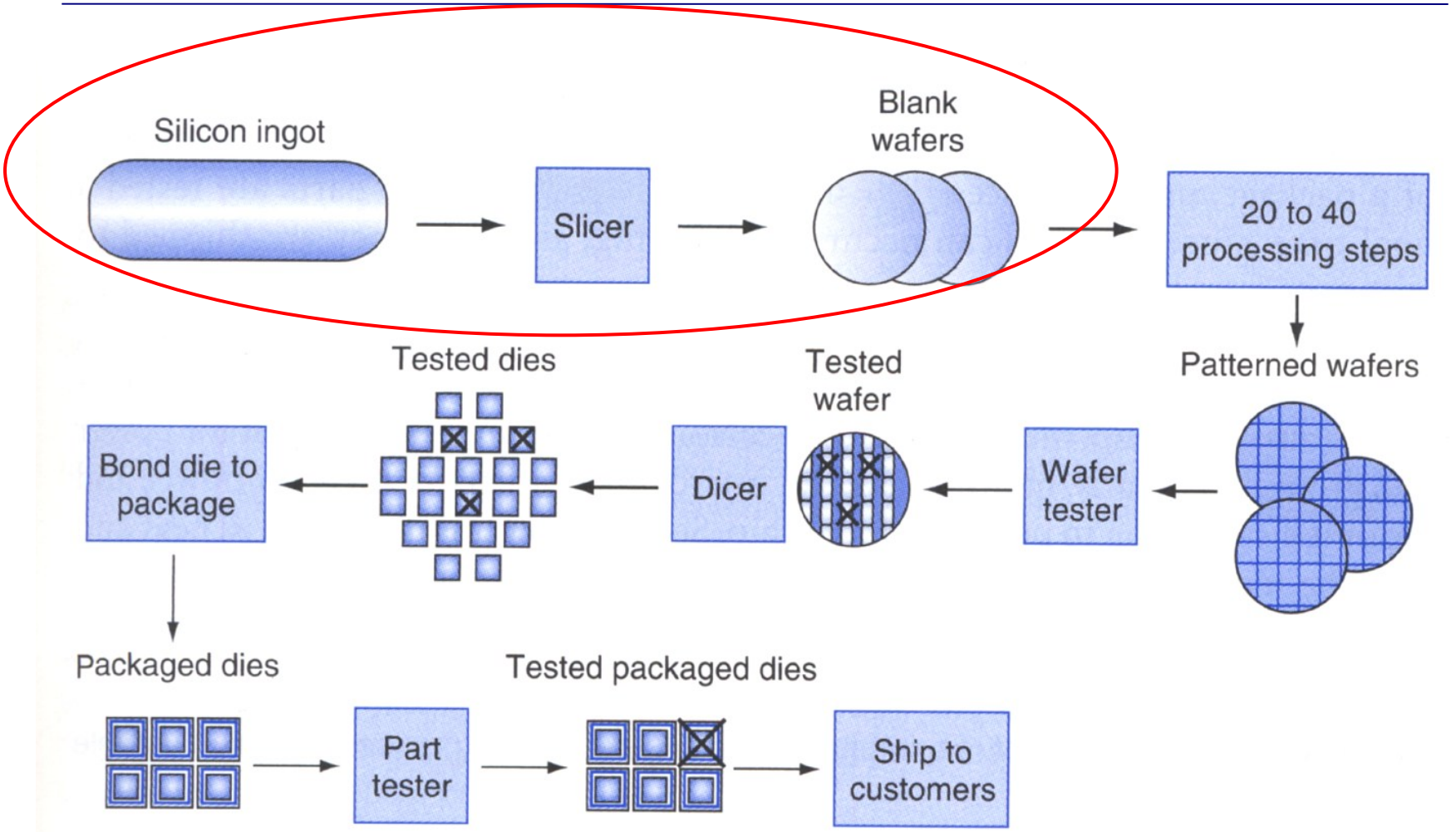
Dodatek

1. Uvod v organizacijo računalnikov in digitalna vezja

Robert Rozman rozman@fri.uni-lj.si

© 2026, R.Rozman- FRI

1.3.3.2 Podrobnejši opis postopka izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennesy:
Computer Organization and Design, Fourth Edition

© 2026, R.Rozman- FRI

Postopek izdelave VLSI integriranega vezja - čipa

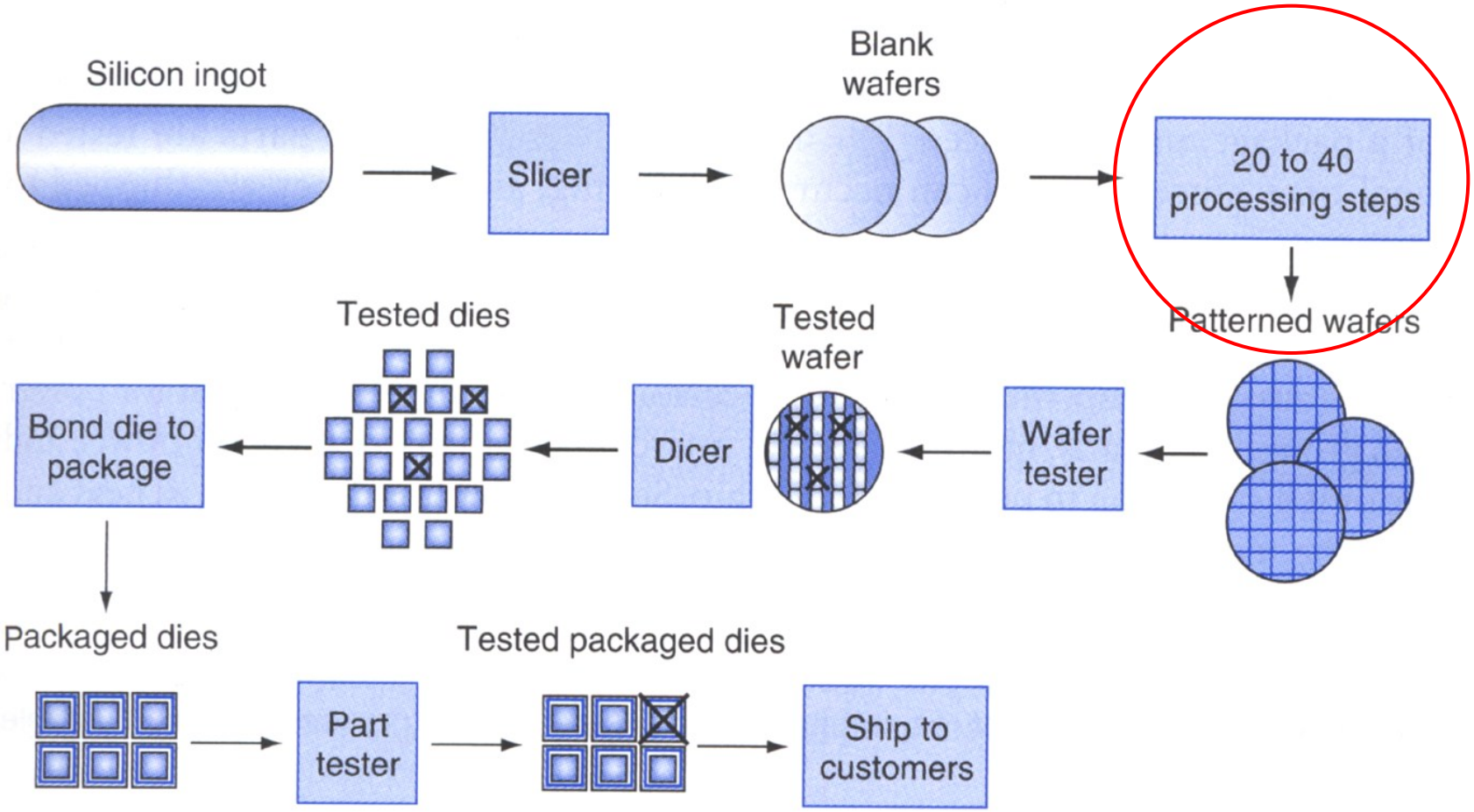
- Priprava->Ingot -> rezalnik -> rezine, „wafers“





© 2026, R.Rozman- FRI

1.3.3.2 Postopek izdelave VLSI digitalnih vezij

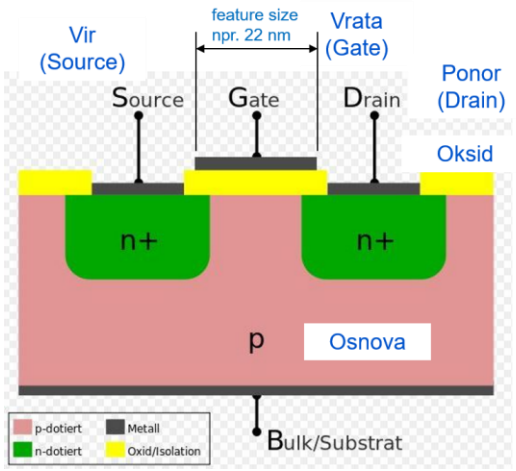


David A. Patterson, John L. Hennesy:
Computer Organization and Design, Fourth Edition

© 2026, R.Rozman- FRI

Postopek izdelave VLSI integriranega vezja - čipa

- V 20 do 40 procesnih korakih se z nanašanjem drugih materialov na silicijevo rezino oblikujejo:
  - tranzistorji,
  - povezave in
  - izolatorji.

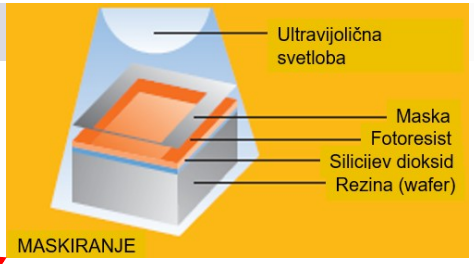


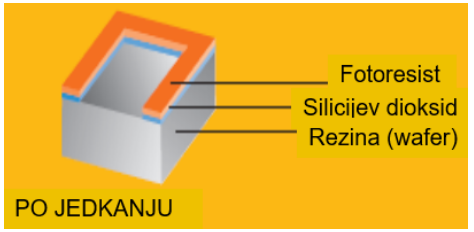
© 2026, R.Rozman- FRI

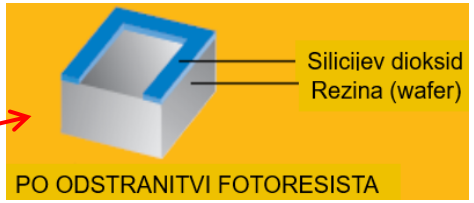
1.3.3.2 Postopek izdelave VLSI digitalnih vezij

Procesni korak :

- ***izolacija in prekrivanje***
  - nanašanje SiO2 (izolator)
  - dodana plast “fotoresist”
- ***maskiranje***
  - fotolitografija - obsevanje skozi masko
- ***jedkanje***
  - odstrani osvetljeno plast “fotoresista”



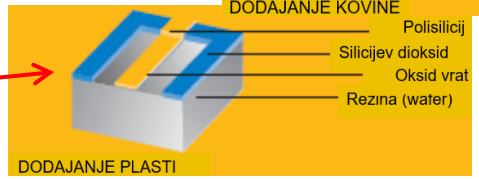




- po potrebi ***eden od naslednjih postopkov***:
  - ***dopiranje*** (za tvorbo kanalov pri tranzistorjih)
  - ***nanašanje plasti prevodnikov*** (za oblikovanje povezav, priključkov, povezav med nivoji)
  - **nanašanje plasti izolatorjev** (zaščita, oblikovanje povezav, pač po potrebi, itd…

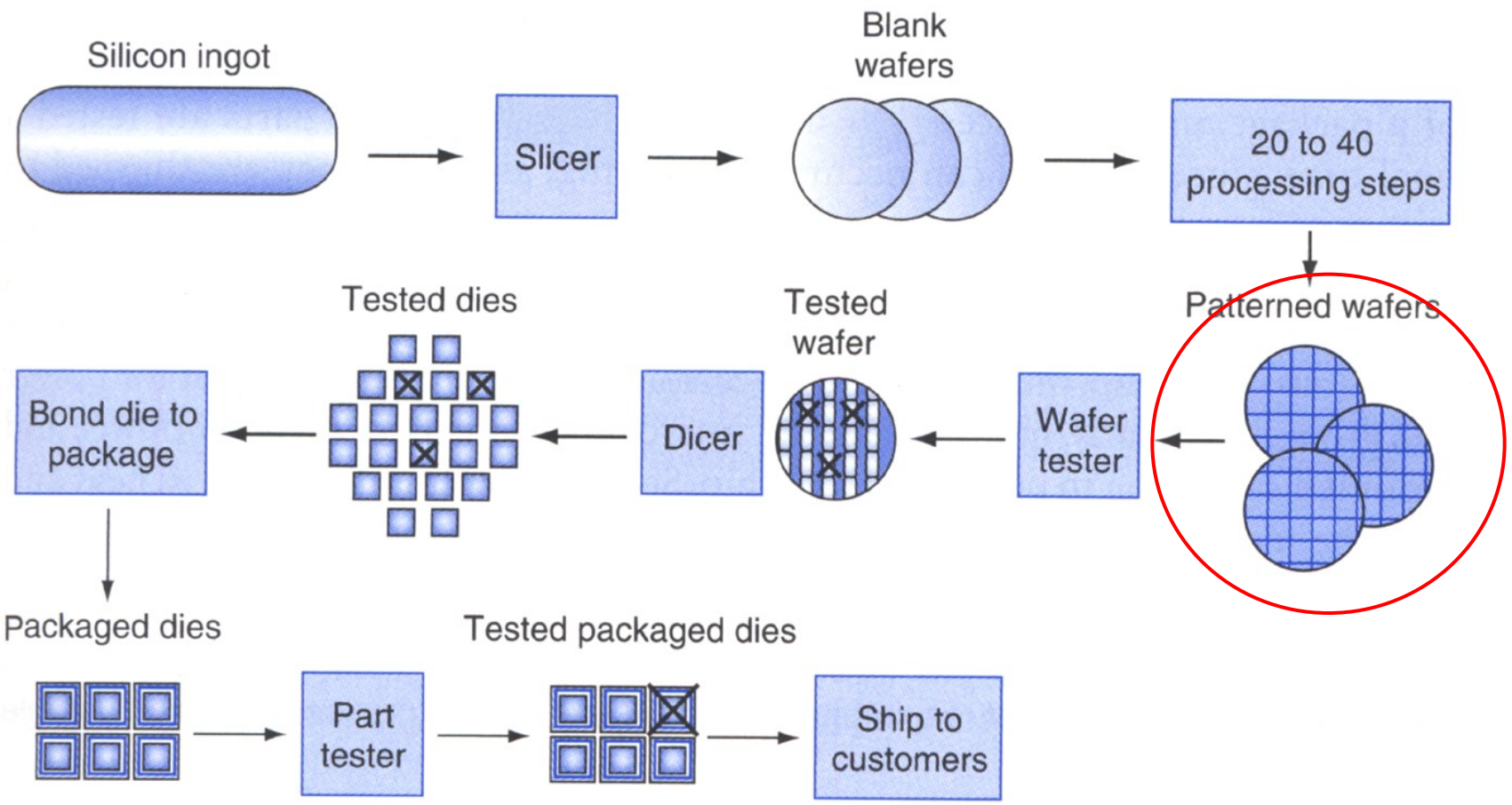






© 2026, R.Rozman- FRI

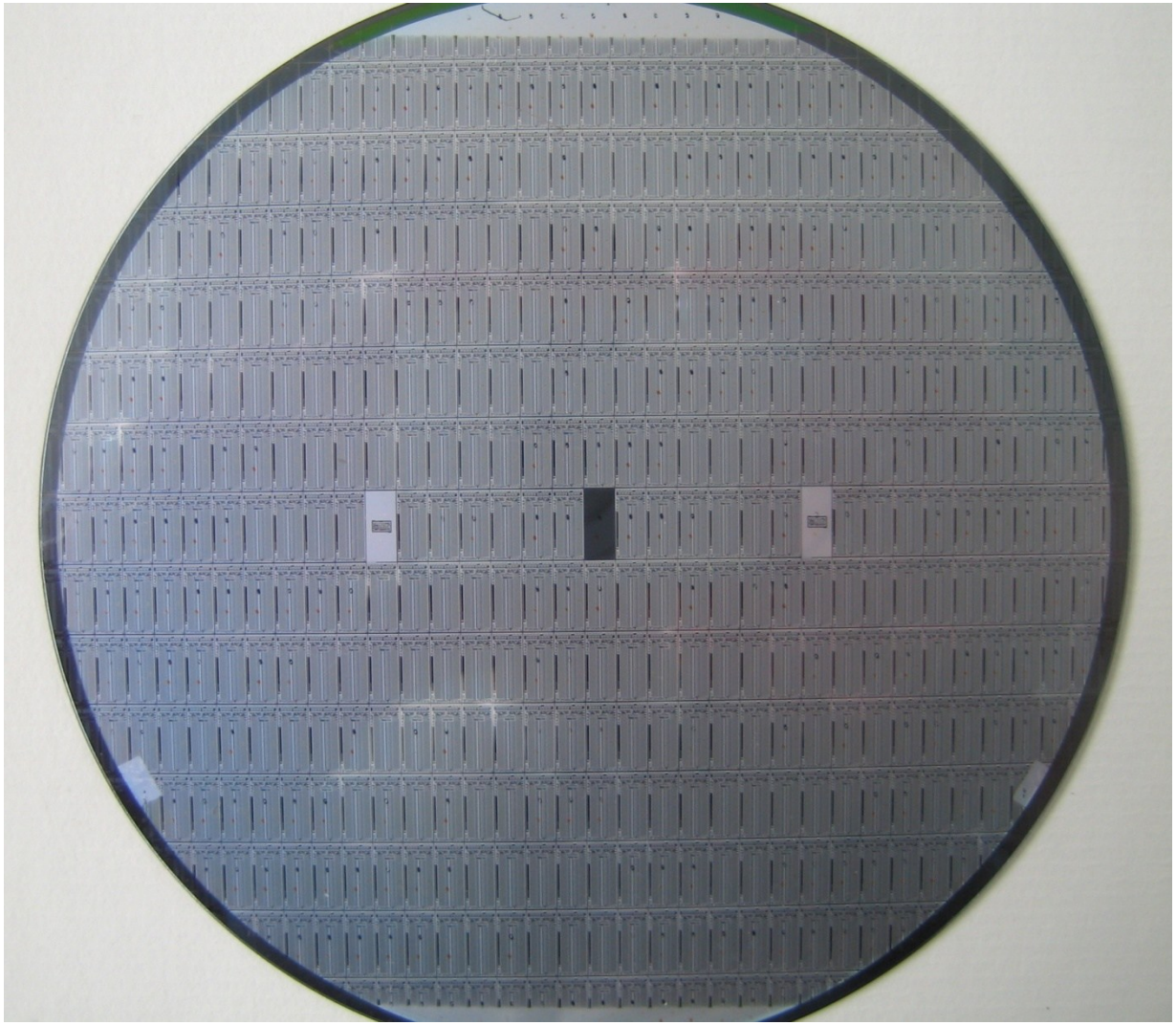
1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennesy:
Computer Organization and Design, Fourth Edition

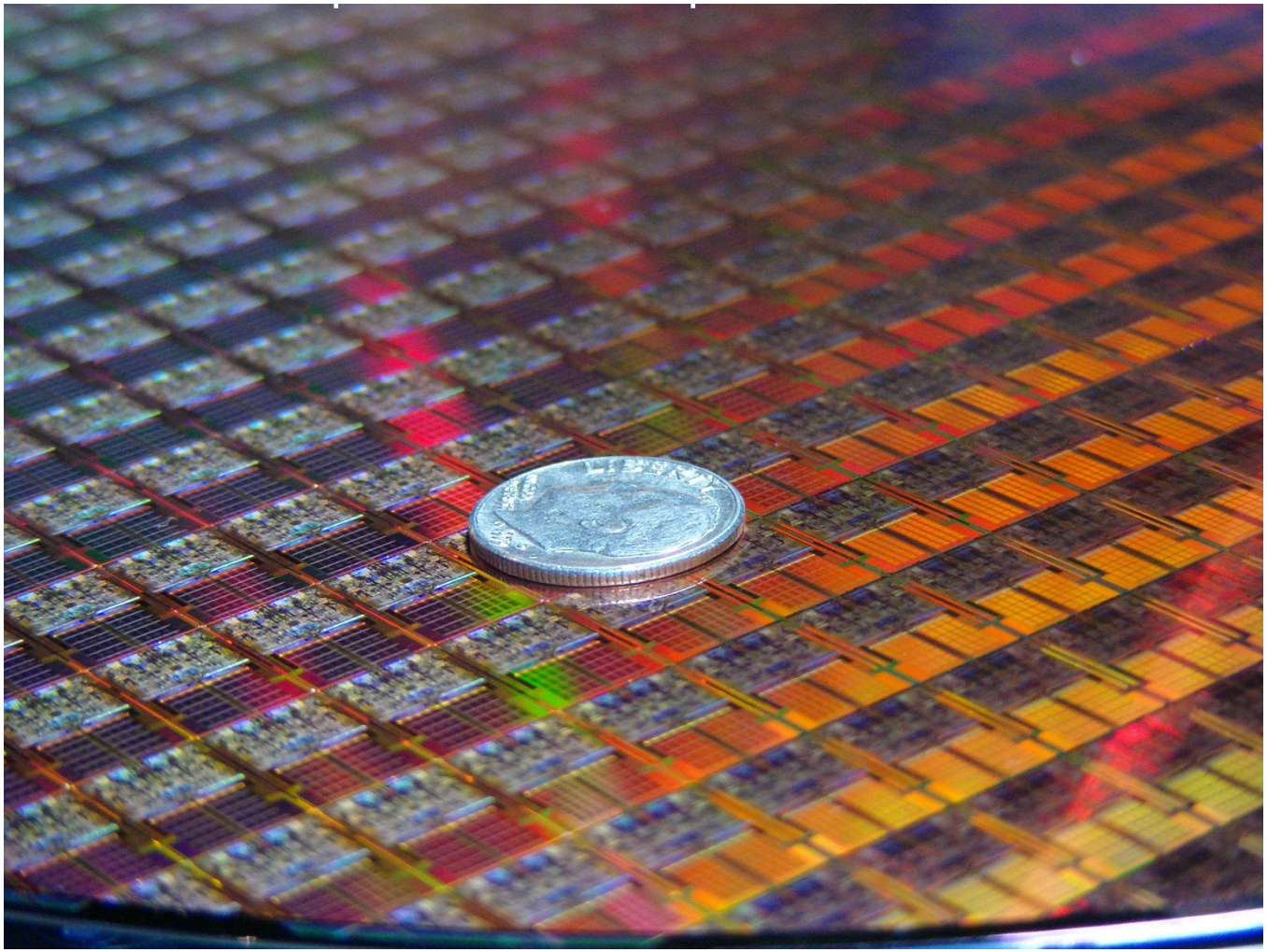
© 2026, R.Rozman- FRI

Rezina (wafer) s približno 250 pomnilniškimi čipi pred razrezom



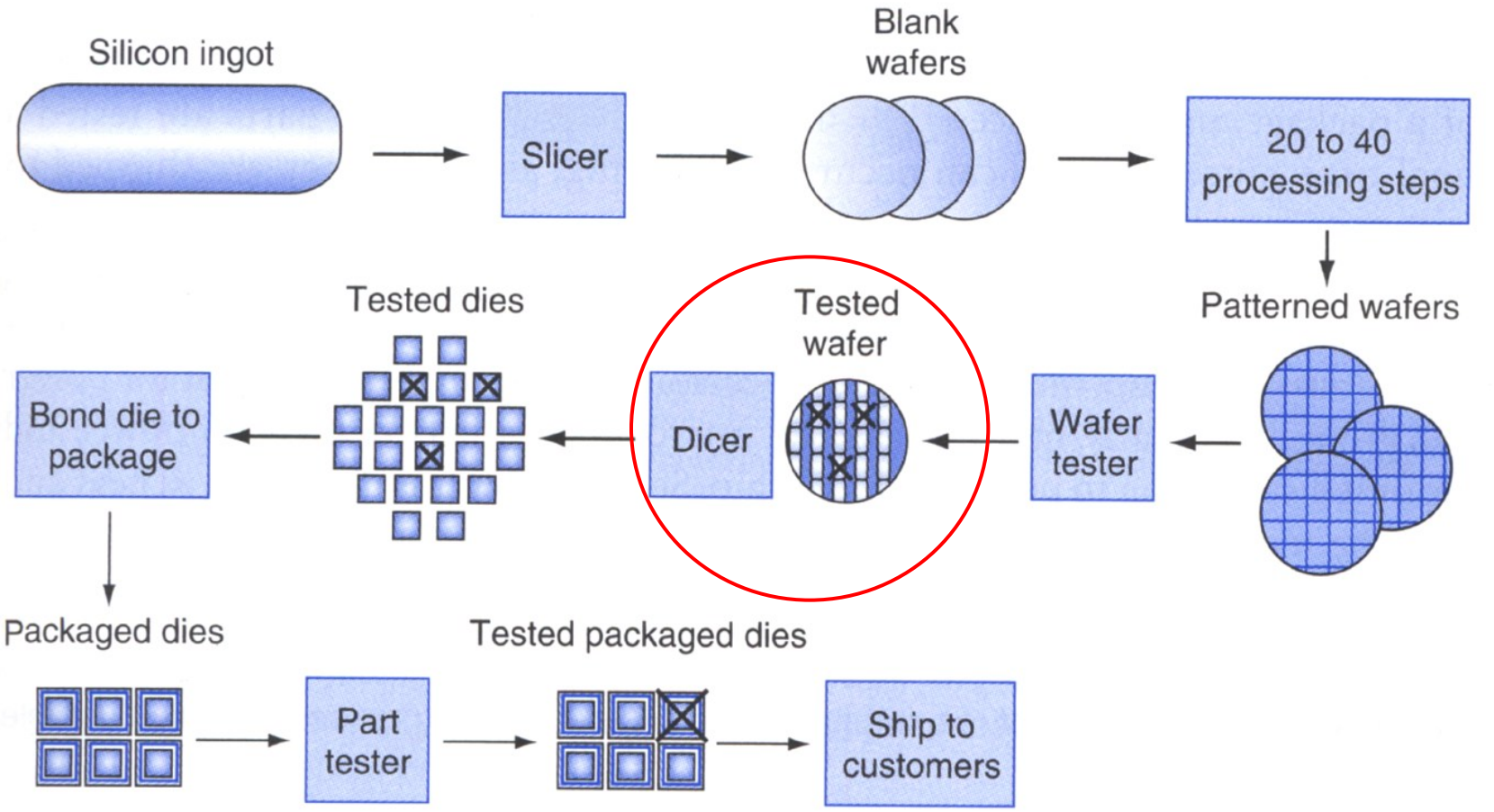
© 2026, R.Rozman- FRI

Intel 80x86



© 2026, R.Rozman- FRI

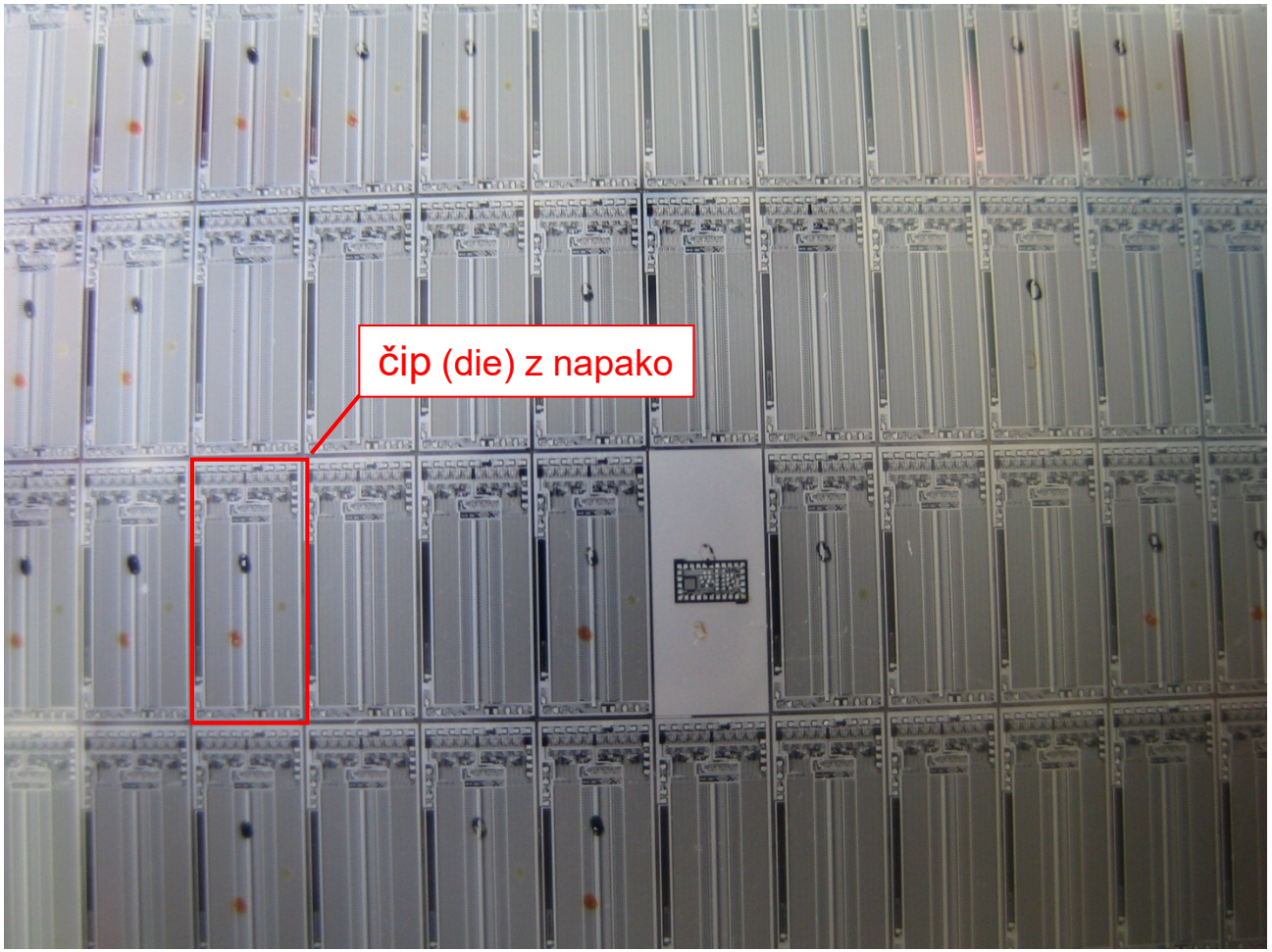
1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennesy:
Computer Organization and Design, Fourth Edition

© 2026, R.Rozman- FRI

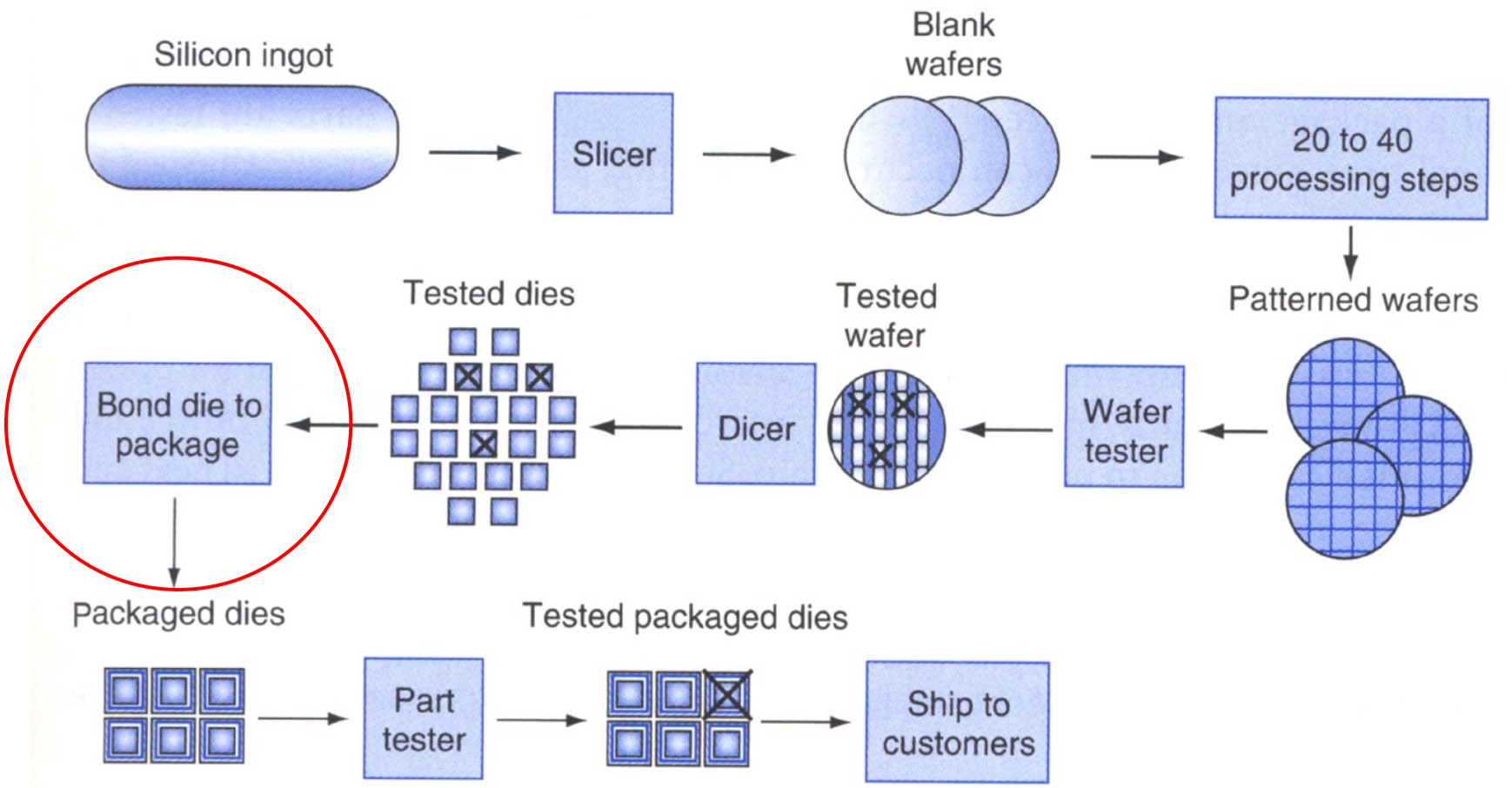
1.3.3.2 Postopek izdelave VLSI digitalnih vezij



Rezina z označenimi slabimi čipi

© 2026, R.Rozman- FRI

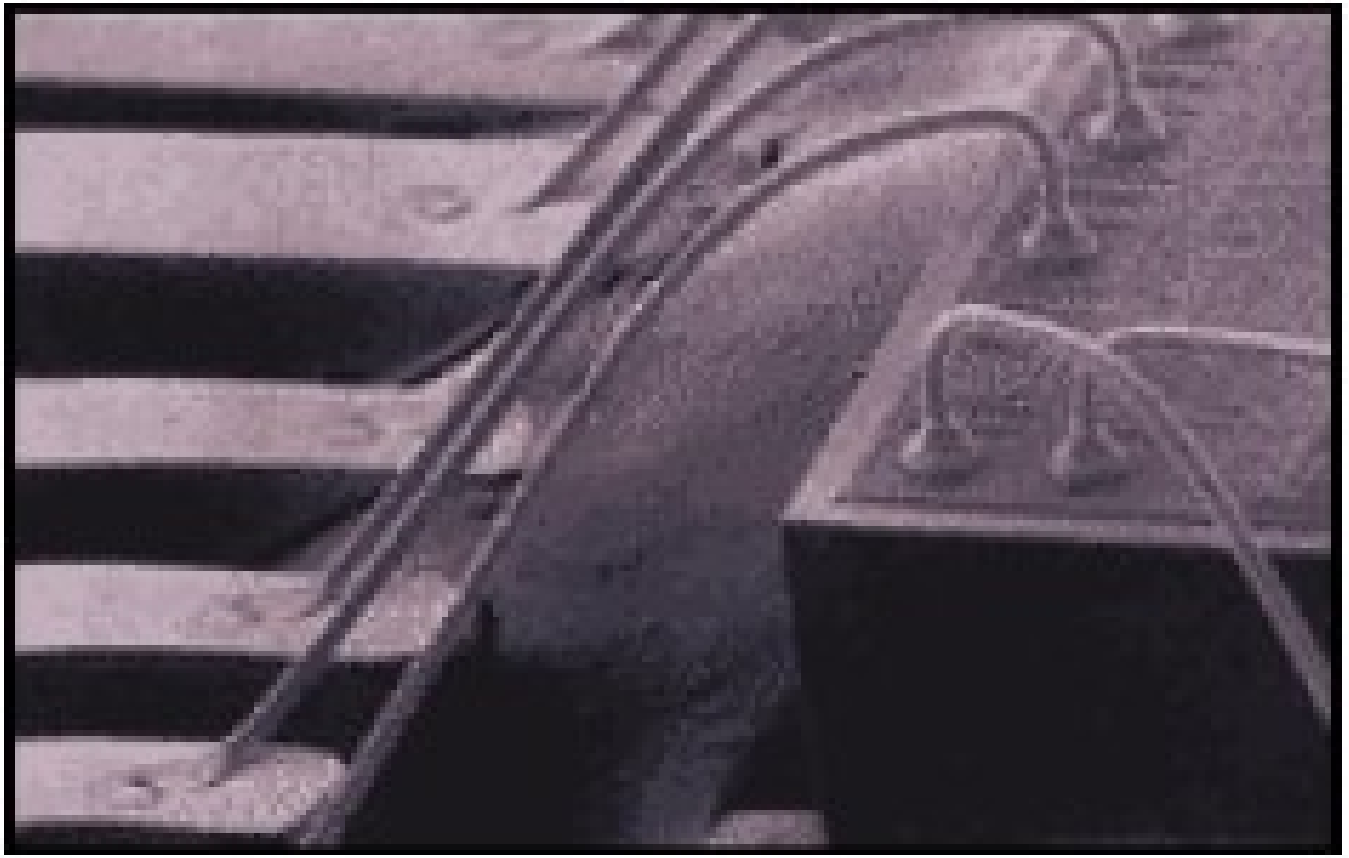
1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennesy:
Computer Organization and Design, Fourth Edition

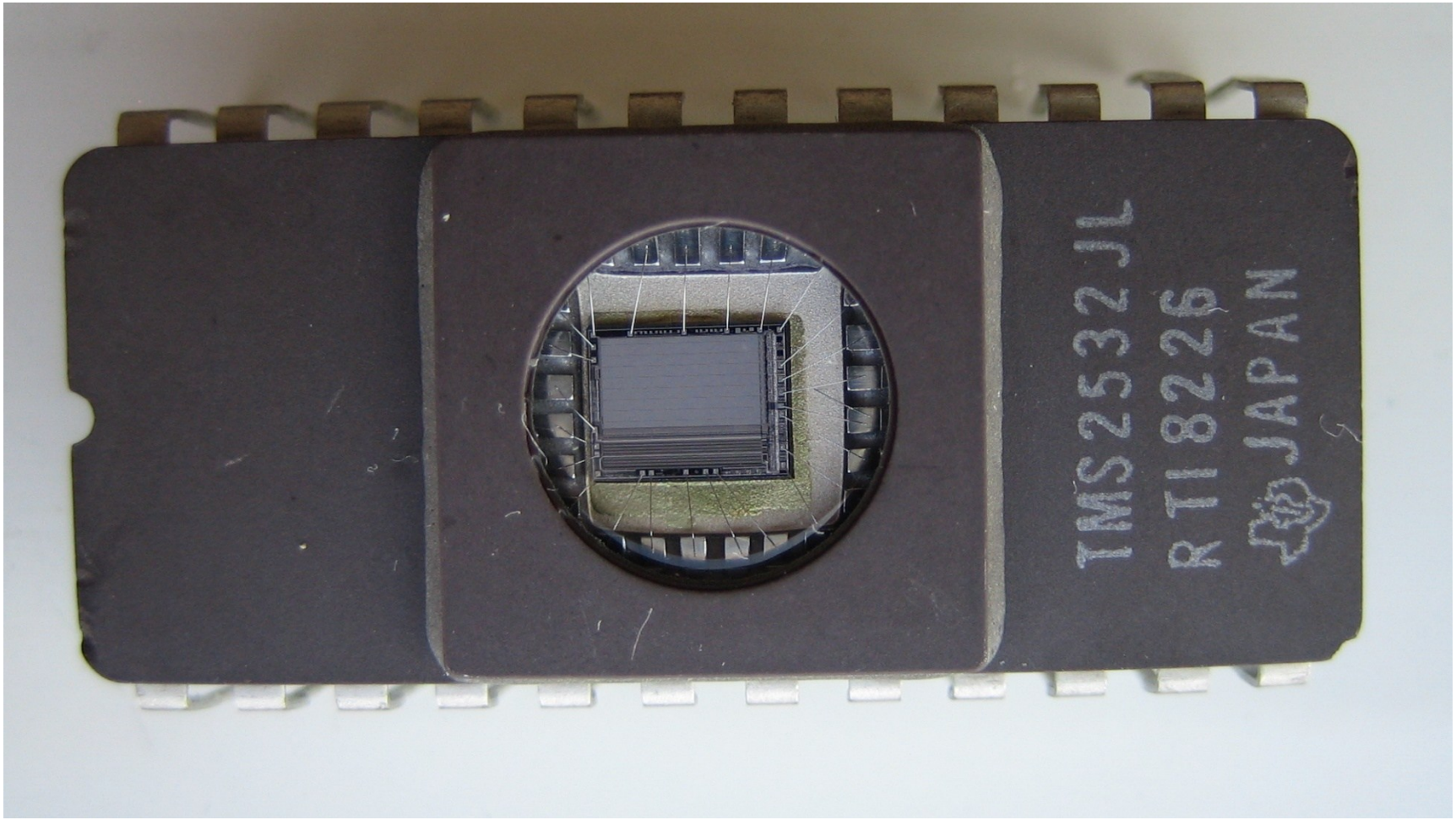
© 2026, R.Rozman- FRI

- Bondiranje (Bonding)

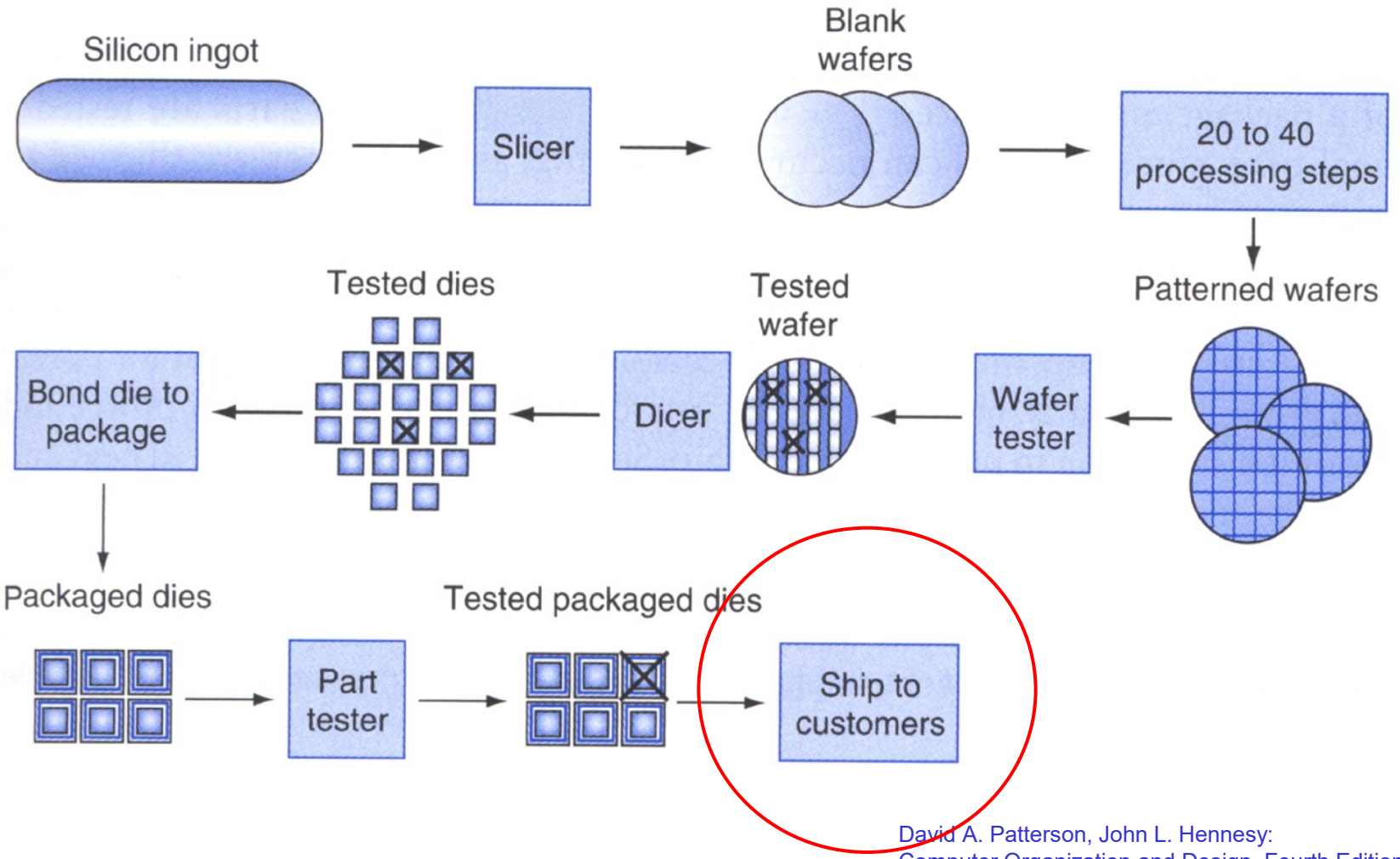


© 2026, R.Rozman- FRI

- Bondiranje (Bonding) - Primer



1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennesy:
Computer Organization and Design, Fourth Edition

© 2026, R.Rozman- FRI