



ORGANIZACIJA RAČUNALNIKOV

Povzetki predavanj

1. Uvod v organizacijo računalnikov in digitalna vezja

Robert Rozman

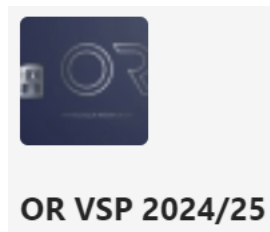
rozman@fri.uni-lj.si

- Spletne strani: <http://ucilnica.fri.uni-lj.si>

- Komunikacija, vsebine (predavanja, vaje):

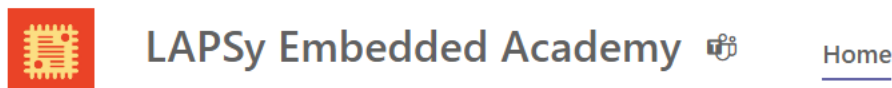
- MS Teams

- Koda za vstop: vx9k5no



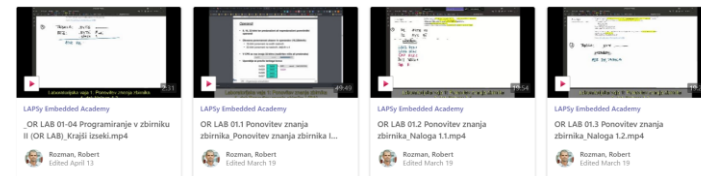
- Statične vsebine, video posnetki (predavanja, vaje):

- <https://unilj.sharepoint.com/sites/LAPSYEmbeddedAcademy/>



Programiranje v zbirniku ARM II (OR LAB I)
Programiranje v zbirniku ARM III - STM32H7 (OR LAB II)
MiMo model CPE – Predavanja
MiMo model CPE - Laboratorijska vaja

+ New ▾ Discard changes ⚙ Page details 📊 Analytics



- Moj e-naslov: rozman@fri.uni-lj.si


- Govorilne ure: po razporedu v R2.40 ali R2.50

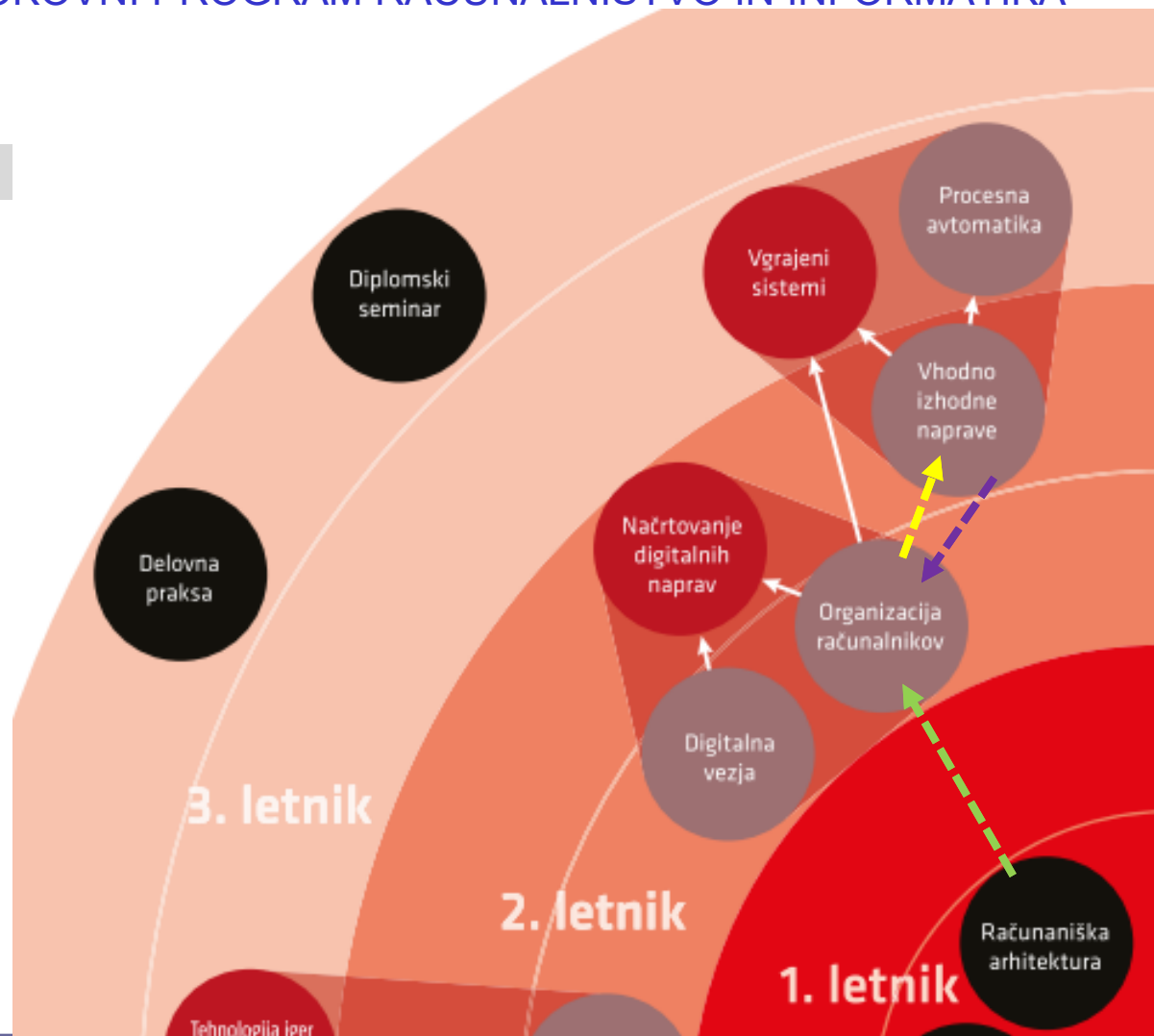
Občasne spremembe bodo pravočasno objavljene na učilnici

Najava: email (lahko se dogovorimo kadarkoli)

- **Vedno dobrodošli !!!**

VISOKOŠOLSKI STROKOVNI PROGRAM RAČUNALNIŠTVO IN INFORMATIKA

Priporočilo 



■ Robert Rozman

rozman@fri.uni-lj.si

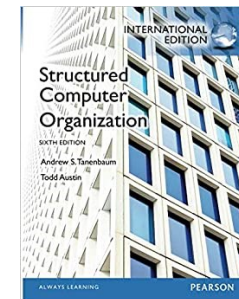
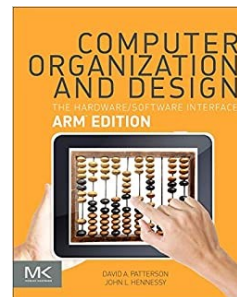
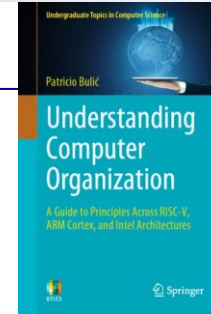
■ Pregled obravnavanih tem na predavanjih :

1. Uvod v organizacijo računalnikov in digitalna vezja
 2. Osnove integriranih dig. vezij (TTL, CMOS, VLSI)
 3. Mikroarhitekturni nivo računalnika (*CPE*, ***MiMo-DN1***, ***ARM-DN2***)
 4. Paralelizem na nivoju ukazov (*cevovod*, *superskalarni procesorji*)
 5. Paralelizem na nivoju procesorjev (*multiprocesorji*, *multiračunalniki*)
-
6. Prenosne poti in vrste prenosov (*PCI*, *PCI Express*, *USB*, *QPI*) -> predmet VIN

Vmes: primeri organizacije računalnika – ARM (STM32-F4, F7, FRI-SMS), Intel, AMD

Literatura (dosegljiva v FRI/FKKT knjižnici):

- P. Bulić: **Understanding Computer Organization**
- D.M.Kodek: **Arhitektura in organizacija računalniških sistemov**
 - (oznaka [Kodek] v nadaljevanju)
- Tanenbaum: **Structured Computer Organization, 6th Edition**
 - (oznaka [Tan] v nadaljevanju)
- Patterson, Hennessy: **Computer Organization and Design, 5th+ Edition**
 - (oznaka [Patt] v nadaljevanju)



Najboljši vir - so predavanja in vaje !

Ocena

- 50% sprotno delo (DN1, DN2, neobvezni del)
- 50% ustni izpit

Mnenja slušateljev (2022/23) - izbor:

Izvedba predmeta in izvajalec:

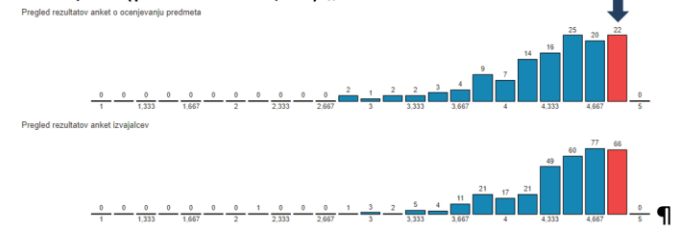
- Dobro:
 - Zanimiva snov na predavanju in vajah najbolj mi je bil **všeč pogovor o novejši procesorjih in kaj se dogaja v tem prostoru desktop procesorjev**
 - Izjemna predavanja, **snov je predstavljena zanimivo in povsem jasno**. Praktični del je prav tako komplementaren predavanjem v snovi.
 - Neverjetno dober pedagog, ki **se trudi in s študenti ohranja pristen odnos**. Vedno je korekten in pripravljen pomagati ter se prilagoditi.

- Izboljšat:
 - Domače naloge bi bile lahko **objavljene malo prej**
 - Mogoče uporaba kakšnih **animacij ki prikazujejo delovanje naprav - npr. cevovoda**.
 - Vsebina je zelo obširna, ampak razložena na razumljiv način in brez pretiranega žargona. Vaje so zelo zabavne.
 - Vaje so izvedene konkretno. Tako v živo kot z dodano literaturo in posnetki. **Definitivno pridejo za razumevanje vaj prav posnetki**, saj včasih ob prvem in drugem trenutku zadeve mogoče ne razumemo, ko pa jo kasneje ponovno prejmemo preko posnetka pa "klikne".

Izbran predmet OR (63717)

Povpr. ocena/max. [št.odg./vsi]	2022/23	2021/22	2020/21
Predmet	4.81/5 [54/61]	4.87/5 [61/64]	4.90/5 [37/41]
Izvajalec	4.96/5 [54/61]	4.90/5 [61/64]	4.96/5 [37/41]

2022/23 (percentil 89,94)



Izhodišča (2023/24) :

- Uvajanje STM32H7
- več platform (STM32F4, FRI-SMS), razvojnih okolij (VSC)
- več skupnega dela na laboratorijskih vajah
- več dvosmerne interakcije

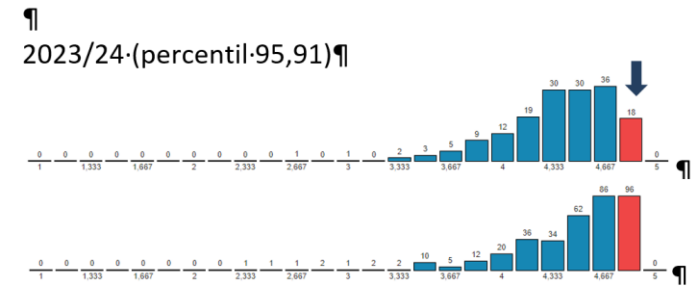
Mnenja slušateljev (2023/24) - izbor:

Izvedba predmeta in izvajalec:

- Dobro:
 - **dobro spisane prosojnice in vnaprej posneti posnetki**, za vaje in predavanja
 - Zelo prijazen profesor ki se resnično trudi da bi vsi razumeli kaj se učimo in vse spodbuja k spraševanju če česa ne razumemo. vedno **rad odgovarja na vprašanja tudi če so nekoliko neumna ali začetniška**. res dobro je da konstanto podpira učence da smo vsi sposobni razumeti te zadeve in res se trudi da nam bi bil predmet zanimiv. prav tako se je pripravljen prilagajati in spreminjati če komu kaj ne ustreza. vseč mi je roki niso fiksi in so lahko projektne naloge bolj kvalitetno narejene. Prav tako **mi je všeč da objavlja posnetke vaj in pa tudi svoje zapiske s predavanj**.
- Izboljšat:
 - Včasih **grdo piše** in si zato so njegovi zapiski kdaj nekoliko nerazumljivi. Prav tako menim, da bi bili lahko **pptji malo bolj razločno narejeni**, v smislu da je na enem slajdu veliko stvari napisanih in zato ne veš kje bi začel brati in kaj je sploh pomembno.

Izbran predmet—OR·(63717)·¶

Povpr.ocena/max· [št.odg./vsij]¶	2023/24¶	2022/23¶	2021/22¶
Predmet¶	4.93/5·[47/53]¶	4.81/5·[54/61]¶	4.87/5·[61/64]¶
Izvajalec¶	4.95/5·[47/53]¶	4.96/5·[54/61]¶	4.90/5·[61/64]¶



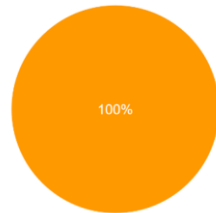
Izhodišča (2024/25) :

- **Utrjevanje STM32H7**
- **več platform (STM32F4, FRI-SMS), razvojnih okolij (VSC)**
- **več skupnega dela na laboratorijskih vajah**
- **več dvosmerne interakcije**

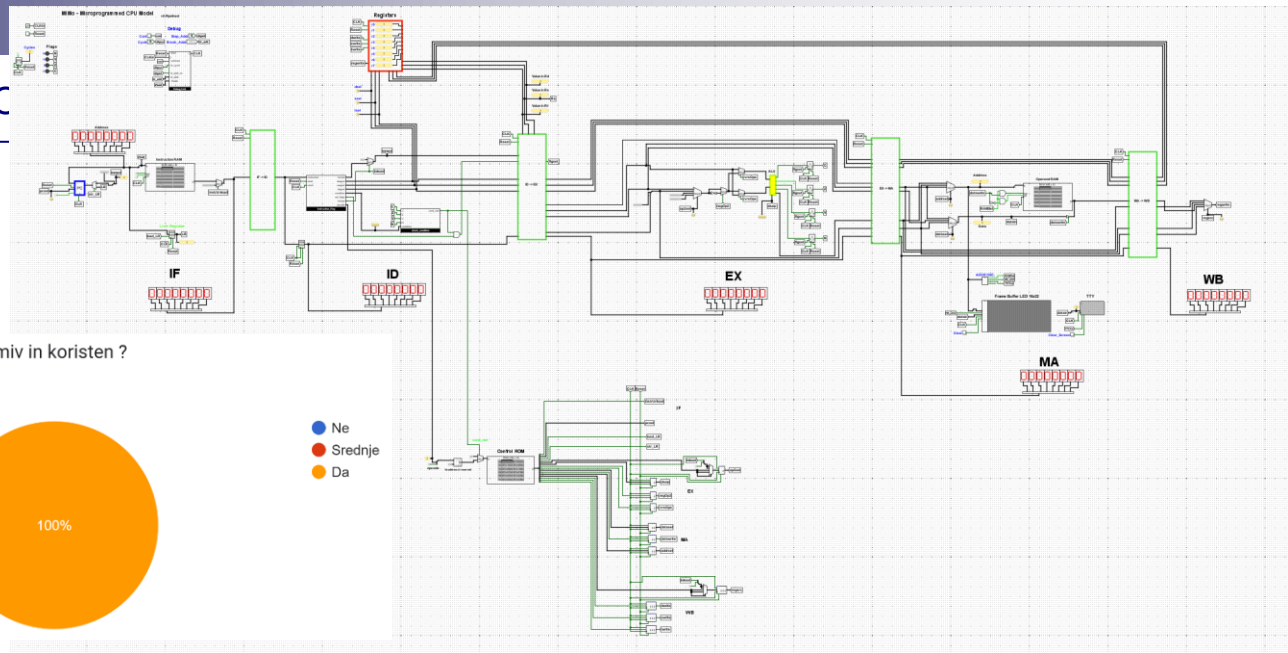
Posebnosti 2024:

■ Novosti:

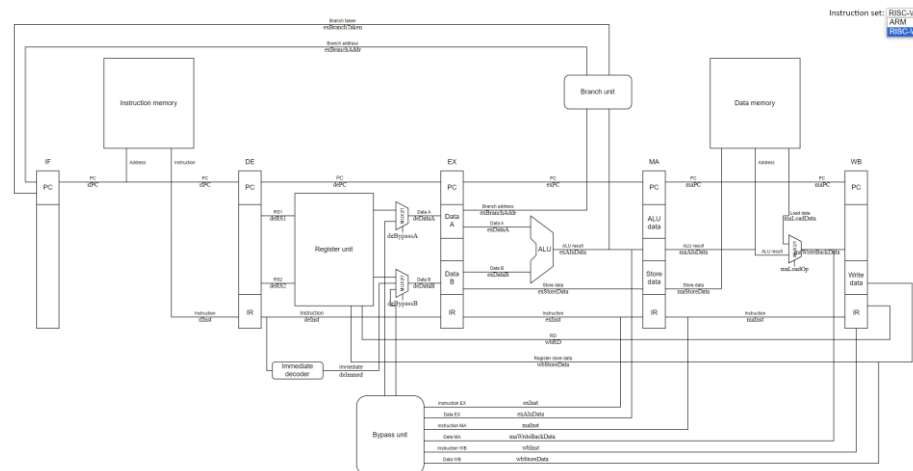
Je MiMo model bil zanimiv in koristen ?
6 responses

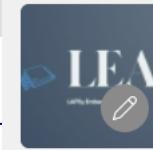


- Ne
- Srednje
- Da



- MiMo v2 - cevovodna izvedba
- Spletni simulator cevovoda (ARM/RISC-V)





Posebnosti 2024:

■ Novosti:

□ MS Teams: LEA - Lapsy Embedded Academy

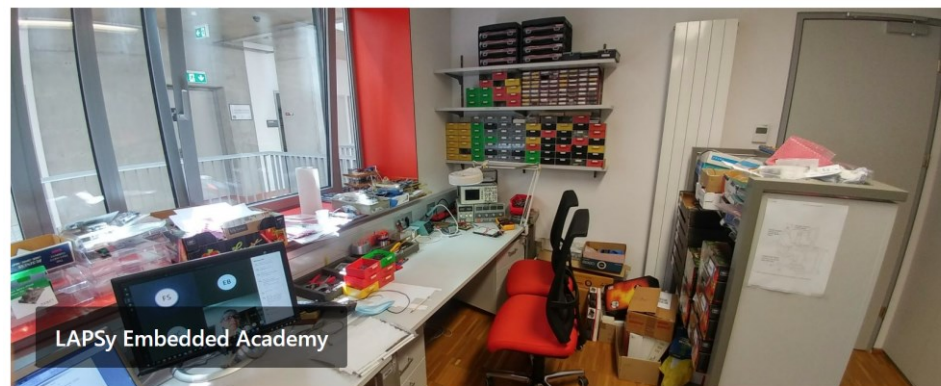
- Statične vsebine predmetov RA, OR in VIN (ter ostalimi)

ty5qjm9

□ UL portal: Lapsy Embedded Academy

- Interni portal navdušencev nad vgrajenimi sistemi in nizkonivojskim programiranjem

- <https://unilj.sharepoint.com/sites/LAPSYEmbeddedAcademy/>



LAPSy Embedded Academy

Platforma za študente in navdušence vgrajenih sistemov ter nizkonivojskega programiranja.



> Splošno

▼ Predavanja

OR - 1 Uvod v organizacijo ...

Primeri elektronskih vezij...

Primer: Tranzistor kot stik...

Primer: Tranzistor kot oja...

OR - 2 Osnove digitalnih in...

Osnovna el. vezja - zaklju...

Podatkovna listina SN74L...

OR - 3 Mikroarhitektura CP...

MiMo distribucija

MiMo viri

MiMo - Dokumenti, viri

MiMo-Mikroprogramska...

MiMo_Izvajanje_strojneg...

Basic_program1_Schema_i...

Logisim Evolution

logisim-win-2.7.1 (Classic)

MiMo realizacija z FPGA ...

Organizacija računalnikov

Predmet Nastavitve Sodelujoči Ocene Poročila Več ▾

▼ Splošno

Dobrodošli na straneh predmeta Organizacija računalnikov

Anketa o predmetu Organizacija računalnikov (2023/24)

Skrito za udeležence

Osnovne informacije

[Vsebina, ocenjevanje](#)

MS Teams: OR VSP 2023/24 - izvedba predmeta (koda: v7vt5t6), LAPSy Embedded Academy - stalni FRI HW portal (koda: ty5qjm9)

[Discord Hardware FRI - skupnost za HW predmete](#)

Obvestila in viri

[Forum novic](#)

[Forum za razprave](#)

[Wiki_OR](#)

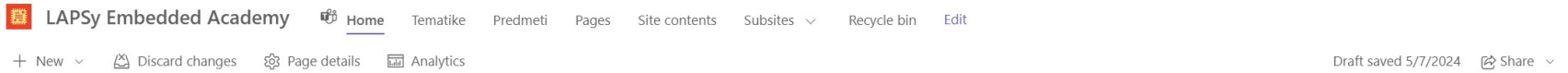
[Prijava na skupine LAB vaj OR v 2022/23](#)

Skrito za udeležence

MS Teams: Komunikacija, DN, OneNote zvezek

The screenshot displays the MS Teams OneNote application interface. On the left, the navigation pane shows the 'OR VSP 2023/24' team and a list of channels, with 'Predavanja' (Presentations) selected. The main content area is titled 'Zvezek za predavanja' (Presentation Notebook) and contains a table of contents for 'OR VSP 202223 zvezek'. The selected section is '1.3 Računalnik na nivoju digitalne logike' (Computer at the level of digital logic), dated 'ponedeljek, 05. oktober 2020 22:19'. The page features handwritten notes in red and blue ink. The notes include the word 'RAČ' (Computer) with arrows pointing to 'DIGIT. VEZJA' (Digital Circuit) and 'IZ LOG. VRAT' (From Logic Gates). Below this, there is a red drawing of a cylinder and a circuit diagram with components labeled B, C, E, and a note 'ELEKTR. KOM.' (Electrical Component). The interface also shows a top toolbar with various editing tools and a search bar at the top.

UL portal: Lapsy Embedded Academy: video posnetki vaj, projektov, diplom, tečajji, tutoriali...



Posnetki po tematikah

unilj.sharepoint.com

Programiranje v zbirniku in programskem jeziku C za mikrokontroler ARM v simulatorju in razvojnih ploščah.



Posnetki po predmetih

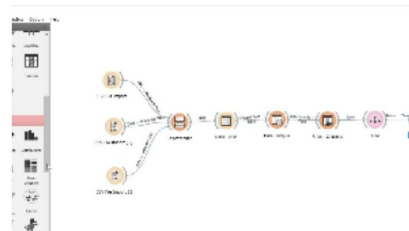
unilj.sharepoint.com

Posnetki laboratorijskih vaj in izbrane tematike iz predavanj pri predmetih Računalniška arhitektura (RA), Organizacija računalnikov (OR) in Vhodno izhodne naprave (VIN).



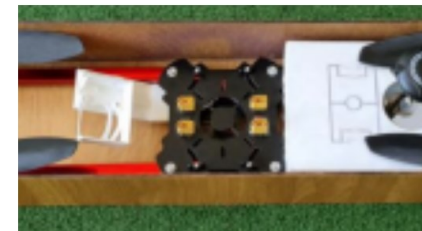
Študentski projekti pri predmetih RA, OR in VIN

unilj.sharepoint.com



Tečajji, tutoriali ...

unilj.sharepoint.com



Diplomska dela

unilj.sharepoint.com



Laboratorijske vaje :

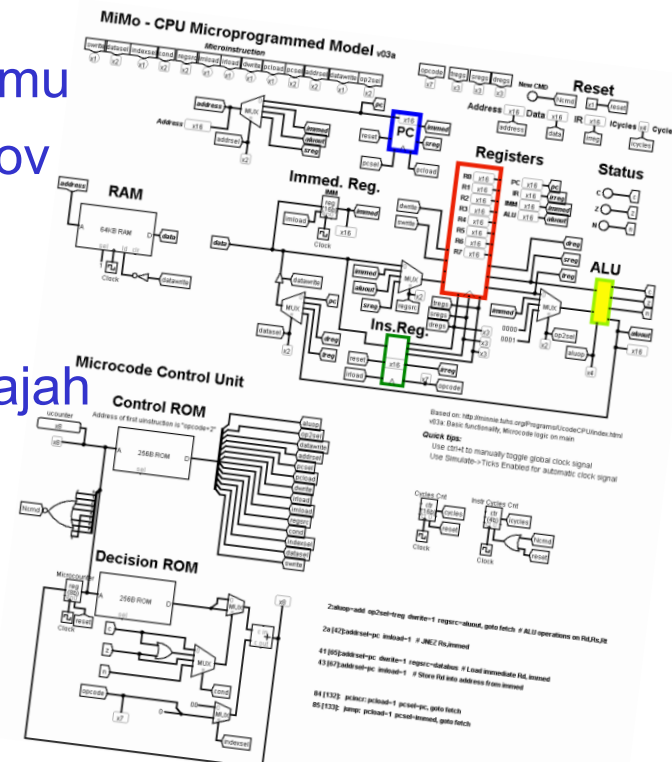
- nadaljevanje **programiranja na ARM-u**
 - s poudarkom na spoznavanju organizacije vgrajenih računalnikov FRI-SMS, STM32F4,H7 (ARM arhitektura)
 - osnove jezika C (neobvezna vsebina)
- **MiMo** - Mikroprogramski model CPE v Logisimu
- naloge, diskusija, skupno reševanje problemov

DN2 – ARM projekt

Vzpodbujamo:

- **sprotno delo** - sodelovanje na predavanjih, vajah
- **lastno kreativnost in samoiniciativnost**
- **radovednost, aktivnost in razmišljanje**

Vedno dobrodošli !!!!

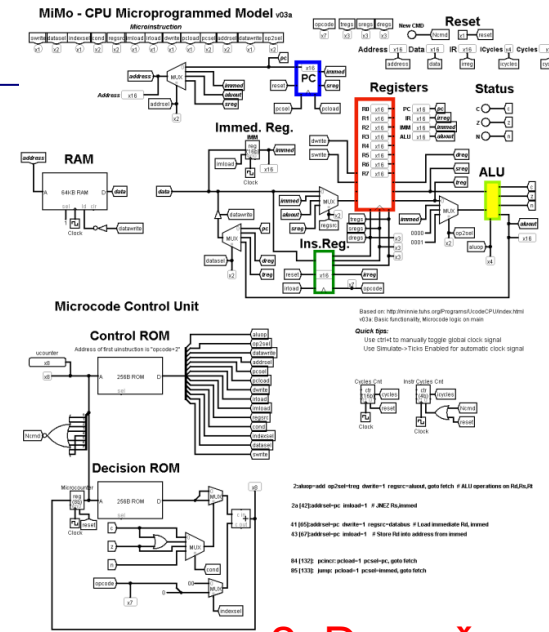


1. Domača naloga (primer)

Laboratorijske vaje – domači nalogi:

- **DN1: MiMo** - Mikroprogramski model CPE v Logisimu

- **DN2: Preprosta aplikacija** na vgrajenem sistemu

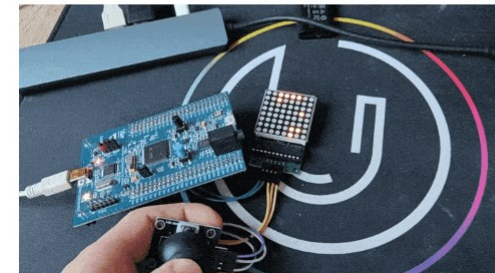


2. Domača naloga (primer)

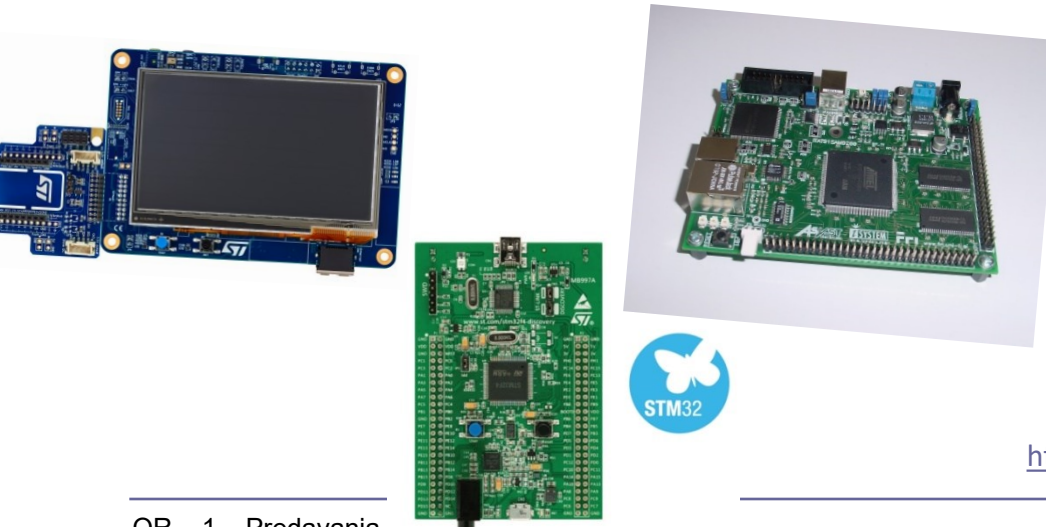
Snake game on 8x8 LED matrix using the STM32F4 discovery board.

Feb 23, 2022 • Filip Jeretina

In this post we will be implementing a snake game on bare metal. This means we will only use assembly and registers, without any fancy tools such as the CUBEMX :)



<https://zrezke.github.io/jekyll/update/2022/02/23/8by8-snake.html>



Motiv: Zakaj OR, HW ?



Make your home healthier,
your office more productive

Uncover the simple solutions. With just a small, stylish, cordless
and connected Cube in each room.

Get Your Cubes Now!

Winter 2013 batch available!

Potato Salad
by Zack Danger Brown

Comments 1,127

This project was successfully funded on August 2

Columbus, OH

6,911 backers

\$55,492
pledged of \$10 goal

0 seconds to go



Chipolo - Bluetooth Item Finder for iPhone and Android

by The Chipolo Team

Home Updates 17 Backers 5,329 Comments 1,611

Funded! This project was successfully funded on November 15, 2013

Trbovlje, Slovenia Technology



5,329 backers

\$293,014
pledged of \$15,000 goal

0 seconds to go

Project by
The Chipolo Team
Trbovlje, Slovenia

First created: 0 backed

Has not connected Facebook

MEMBER | SPS SK200 AUTUMN BATCH 2014

tekmovanja Start:up leta 2016



**OPEN INSTRUMENTS
FOR EVERYONE**



826

backers

\$256,125

pledged of \$50,000 goal

0

seconds to go

Funding period
Jul 22, 2013 - Sep 20, 2013 (60 days)



Project by
Red Pitaya
Newport News, VA

74844 GUESTS SERVED

STATE-OF-THE-ART TOOL FOR
WHICH MAKES THEIR JOB EASIER,
THE TIME PRESENTS A VALUE
RESTAURANT; CONSEQUENTLY,
CONSIDER IT AN EXPENSE BUT AN
INVESTMENT IN BETTER BUSINESS.

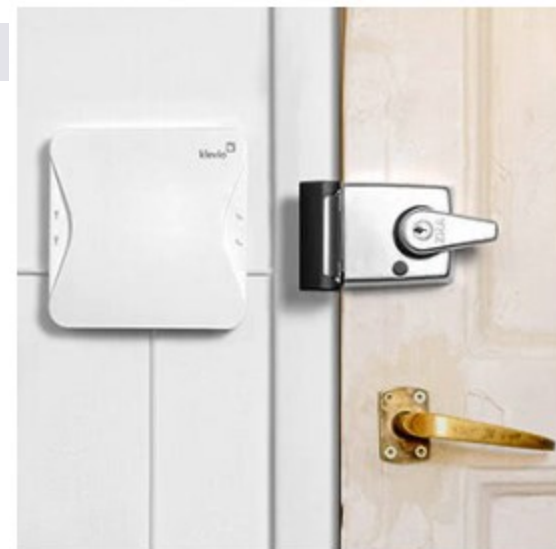
is, Thai Inn Pub, Ljubljana



Motiv: Zakaj OR, HW II?



COSYLAB



HOW KLEVIO FITS YOUR LOCKS

Chipolo - Bluetooth Item Finder for iPhone and Android
by The Chipolo Team

Home Updates 17 Backers 5,329 Comments 1,811

Funded! This project was successfully funded on November 15, 2013

Trbovlje, Slovenia Technology

Chipolo
Nothing is lost.

5,329 backers
\$293,014 pledged of \$15,000 goal
0 seconds to go

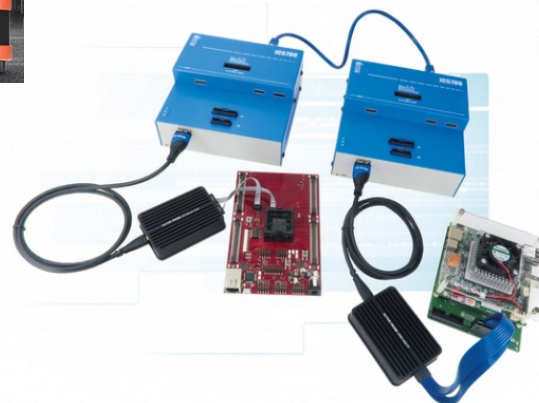
Project by The Chipolo Team
Trbovlje, Slovenia

First created - 0 backed
Has not connected Facebook

GO:GLOBAL MEMBER | SPS SK200 AUTUMN BATCH 2014

Chipolo
Finalisti tekmovanja Startup leta 2016

DEWESoft®
YEAR WARRANTY



Red Pitaya - Swiss army knife for engineers

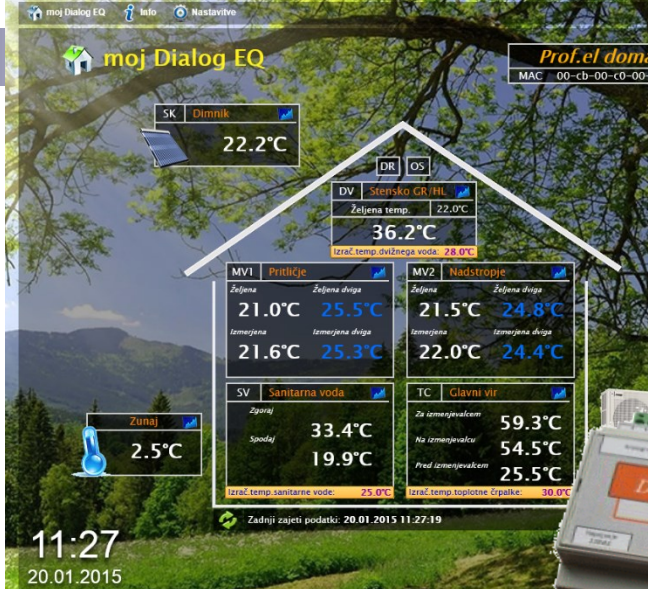
More than 45,000 satisfied users all around the world.



Motiv: Primeri vgrajenih sistemov



FRI-SMS



D13 EQ

HVAC Regulator

Cubesensor

Kakovost okolja



Tempmate S1
Temp. logger



Tevel
Merilnik konc. plinov

Motiv: Prikaz primerov vgrajenih sistemov - novosti



ARM® University Program Lab-in-a-Box
Digital Signal Processing with STMicroelectronics STM32F4 Discovery Board and Wolfson® Audio Card

This Lab-in-a-Box contains:

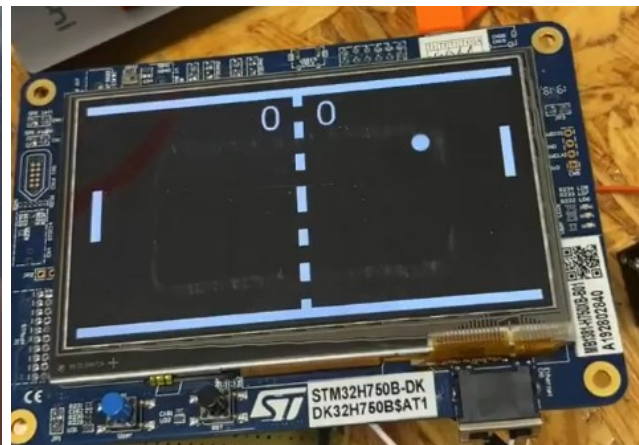
- License(s) for ARM® Keil® MDK Pro development tool
- ARM® Cortex®-M4 based ST Discovery F4 board(s)
- Wolfson Microelectronics audio card(s)
- A full suite of academic teaching, lab and lecture materials

ARM KEIL® Microcontroller Tools
ST life.augmented
wolfson microelectronics
Farnell
element14

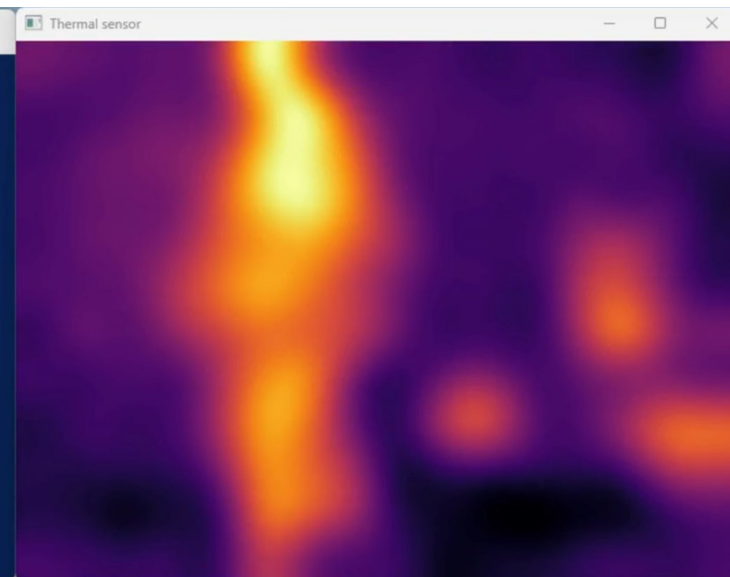
ARM University
Worldwide Education Program

A person holding a white tablet. A white box is superimposed on the tablet, containing a green board and a card. The card has logos for ARM KEIL, ST, wolfson microelectronics, Farnell, and element14.

Motiv: Prikaz projektov na STM32H750 plošči



```
Windows PowerShell
PS C:\Users\Jakob\git\LIR2> python3 .\classifier.py models/convolutional_model.pt -s COM4 -d
Person present: True
```



Primer: Programiranje vgrajenih sistemov

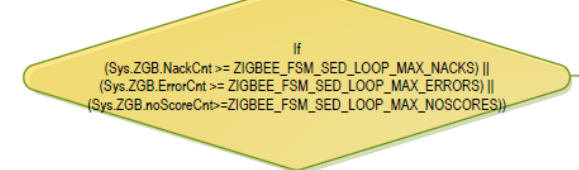
Cubesensors („pametne kocke“):
 Diagram poteka (končni avtomat):
 ■ Primer glavnega stanja

```

    CUBE SED LOOP:
    //<- Reads sensors, sends to Mothercube, expect response message; check errors,NACKS, network
    readSensors(&data); // Read sensors data

    zigbee_send_data(&data); //Send data to base station
    Sys.ZGB.DataMsgCnt++;

    if(!scoreUpdate){
        Sys.ZGB.noScoreCnt++;
    }else{
        Sys.ZGB.noScoreCnt=0;
    }
    
```

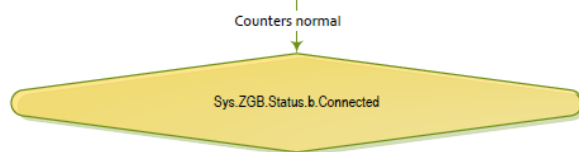


```

    Sys.ZGB.Status.b.Connected = 0;
    Sys.ZGB.noScoreCnt=0;
    SetToSleep( CUBE_REJOIN_SEC, 1)
    // Rejoin Secure procedure !
    
```

```

    CUBE REJOIN UNSEC:
    //<- ReJoin unsecured: reset counters
    Sys.ZGB.Error = 0;
    Sys.ZGB.ErrorCnt = 0;
    Sys.ZGB.JoinCnt = 0;
    Goto CUBE_REJOIN_UNSEC_LOOP;
    
```



```

    Connected

    if (Sys.ZGB.OpMode == END_DEVICE) {
        // If enough wakeups with FULL_POWER_MODE
        then Cube_FSM.State = CUBE_CHANGE_TO_ROUTER;
        SetToSleep( CUBE_SED_LOOP, 20000);
    } else if (Sys.ZGB.OpMode == ROUTER) {
        // If enough wakeups with LOW_POWER_MODE
        then Cube_FSM.State = CUBE_CHANGE_TO_SED;
    } else {
        SetToSleep( CUBE_SED_LOOP, 20000);
    };
    
```

```

    CUBE REJOIN SEC:
    //<- ReJoin secured: reset counters
    Sys.ZGB.Error = 0;
    Sys.ZGB.ErrorCnt = 0;
    Sys.ZGB.JoinCnt = 0;
    Goto CUBE_REJOIN_SEC_LOOP;
    
```

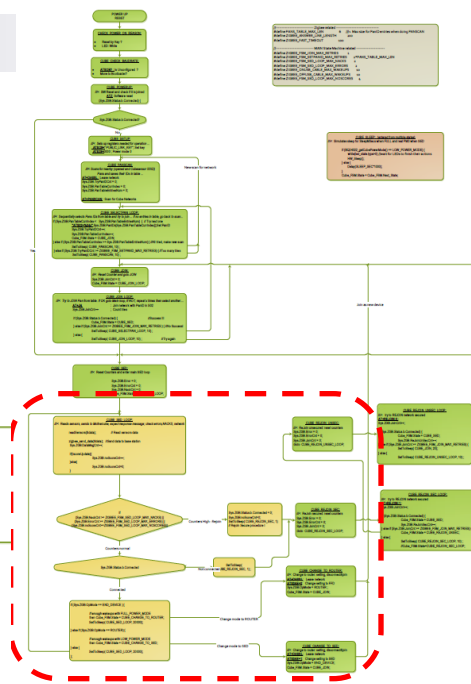
```

    CUBE CHANGE TO ROUTER:
    //<- Change to router: setting, disconnect&join
    AT+DASSL: Leave network
    AT+DAE=0: Change setting to FFD
    Sys.ZGB.OpMode = ROUTER;
    Cube_FSM.State = CUBE_JOIN;
    
```

Primer: Cube State Chart v2.pdf

```

    CUBE CHANGE TO SED:
    //<- Change to router: setting, disconnect&join
    AT+DASSL: Leave network
    AT+DAE=1: Change setting to SED
    Sys.ZGB.OpMode = END_DEVICE;
    
```



Motiv: Zakaj zbirnik ?

[Dejan Črnica, Dewesoft]:

„ker se je „vljudno“ naučiti domačega jezika, kulture ...“

Past Meetup

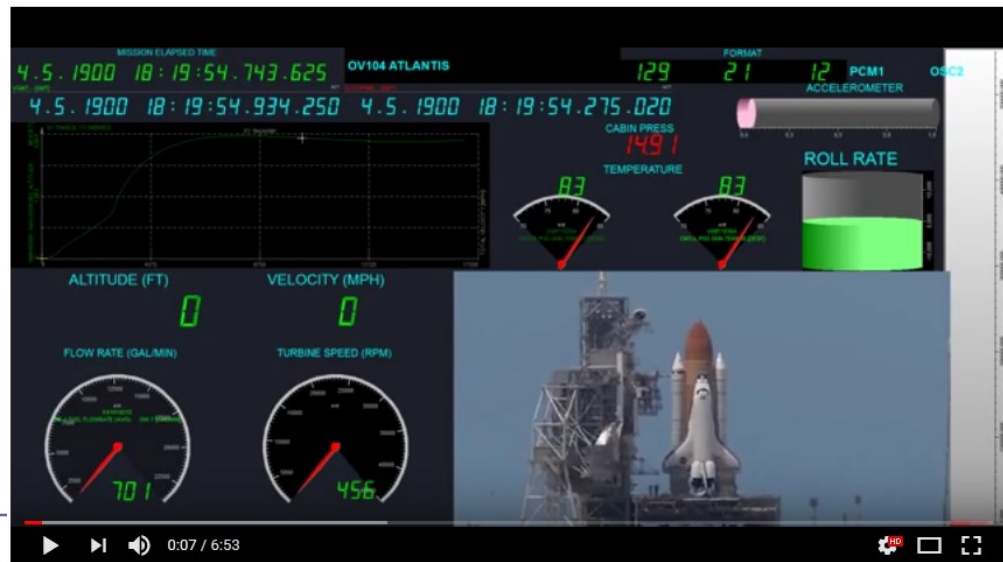
Code optimization on modern processors [Dejan Črnica, Dewesoft]

„pri nas v podjetju vsi razvijalci „govorijo“ v zbirniku ...“

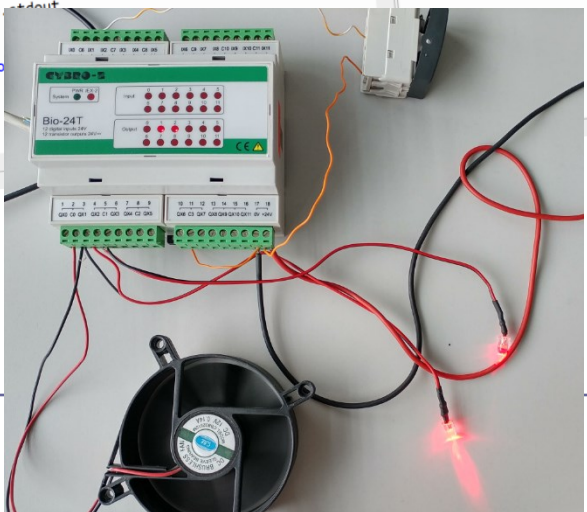
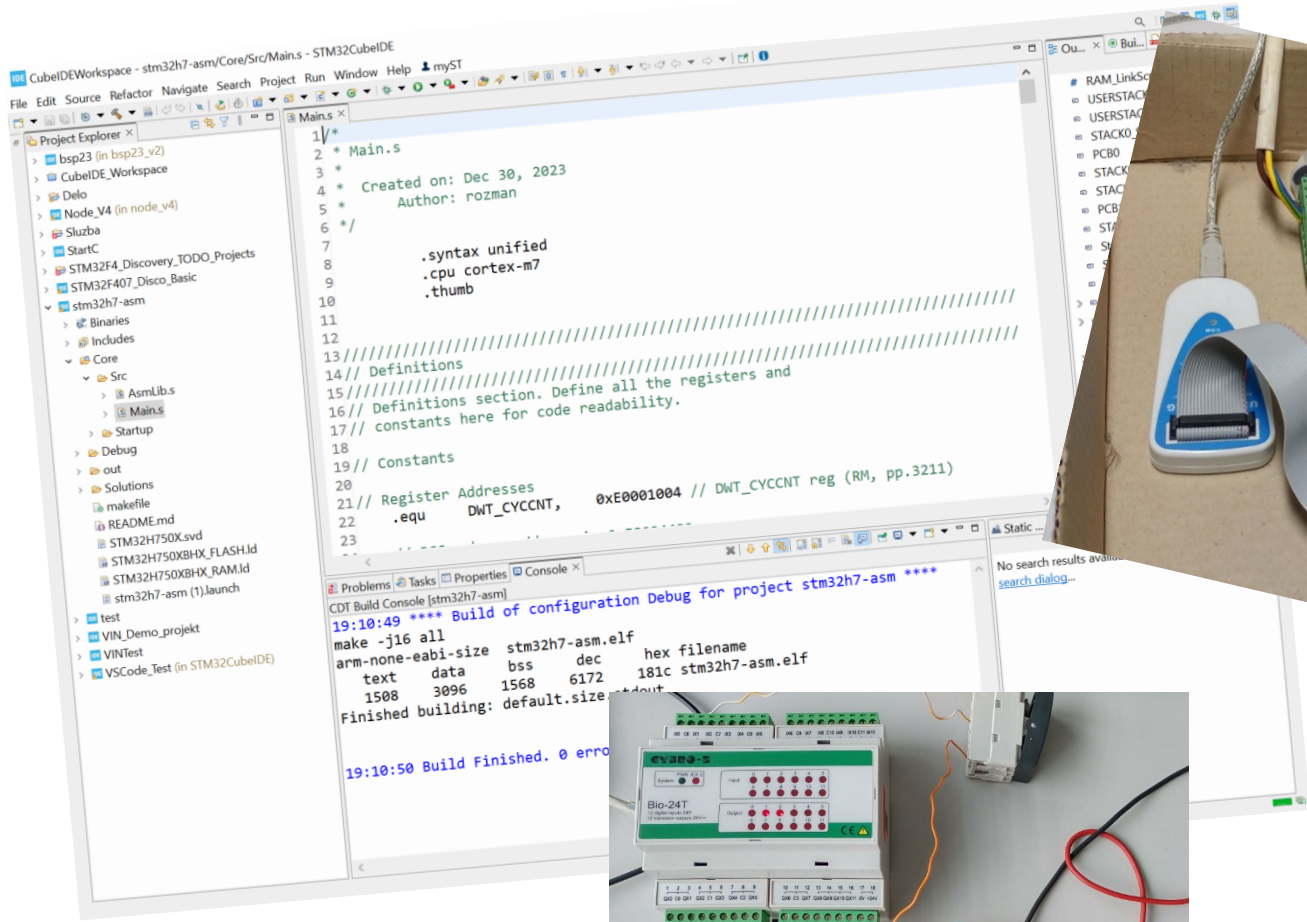
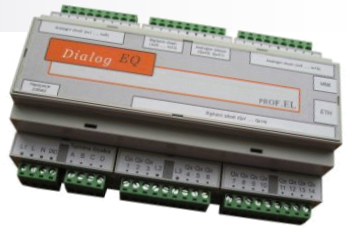
Code optimization is important but often overlooked part of a software project. In this talk we will dive deep and discuss when and why to optimize code, how to approach optimization and how to design data structures and algorithms for scalable performance.

„s poznavanjem sistemov in zbirnika lahko pohitrimo kodo tudi **64x** !!!...“

Dejan Črnica Dejan Črnica is **lead software engineer at Dewesoft** (<https://www.dewesoft.com/careers>) since 2001. He has designed and implemented core modules of Dewesoft application with **particular focus on application performance** to keep software in front of competition.



Motiv: Prikaz razvojnega „okolja“ za vgrajene sisteme



Način dela:

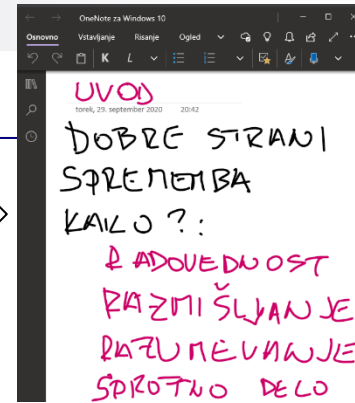
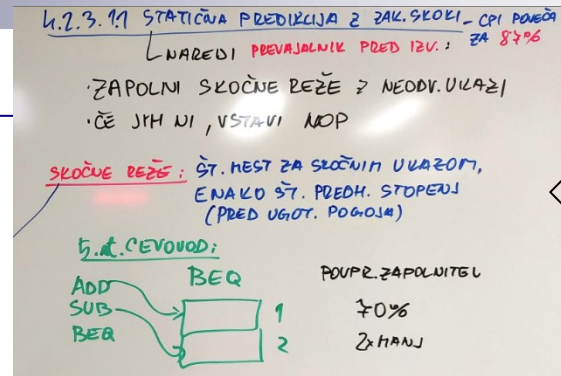
■ predavanja:

- delovna prezentacija,
- objavljena prezentacija

- obširnejša
- **ni samozadostno gradivo !**

■ LAB vaje:

- Logisim: **MiMo model CPE**, DN1
- **poglobitev znanja zbirnika (CPUlator)**,
- **delo z napravami** na STM32H7,F4,FRISMS (HW),
- **praktična naloga** z uporabo orodij, DN 2



4.2.3.1.1 Statična predikcija z zakasnenimi skoki („delayed branch“)

Skuša prevajalnik (med prevajanjem) napovedati izid skoka:

- napoved se ne spreminja več („statična“)

Skočne reže :

- ukazi, ki sledijo skoku so v t.i. skočnih režah
- št. skočnih rež je enako številu stopenj cevovoda pred aktivno (EX) stopnjo (2)

Vstavitev ukazov v skočne reže:

- ukazi ne smejo vplivati na izid skoka
- če ni primernih, vstavi NOP-e

Dvosmerna komunikacija (2024 še posebej !)

Pogovor

- Vaša pričakovanja ?
- Način dela (tabla, OneNote) ?
- Logisim-EVO ?
- ARM, Cortex M, zbirnik, vgrajeni sistemi, podatkovne listine, programiranje, razhroščevanje, preizkušanje...
- Aktivno sodelovanje

1. Uvod v organizacijo računalnikov in digitalna vezja

Poudarki poglavja :

- opredelitev pojmov rač. arhitekture in organizacije
- funkcionalni, nivojski pogled na zgradbo računalnika
- računalnik na nivoju digitalne logike :
 - digitalna vezja -> log. vrata -> tranzistor (osnovni gradnik)
 - VLSI – digitalna vezja visoke integracije
 - postopek njihove izdelave
 - problemi in težave

1. Uvod v organizacijo računalnikov in digitalna vezja

1.1 Splošni pojmi

Def: Arhitektura računalnika je

- obravnava za programerja vidnih lastnosti računalnika na način, ki je neodvisen od njegove logične in fizične realizacije [Kodek]
 - „... kot vidi programer na nivoju strojnega jezika ...“

Def: Organizacija (tudi mikroarhitektura) :

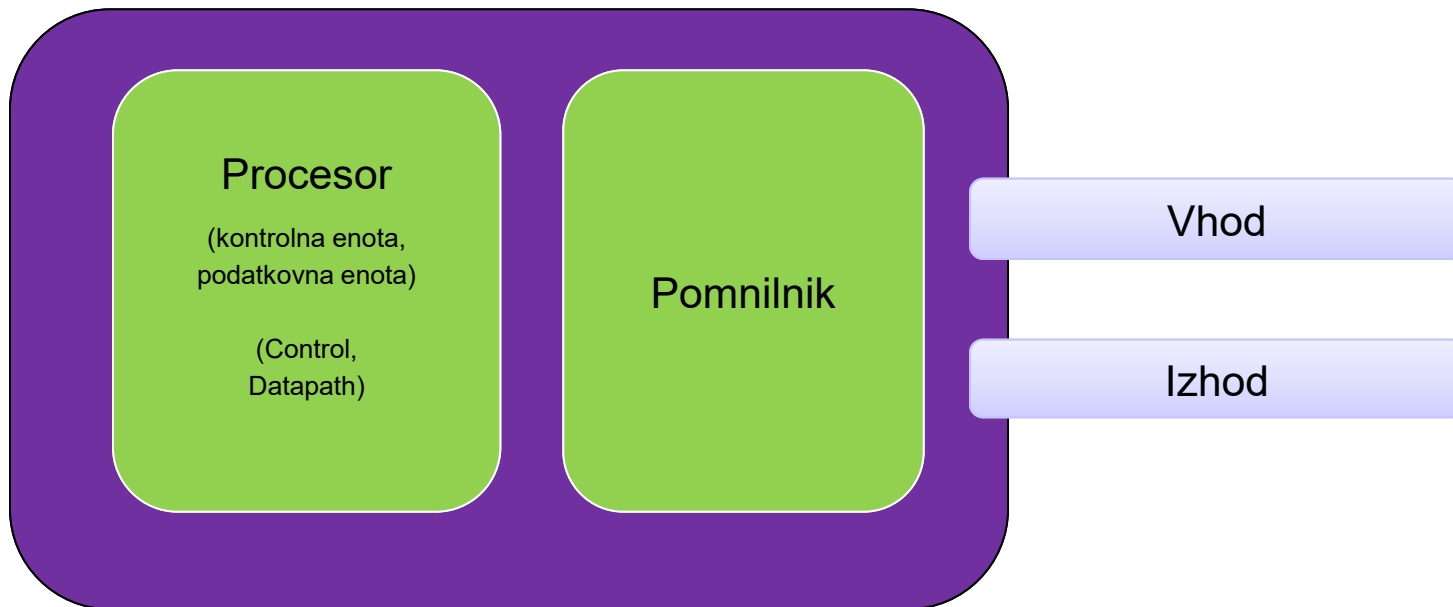
- obravnava logično zgradbo in lastnosti sestavnih delov računalnika in njihovih medsebojnih povezav [Kodek]
 - „ ... je arhitektura posameznih delov ...“
 - „ ... je bližje HW nivoju ...“

Neka arhitektura se lahko realizira z različnimi vrstami organizacije (ARM). Lahko je tudi obratno (mikroprogramiranje – IBM)

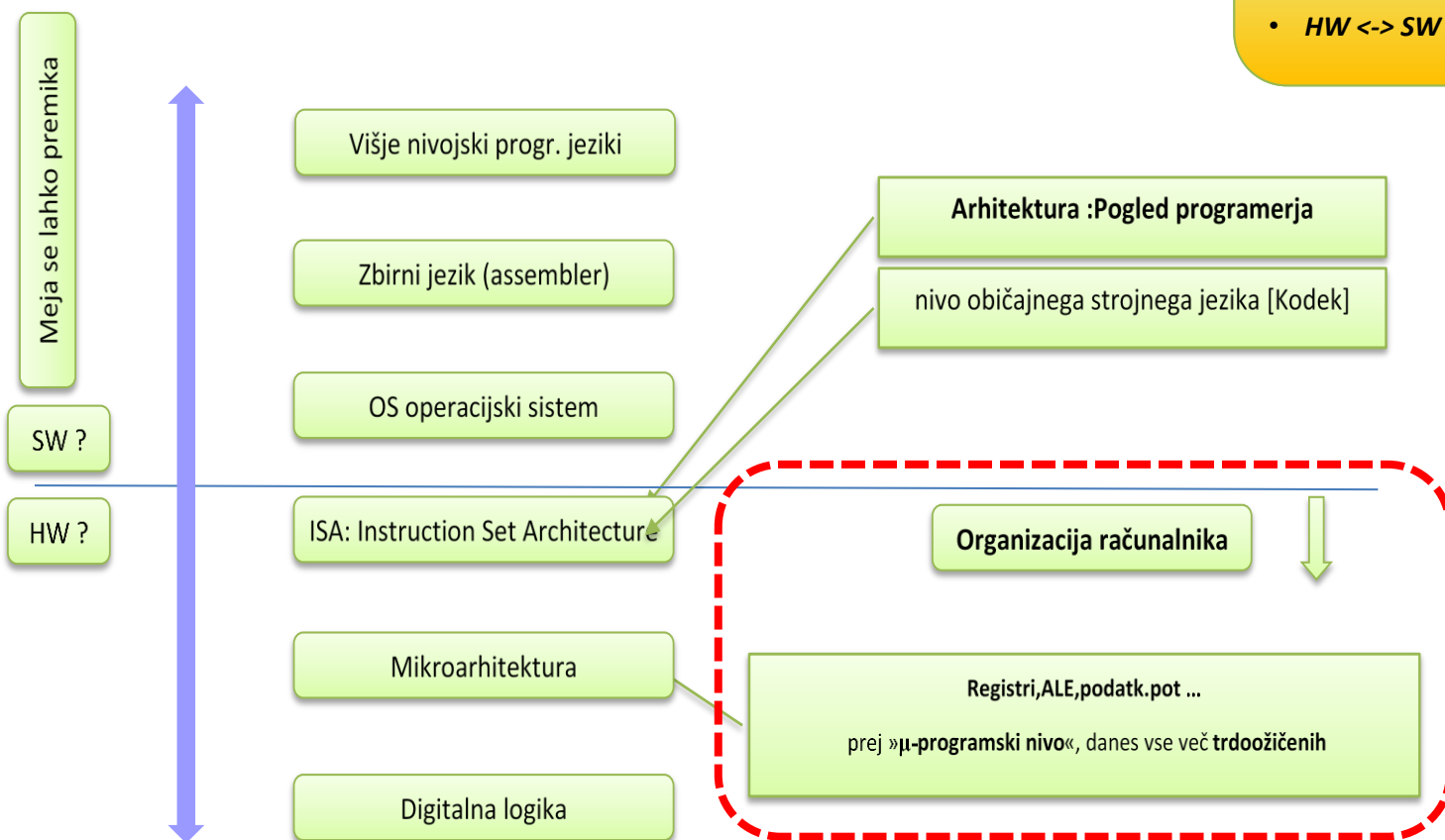
1.2 Zgradba in organizacija računalnika

Mogočih več različnih pogledov,
izpostavimo 2 najbolj zanimiva :

1.2.1 Funkcijske enote kot osnovni gradniki računalnika [Patt]



1.2.2 Nivojska zgradba računalnika [Tanb, str. 5-8]



Diskusija :

- *Prevajanje, interpretiranje, prenosljivost programov*
- *HW <-> SW*

1.3 Računalnik na nivoju digitalne logike

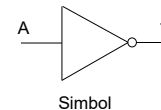
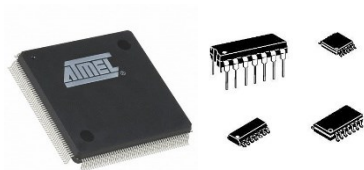
■ Računalnik :

- sestavljen iz digitalnih (logičnih, preklopnih) vezij :

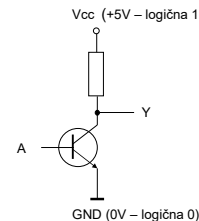
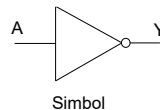


■ digitalna vezja sestavljena iz logičnih vrat:

- (seštevalnik, ALU, ...)



- logična vrata realizirana z elektronskimi elementi



1.3 Računalnik na nivoju digitalne logike

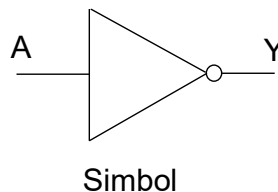
1.3.1 Osnove digitalnih vezij

Logična vrata realiziramo z elektronskim vezjem:

- logični stanji 0,1 <-> napetostni nivoji $\approx 0V, \approx 3.3V(5V)$
- osnovni gradnik

*Matematični
ideal*

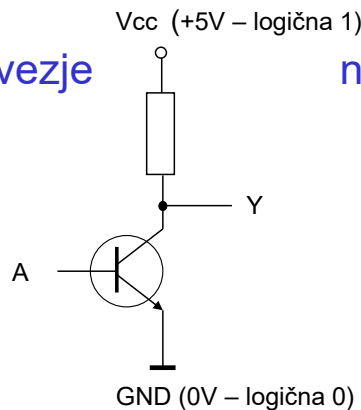
matematični (logični) pogled: logična vrata



logični nivoji 0,1

elektronska realizacija :

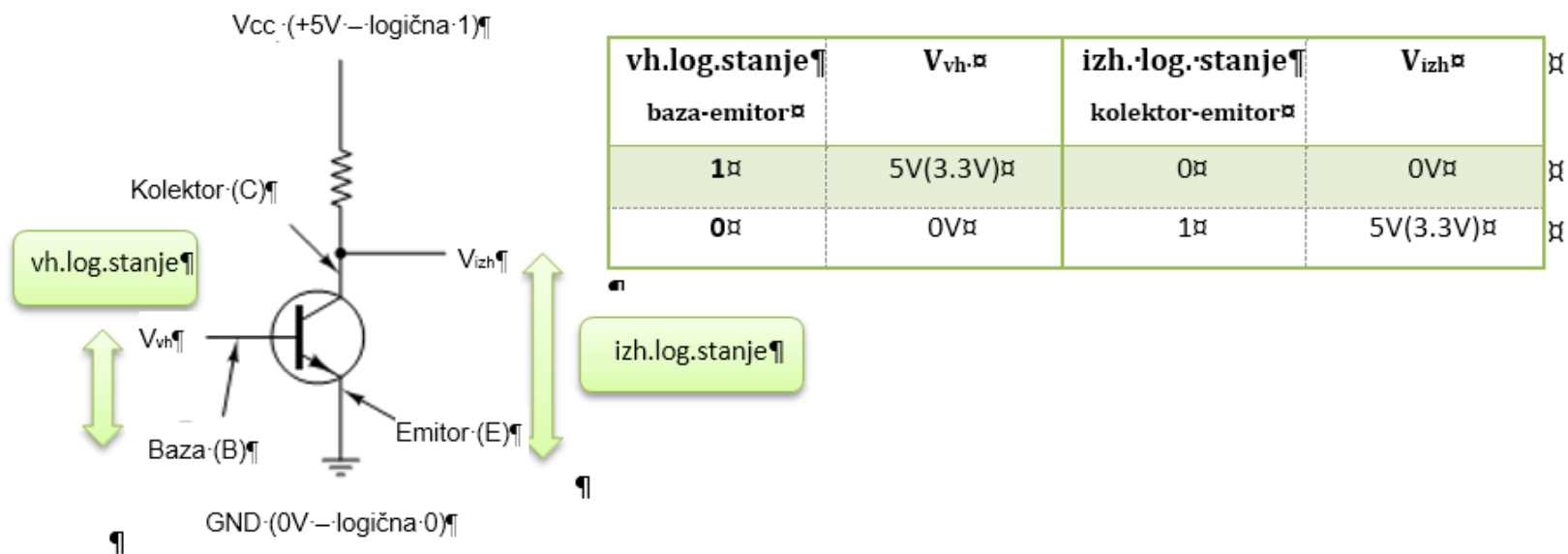
elektronsko vezje



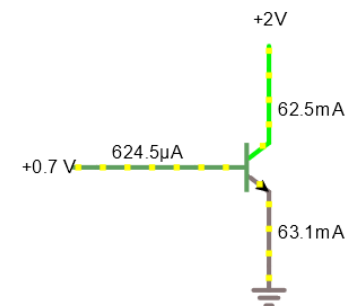
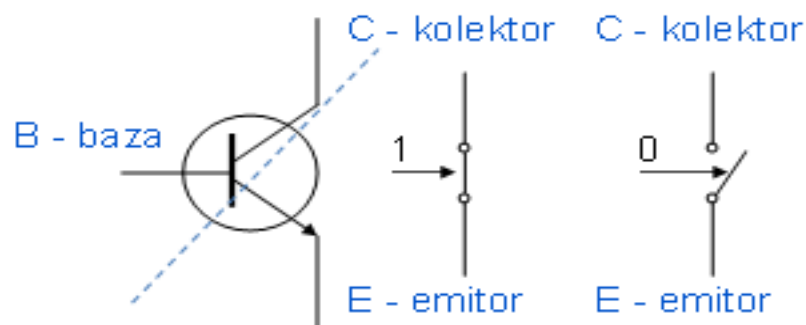
napetostni nivoji $\approx 0V, \approx 3.3 (5) V$

*Elektronska
realizacija*

1.3.1.1 Osnovni gradnik digitalnih vezij – tranzistor kot stikalo

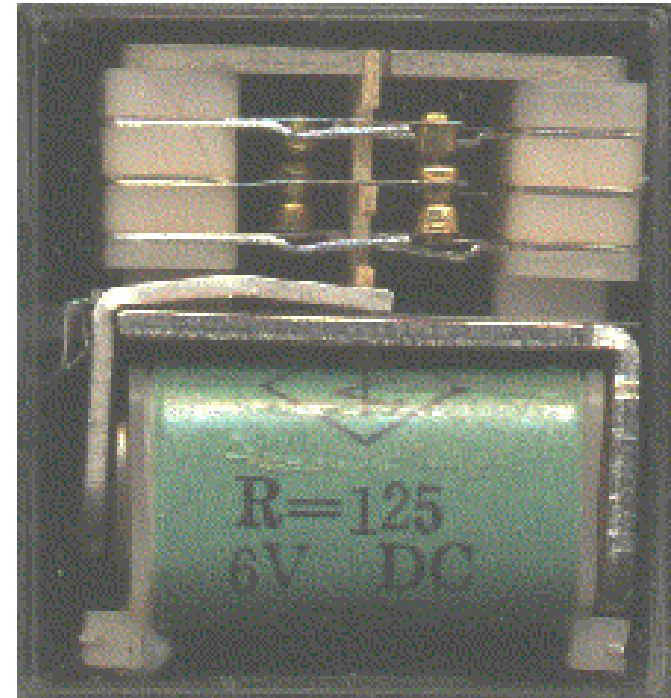
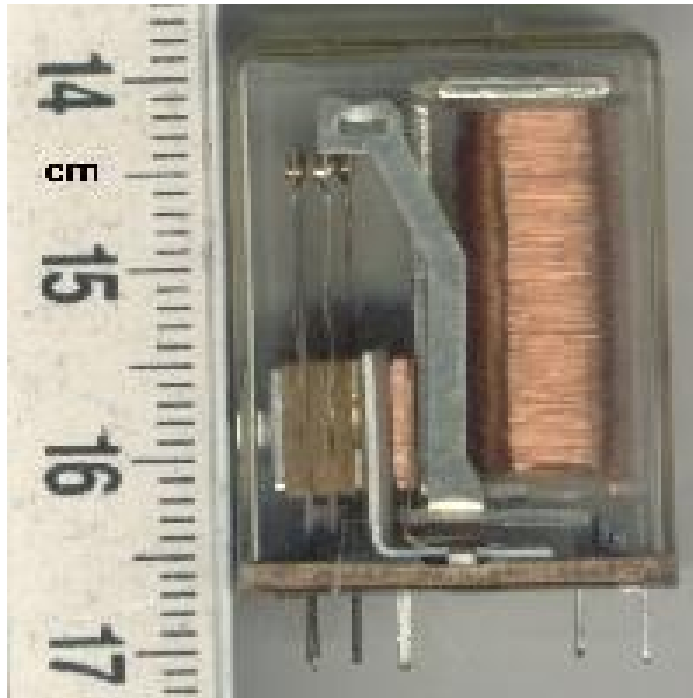


tranzistor kot stikalo



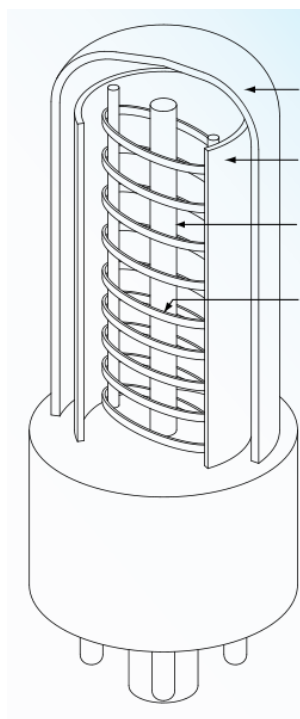
1.3.1.2 Realizacije stikala v digitalnih vezjih

- Rele, leto 1939, čas preklopa 1-10ms ($\text{ms} = 10^{-3} \text{ s}$)



Elektronika 1945 - 1955

- čas preklopa $\sim 5\mu\text{s}$ ($\mu\text{s}=10^{-6}$ s)

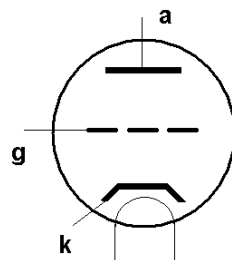


Stekleno ohišje

Anoda

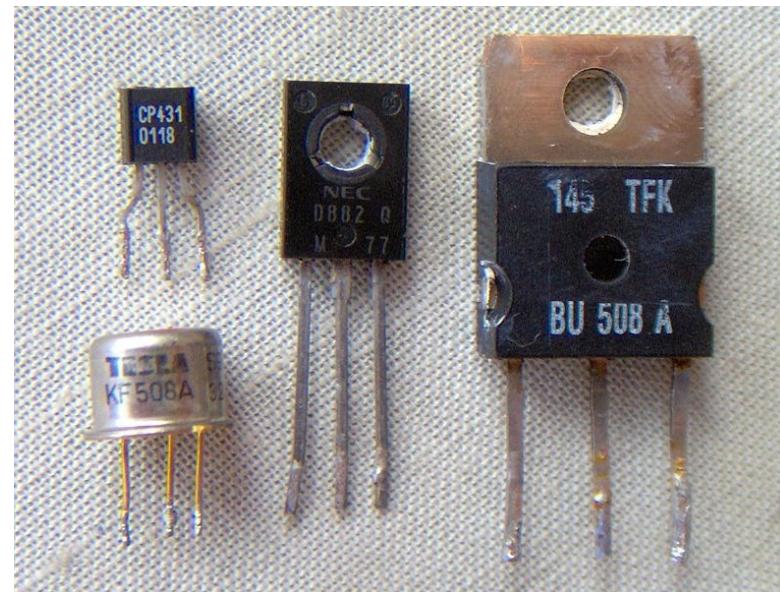
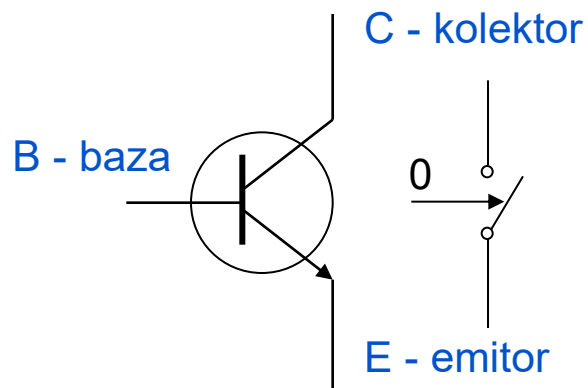
Katoda

Mrežica



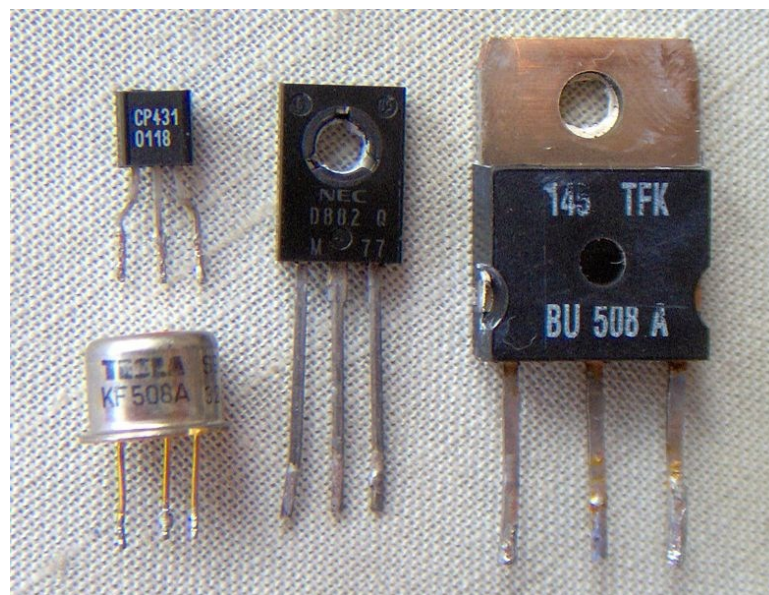
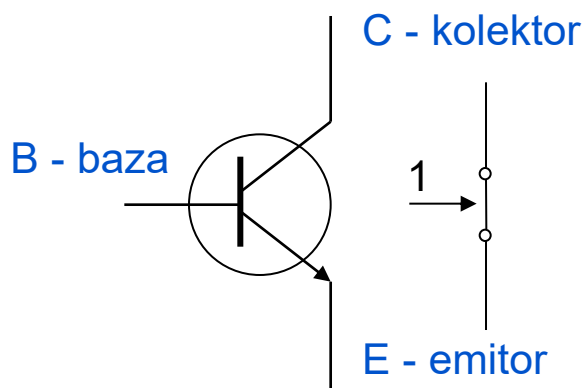
Tranzistor, 1955 ->

- čas preklopa $\sim 10\text{ns}$ ($\text{ns} = 10^{-9} \text{ s}$)



Tranzistor, 1955 ->

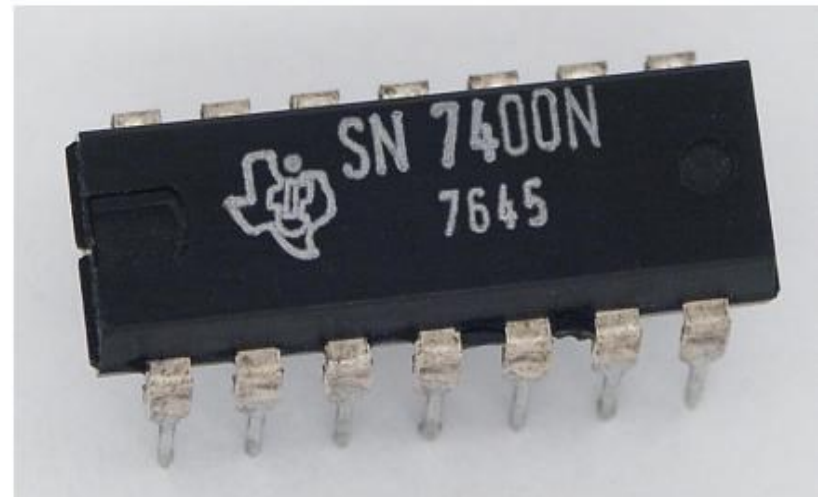
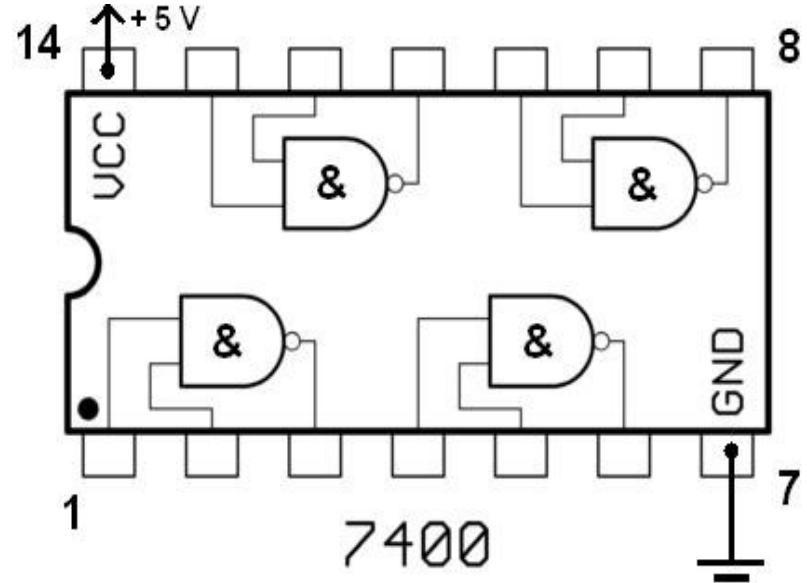
- čas preklopa $\sim 10\text{ns}$ ($\text{ns}=10^{-9}\text{ s}$)



Tranzistor v integriranih vezjih

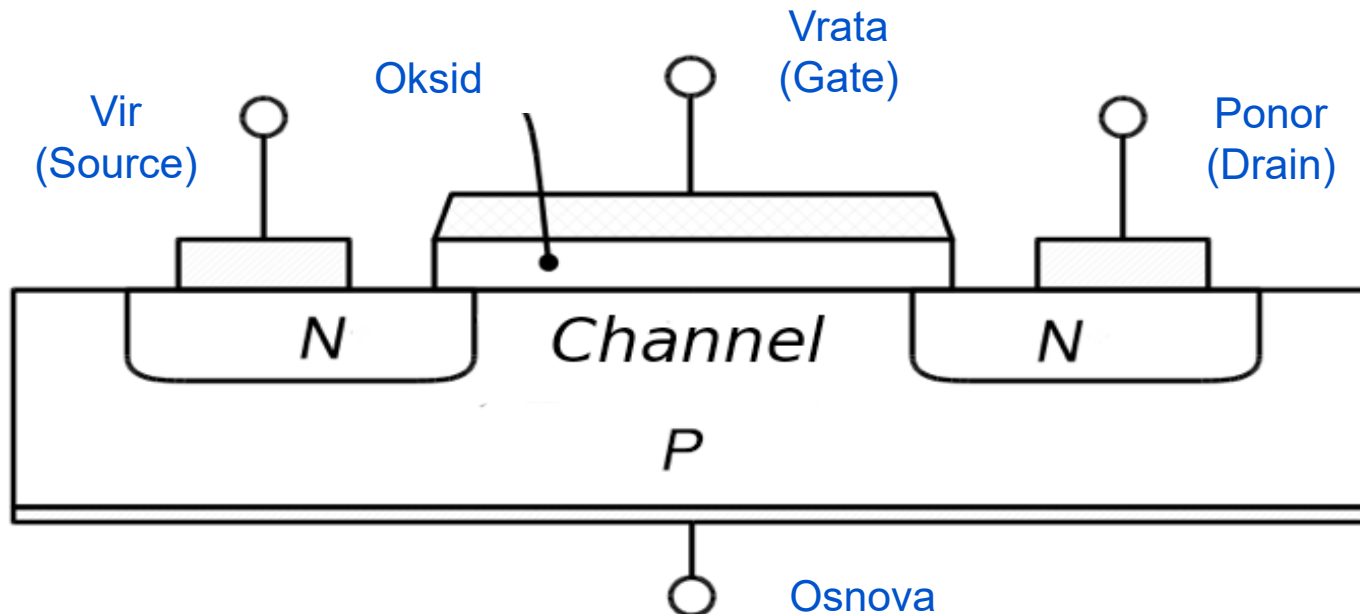
Realizacije električnega stikala v razvoju računalnikov

- Tranzistor v integriranih vezjih (TTL od konca 60.let)
 - čas preklopa $< 10\text{ns}$

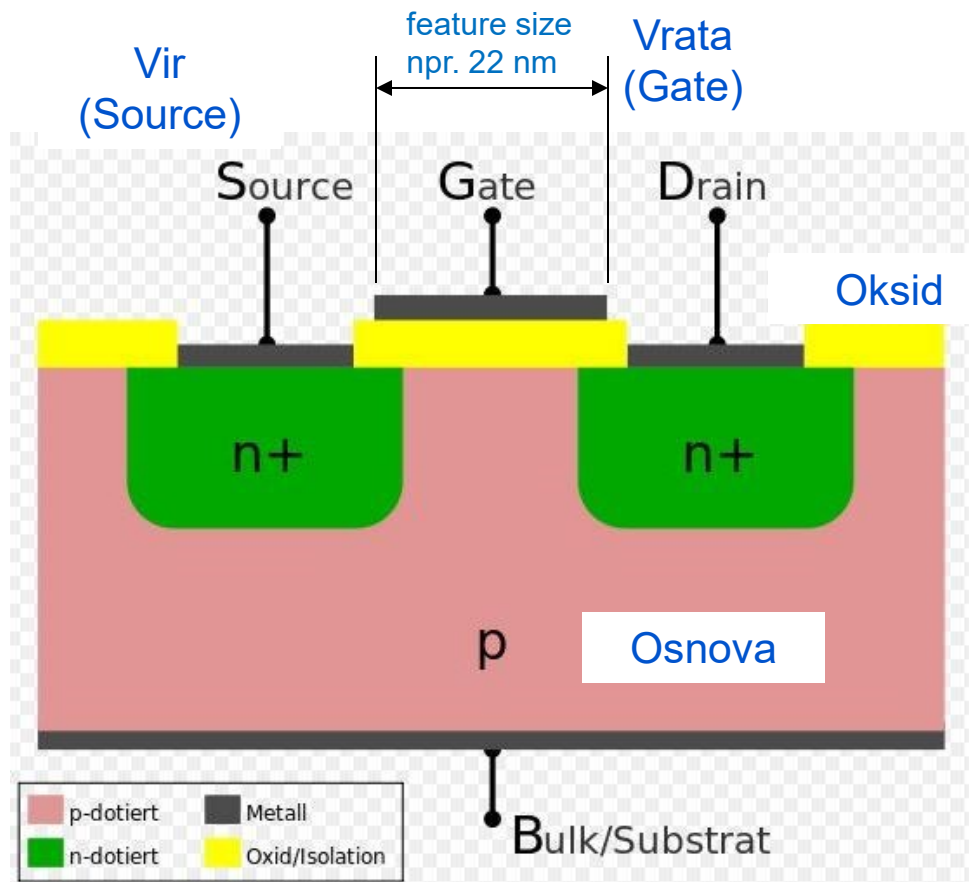


Tranz. v VLSI integriranih vezjih

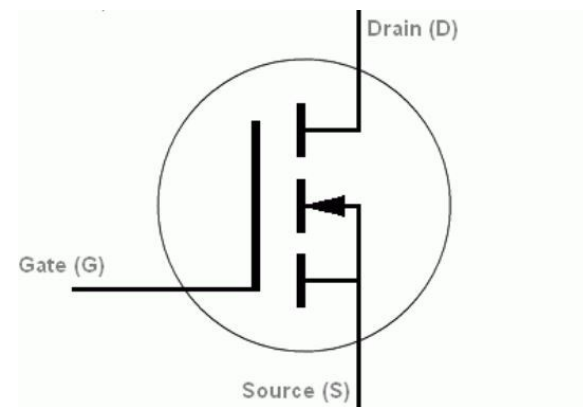
- MOSFET, čas preklopa $< 0,1\text{ns}$



Tranzistor kot del integriranega vezja



Ponor (Drain)



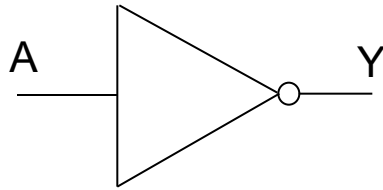
1.3.1.2 Realizacija stikala v digitalnih vezjih - povzetek

Ponovitev iz predmeta RA

Leto	Stikalo	Preklopni čas
1939	Rele	1-10ms
1945-1955	Elektronka	~5 μ s
1955	tranzistor	10ns
Konec 60. let	tranzistor v TTL digit. vezjih	2-10ns
1980	VLSI	<0,1ns

1.3.2 Realizacija logičnih vrat

1.3.2.1 Realizacija logične funkcije NEGACIJA (NOT)



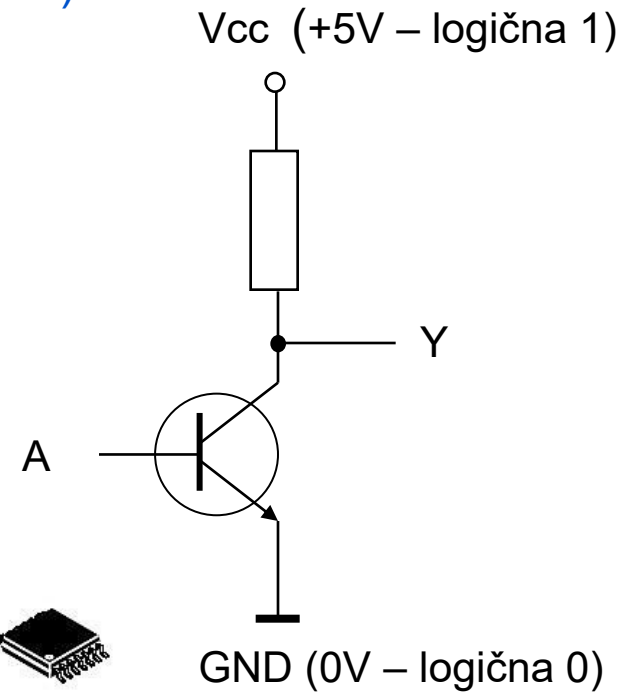
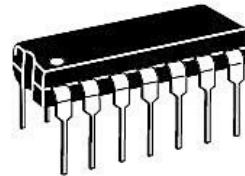
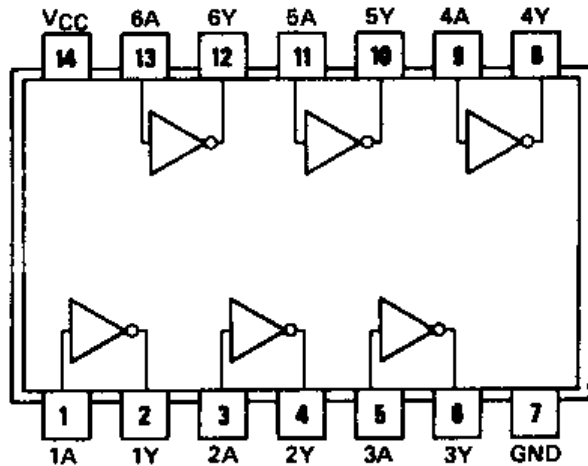
Simbol

A	Y
0	1
1	0

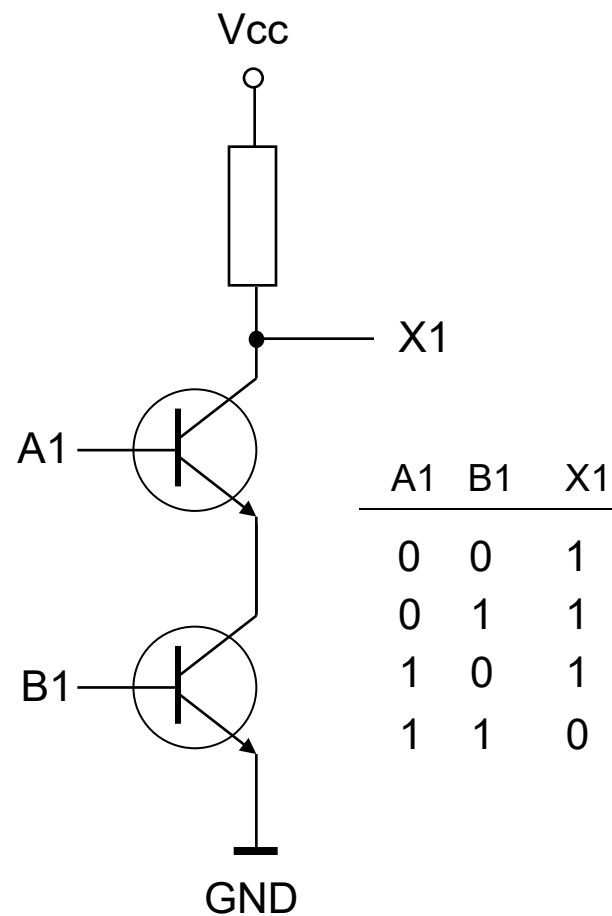
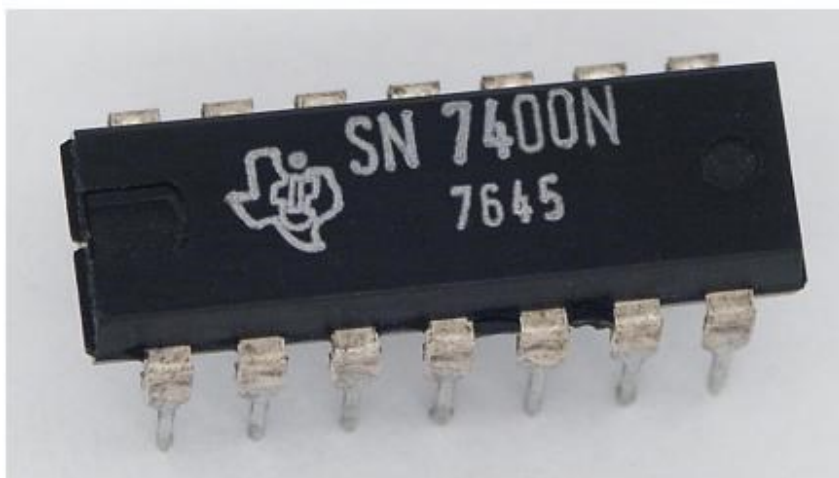
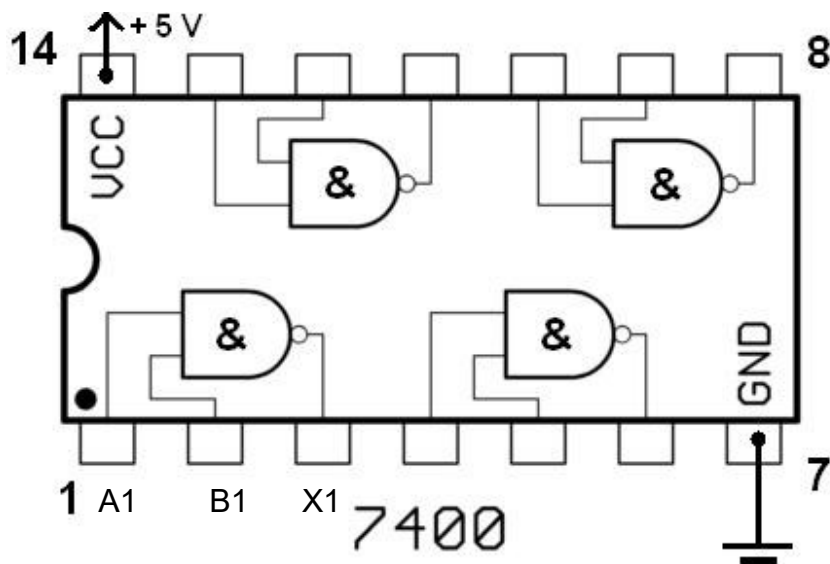
Pravilnostna tabela

IC (Integrated Circuit) s 6 negatorji

7406

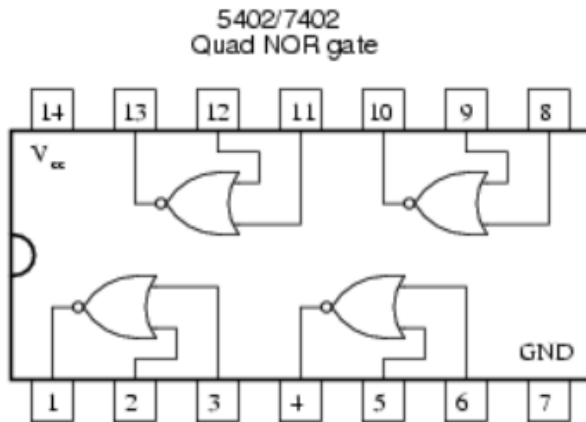


1.3.2.2 Realizacija logične funkcije NAND (Negirana konjunkcija)

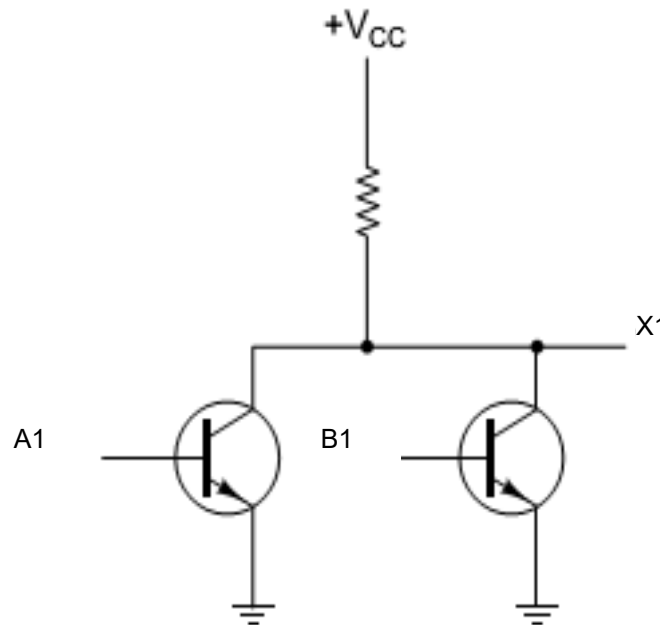


Logisim: pullup_nor_nand.circ

1.3.2.3 Realizacija logične funkcije NOR (Negirana disjunkcija)

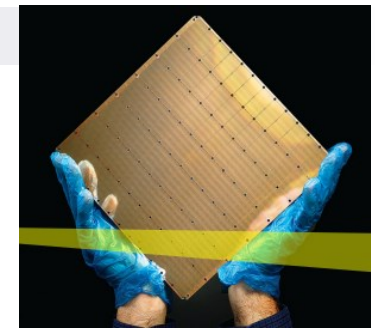


A1	B1	X1
0	0	1
0	1	0
1	0	0
1	1	0



Logisim: pullup_nor_nand.circ

1.3.3 Digitalna vezja visoke stopnje integracije - VLSI



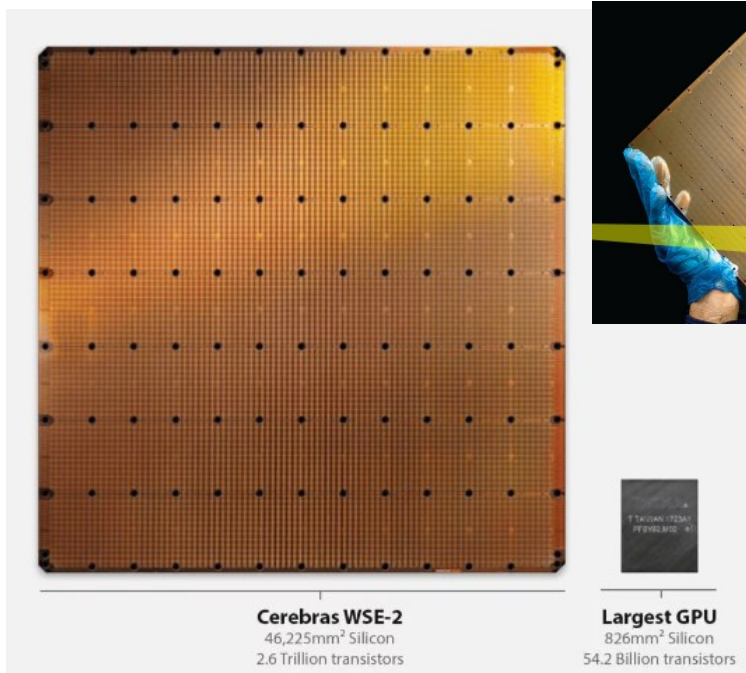
1.3.3.1 Razvoj digitalnih vezij

Stopnja integracije	Leto	Št. tranzistorjev	Št. log. vrat oz. elementov	MOSFET scaling (process nodes)
SSI	60. leta	nekaj 10	1-10	10 μm – 1971
MSI	pozna 60. leta	nekaj 100	10-100	6 μm – 1974
LSI	zgodnja 70. leta	nekaj 1000	100-100000	3 μm – 1977
VLSI	1980->	nekaj 100000	nad 100000	1.5 μm – 1981
	1986	1 milijon		1 μm – 1984
Pentium 4	2002	55 milijonov		800 nm – 1987
	2005	1 milijarda		600 nm – 1990
<u>Xeon Westmere-EX – 10 cores</u>	2012	>2.5 milijarde		350 nm – 1993
Ivy Bridge-EX-15	Q3/2013	4.3 milijarde		250 nm – 1996
22-core <u>Xeon Broadwell-E5</u>	2016	7,2 milijard		180 nm – 1999
AMD Epyc	2017 (2019)	>19 milijard (32 milijard)		130 nm – 2001
Apple M2 Ultra	2023	134 milijard		90 nm – 2003
Wafer Scale Engine 2	2021	2600 milijard	*namenski AI čip	65 nm – 2005
				45 nm – 2007
				32 nm – 2009
				22 nm – 2012
				14 nm – 2014
				10 nm – 2016
				7 nm – 2018
				5 nm – 2020
				3 nm – 2022
				Future
				2 nm ~ 2024

1.3.3 Digitalna vezja visoke stopnje integracije - VLSI

1.3.3.1 Razvoj digitalnih vezij – namenski čipi

Stopnja integracije	Leto	Št. tranzistorjev	Št. log. vrat oz. elementov
Wafer Scale Engine 2	2021	2600 milijard	*namenski AI čip
Micron's <u>V-NAND</u>	2022	5300 milijard	*namenski Flash čip



Micron's 232-Layer NAND

The foundation for a new wave of end-to-end technology innovation

- Highest layer count
- Most bits/mm²
- Fastest I/O speed

Built on the proven technologies pioneered in Micron's industry-leading 176-layer NAND

Applications and services
232-layer NAND is ideal for data-intensive and demanding storage applications

- Client
- Mobile
- Intelligent edge
- Data center

Benefits of Micron's 232-layer, 6-plane architecture

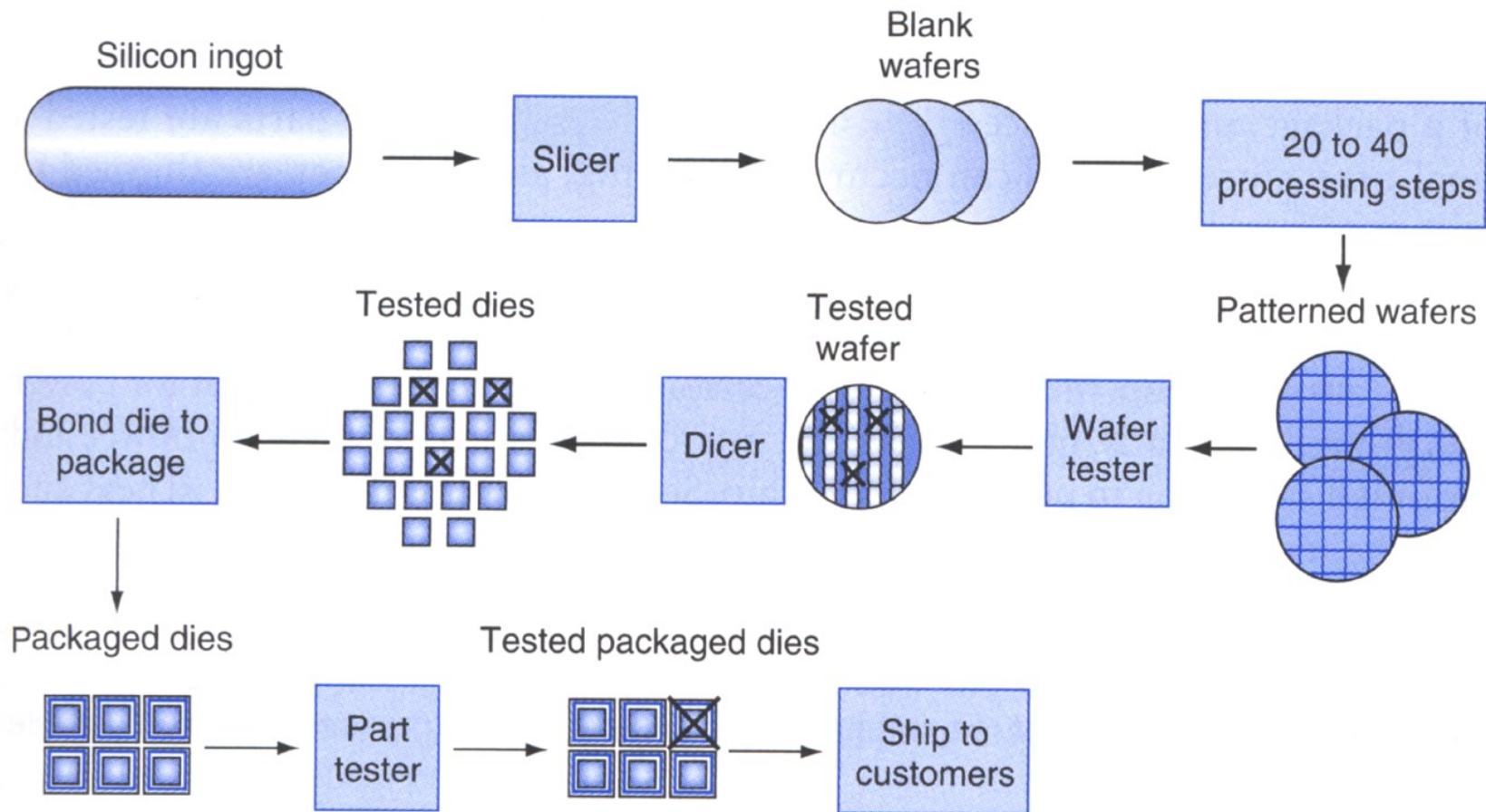
- 100%** higher write bandwidth*
- >75%** higher read bandwidth*
- 50%** increase in transfer rate to 2.4 GB/s (ONFI bus)*
- 28%** smaller package**

Micron 3D NAND Evolution

Footnote:
* Performance increases for speed and bandwidth are compared to previous-generation 176-layer NAND
** Package size compared to previous generation: B47R vs B6BR

© 2022 Micron Technology, Inc. Micron, the Micron logo, the M with logo, Intelligence Accelerated™, and other Micron trademarks are the property of Micron Technology, Inc. All other trademarks are the property of their respective owners.

1.3.3.2 Podrobnejši opis postopka izdelave VLSI digitalnih vezij



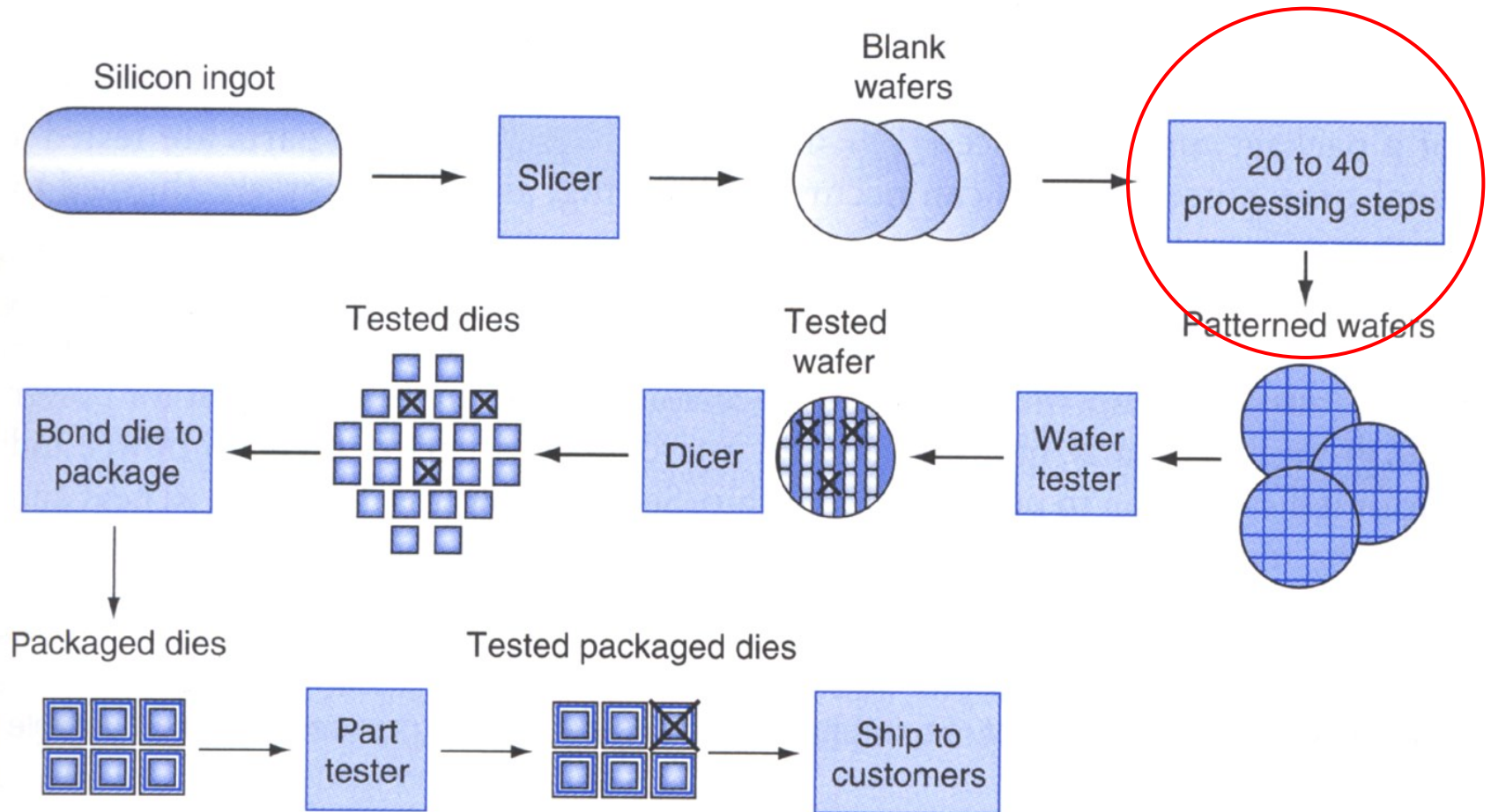
David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

Postopek izdelave VLSI integriranega vezja - čipa

- Priprava->Ingot -> rezalnik -> rezine, „wafers“



Postopek izdelave VLSI integriranega vezja – 20-40 procesnih korakov



David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

- V 20 do 40 procesnih korakih se z nanašanjem drugih materialov na silicijevo rezino oblikujejo:
 - tranzistorji,
 - povezave in
 - izolatorji.

Faze procesnega koraka :

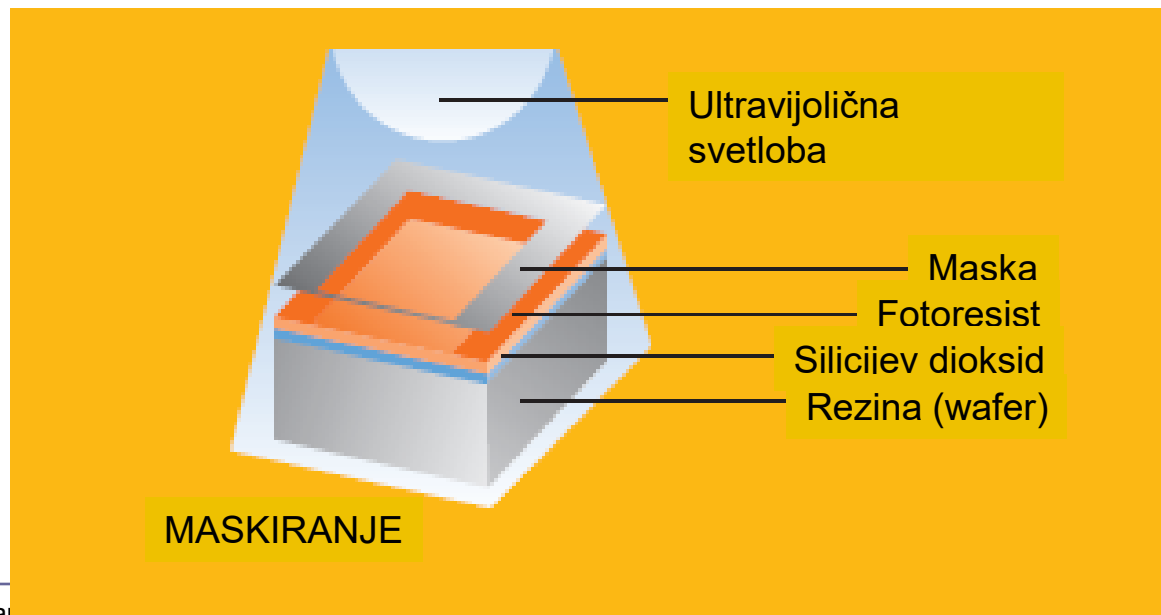
1. Izolacija in prekrivanje

- Na površini rezine se z dodajanjem kisika pri temp. 1000 do 1200 °C najprej ustvari izolacijska plast silicijevega dioksida.
- Površina se nato prekrije s svetlobno občutljivo snovjo – fotoresist, ki se pod vplivom svetlobe raztopi.

Faze procesnega koraka :

2. Maskiranje

- Maska, ki se oblikuje pri načrtovanju vezja, se s fotolitografskim postopkom nanese na površino in določa obliko vezja v določeni plasti čipa.
- Za pozicioniranje maske na rezino so potrebne izredno precizne naprave – stepperji.
- Steper z ultravijolično svetlobo osvetli dele površine, ki niso pokriti z masko.
- Osvetljeni predeli fotoresista se spremenijo v raztopljeno lepljivo plast.



Faze procesnega koraka :

3. Jedkanje

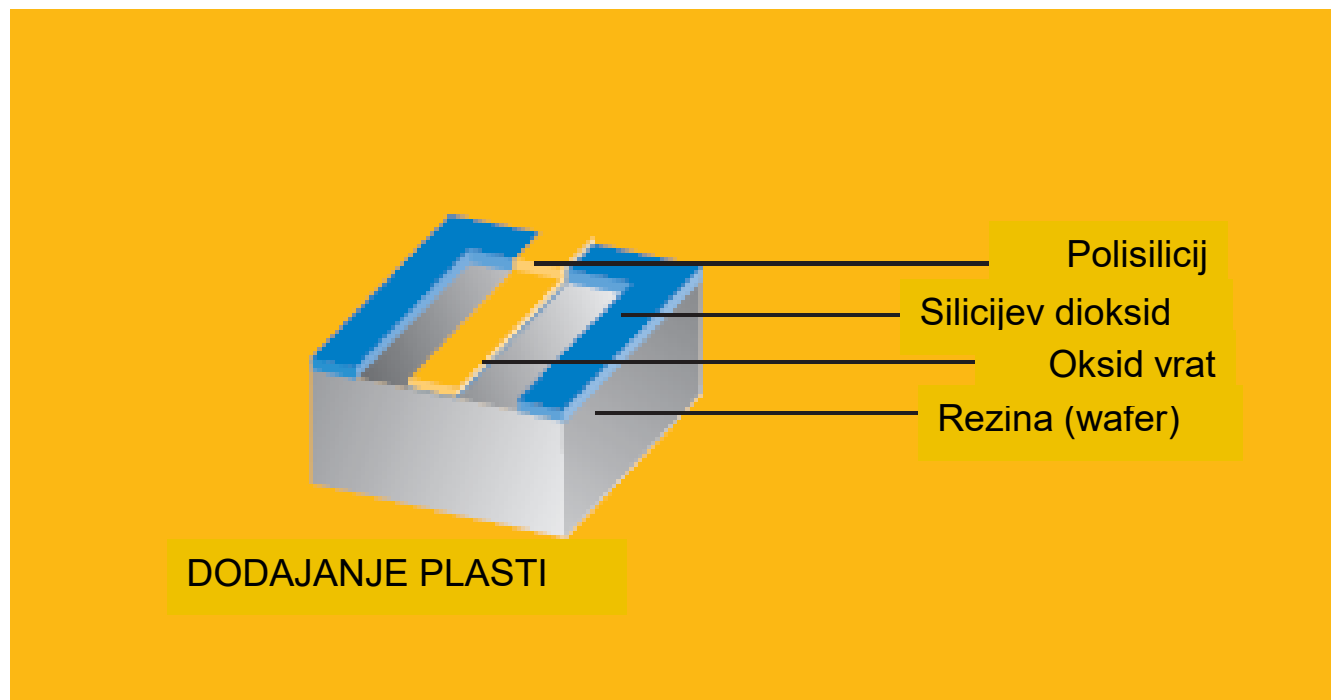
- Osvetljeni deli fotoresista se odstranijo in odkrijejo plast silicijevega dioksida, ki je tako na teh delih nezaščiten.
- Z jedkanjem se ti nezaščiteni deli silicijevega dioksida odstranijo, na rezini pa ostanejo vzorci silicijevega dioksida



Faze procesnega koraka :

4.a Dodajanje plasti (povezave, priključki, ...)

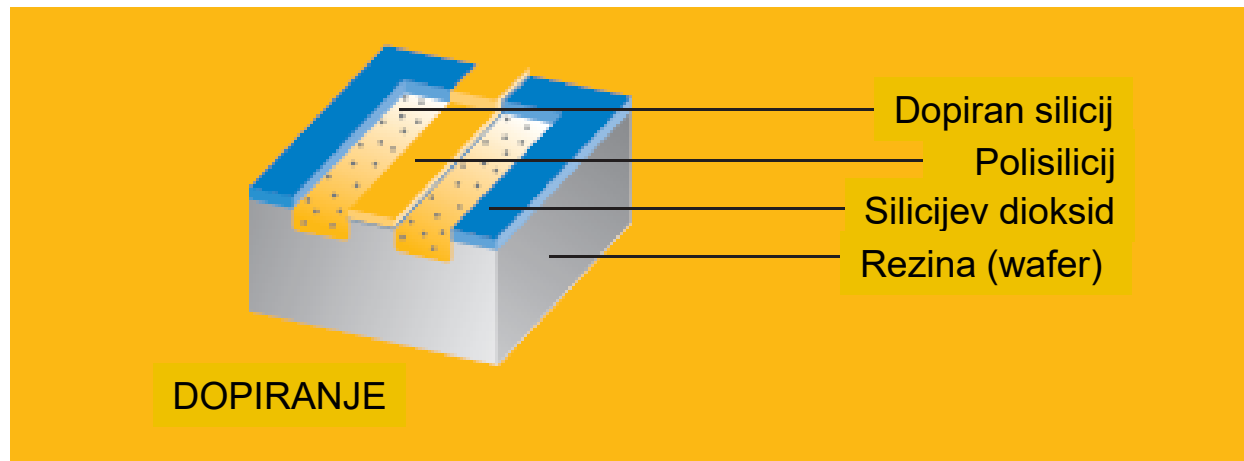
- Dodatni materiali, kot npr. polisilicij (silicij, sestavljen iz manjših kristalov), ki prevaja električni tok, se nanašajo na rezino z nadaljnjim maskiranjem in jedkanjem.
- Tako se na rezino nanese in delno odstrani več plasti, ki imajo vsaka drugačen vzorec in tvorijo tranzistorje in povezave med njimi.



Faze procesnega koraka :

4.b Dopiranje (difuzija) – za tvorbo tranzistorjev

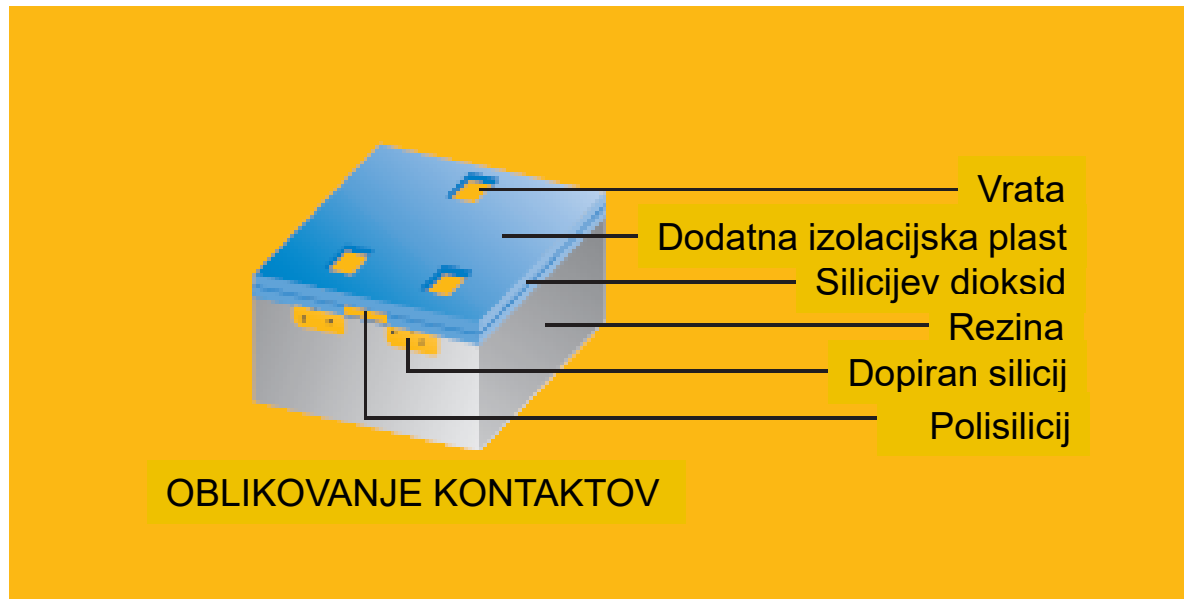
- Izpostavljena področja se bombardirajo z ioni različnih materialov, največkrat bora, fosforja ali arzena (nečistoče).
- Ti ioni prodirajo skozi kristalno mrežo silicija in spremenijo električne lastnosti na teh področjih.
- Dopiranje “spremeni čisti silicij v tranzistor”, ki lahko pod vplivom krmilnega signala prevaja električni tok ali pa ne – deluje kot stikalo in tako predstavlja binarno 1 ali 0.



Faze procesnega koraka :

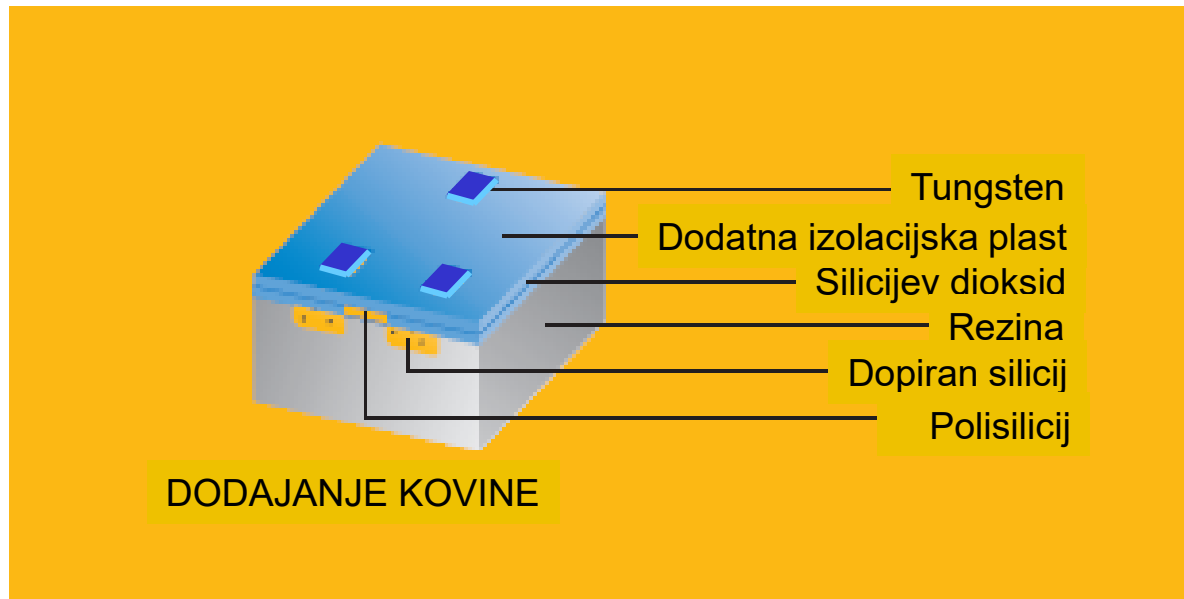
4.c Oblikovanje kontaktov

- Za povezave med posameznimi plastmi se z nanašanjem kovin, maskiranjem in jedkanjem oblikujejo električni kontakti.



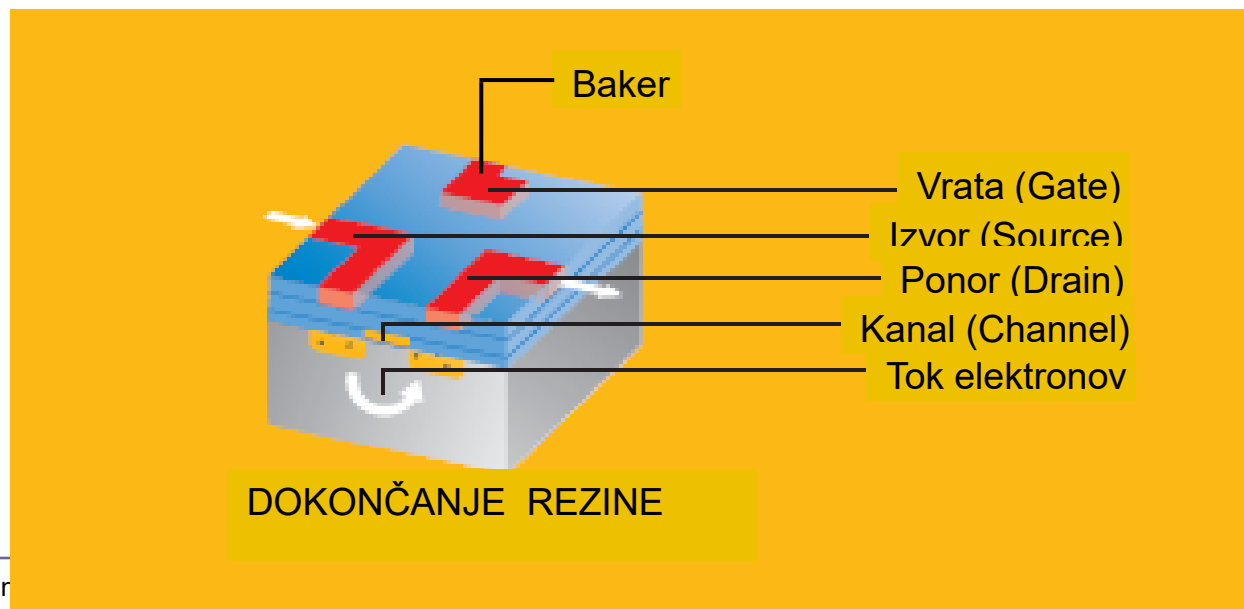
Faze procesnega koraka :

4.c Oblikovanje kontaktov



■ Dokončanje rezine

- Pozitivni naboj na vratih tranzistorja privlači elektrone, zato **po kanalu med izvorom in ponorom tranzistorja steče električni tok (on)**.
- Negativni naboj na vratih tranzistorja pa prepreči, da bi tok tekkel med izvorom in ponorom (off).
- V tridimenzionalni strukturi je tako zgrajeno vezje na čipu.
- Dokončana rezina vsebuje nekaj 10 ali 100 čipov vsak z milijoni tranzistorjev, ki delujejo kot stikala.

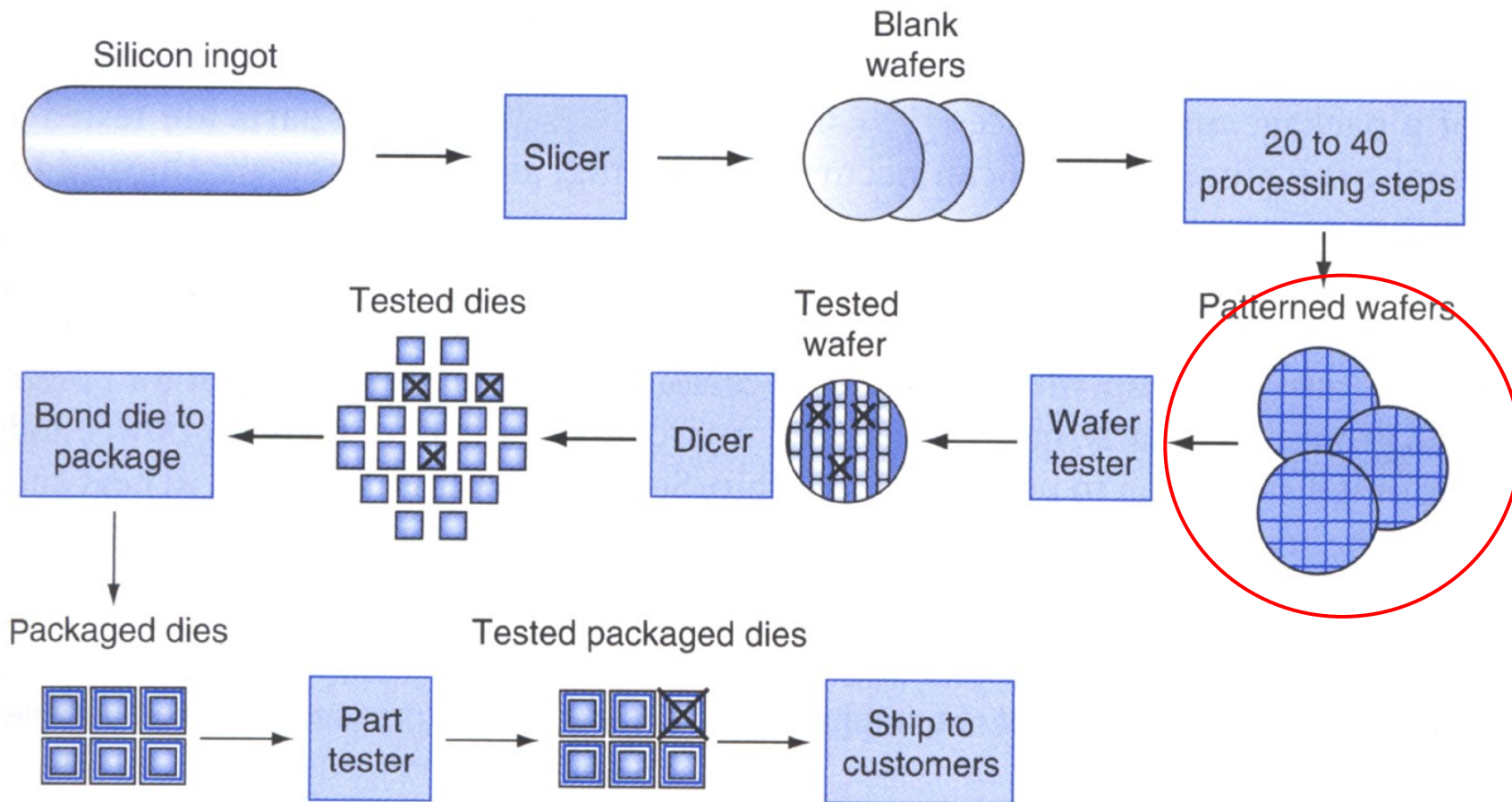


1.3.3.2 Postopek izdelave VLSI digitalnih vezij – Končna obdelava

Končna obdelava:

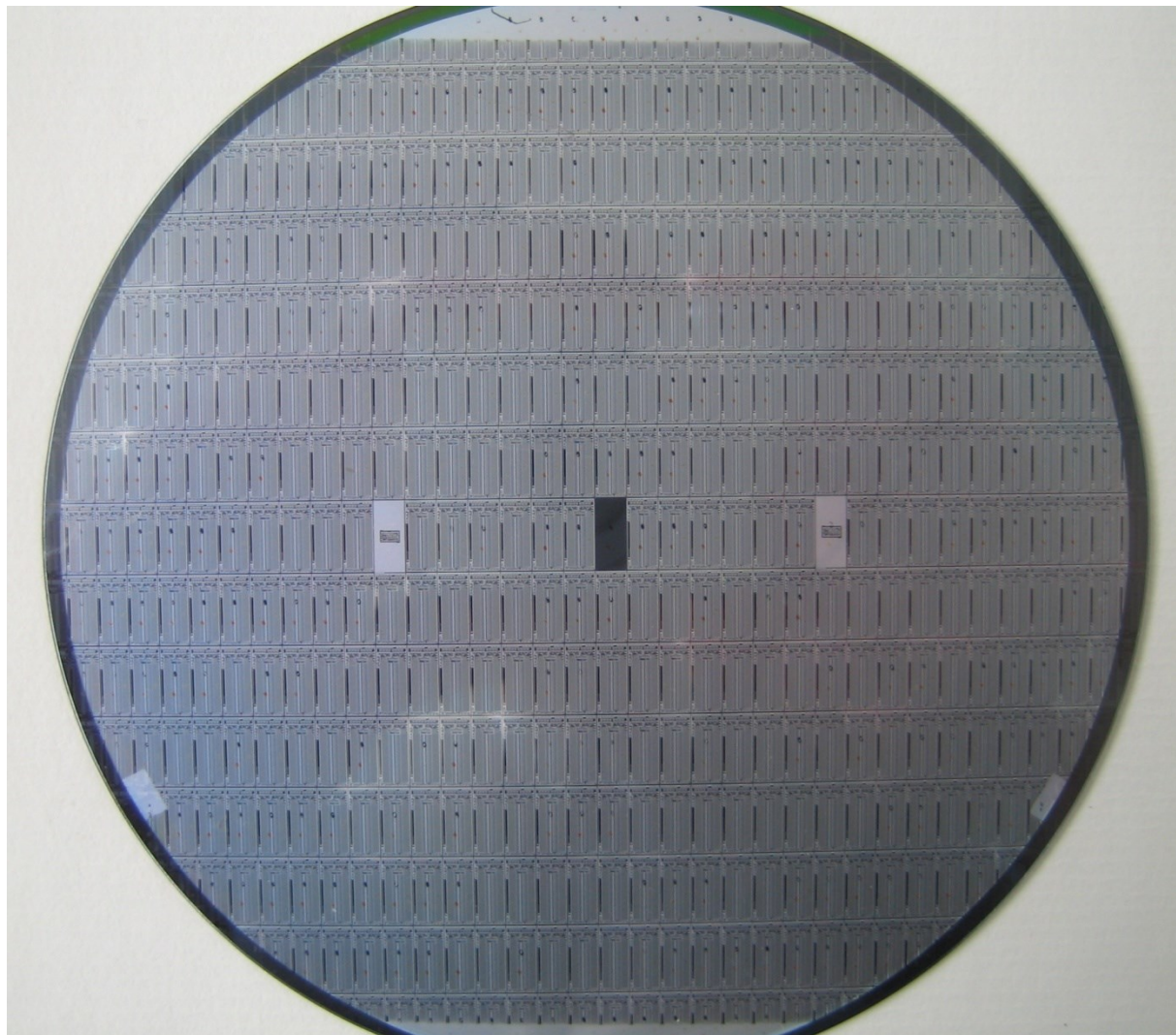
- testiranje čipov na rezinah («die«)
- razrez rezin na čipe
- povezave priključkov na čipu z žičkami na priključke ohišja
- končno testiranje

1.3.3.2 Postopek izdelave VLSI digitalnih vezij - testiranje

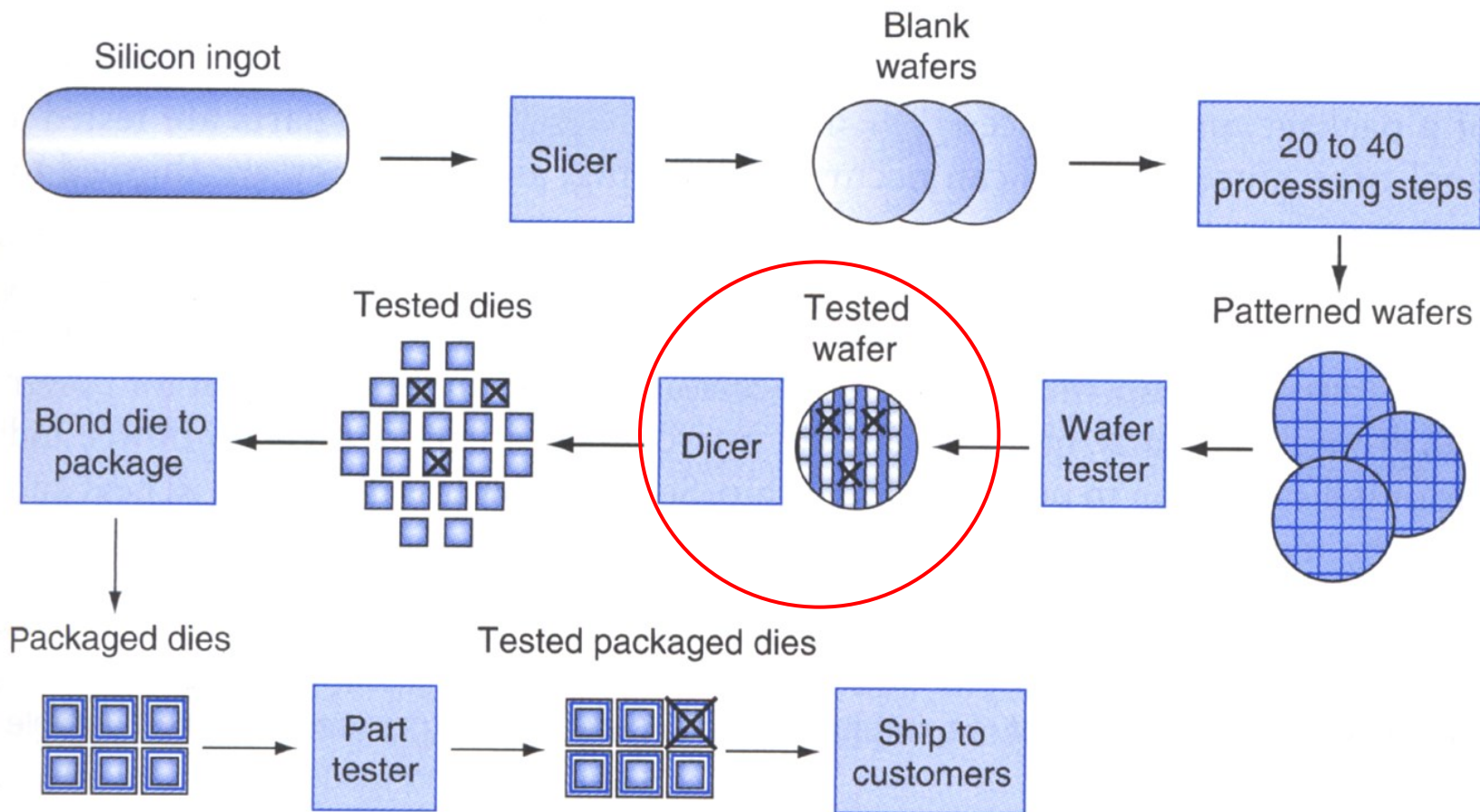


David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

Rezina (wafer) s približno 250 pomnilniškimi čipi pred razrezom

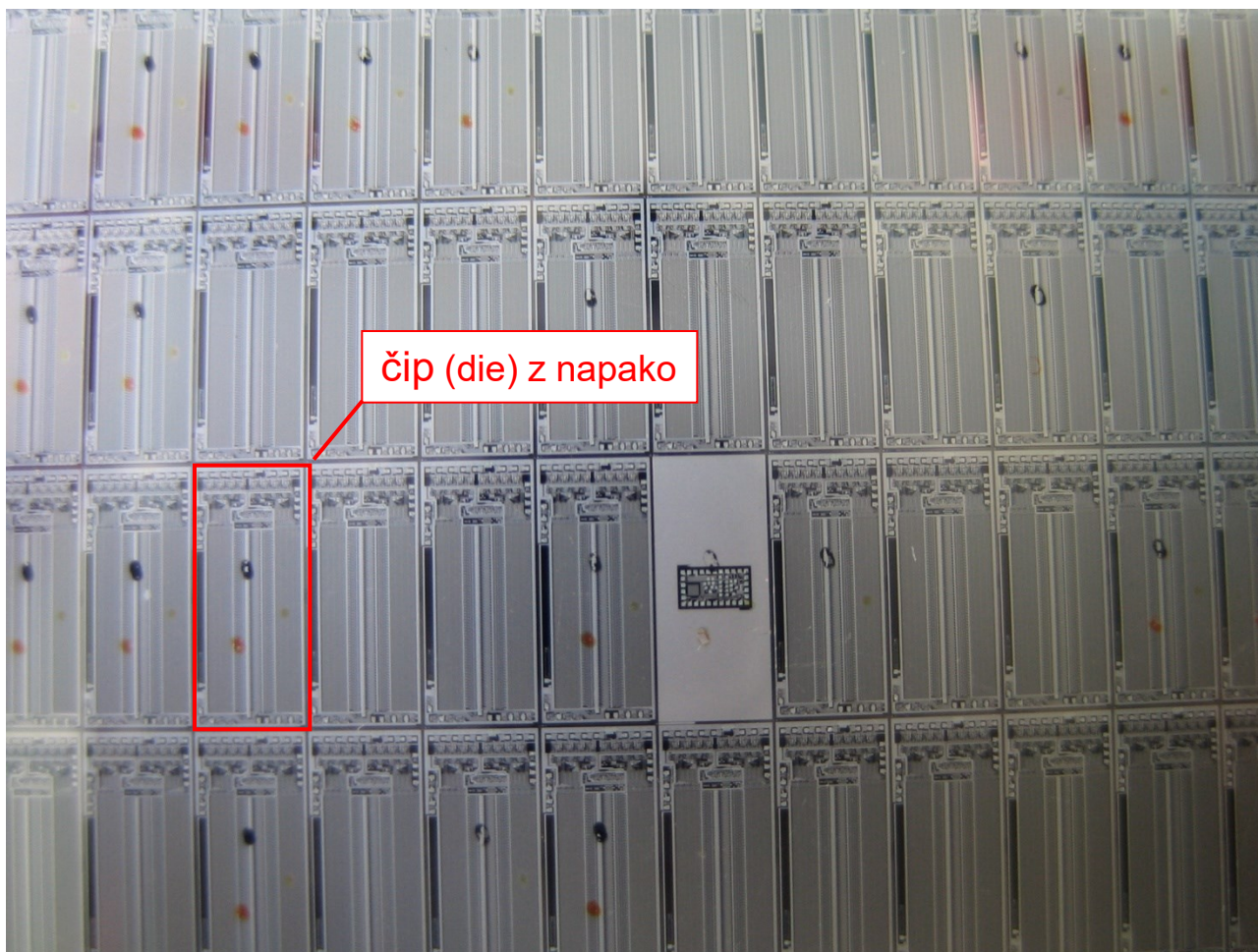


1.3.3.2 Postopek izdelave VLSI digitalnih vezij - testiranje



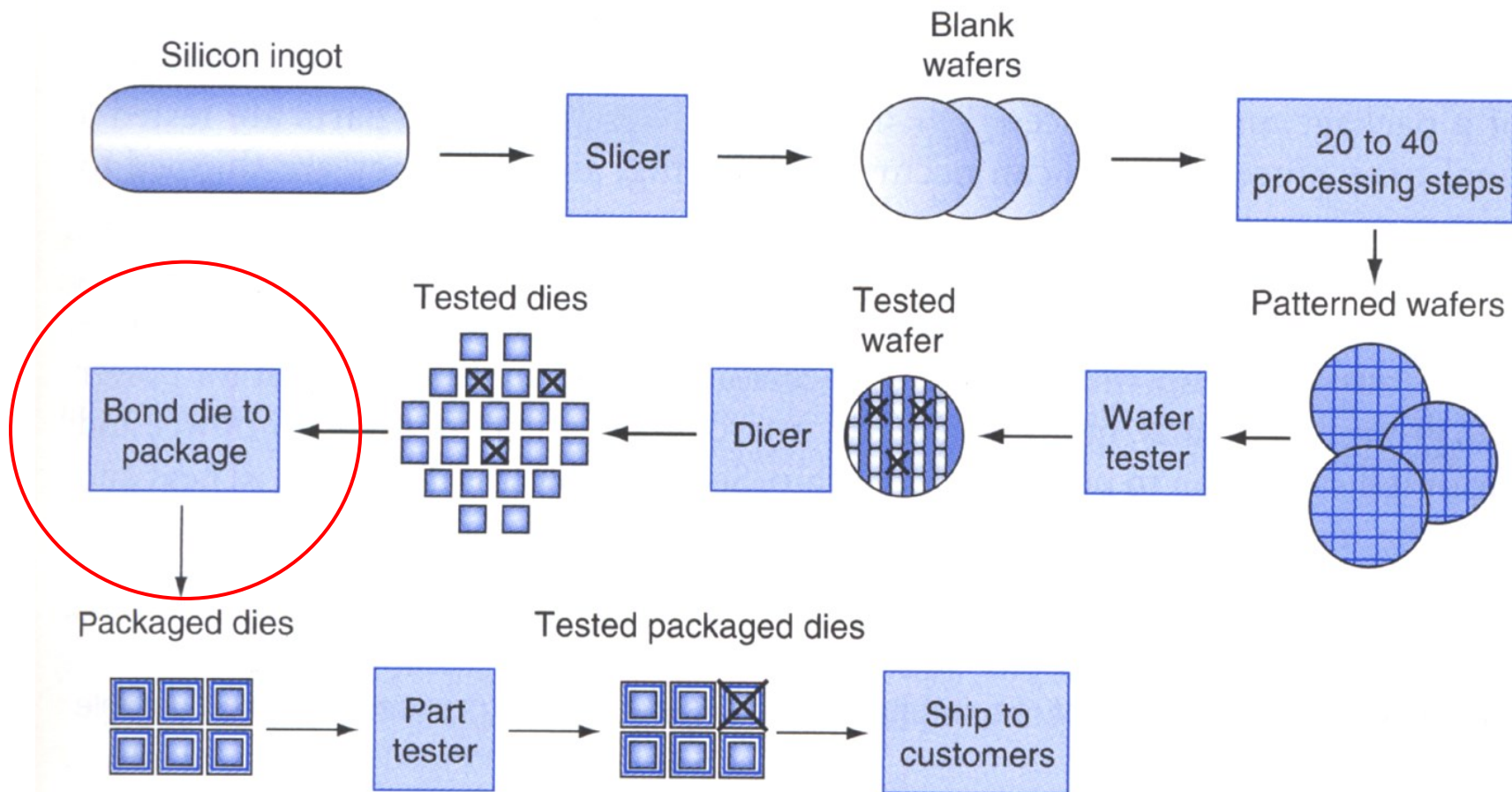
David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

1.3.3.2 Postopek izdelave VLSI digitalnih vezij – zaznavanje napak



Rezina z označenimi slabimi čipi

1.3.3.2 Postopek izdelave VLSI digitalnih vezij - pakiranje



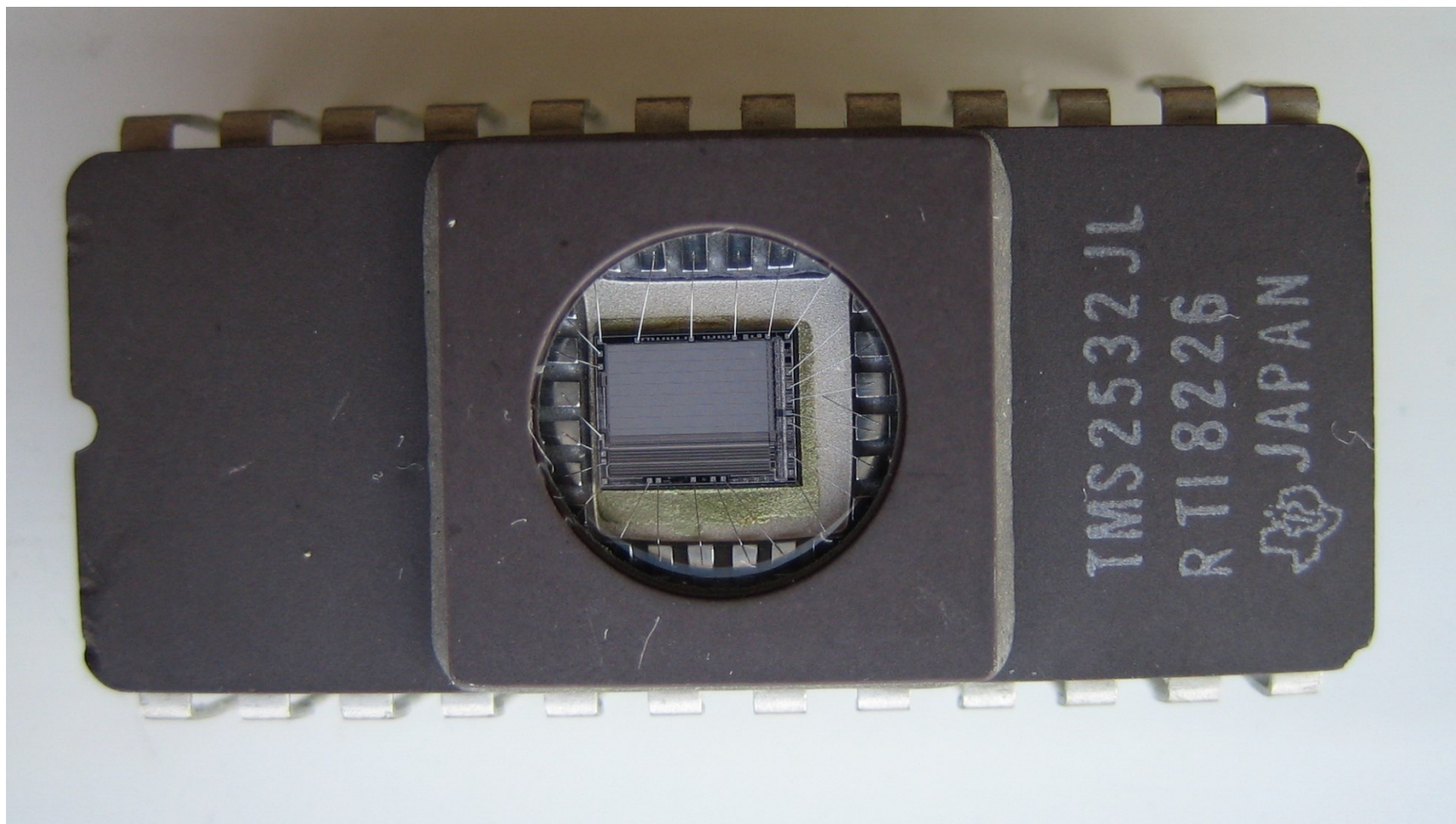
David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

■ Bondiranje (Bonding)

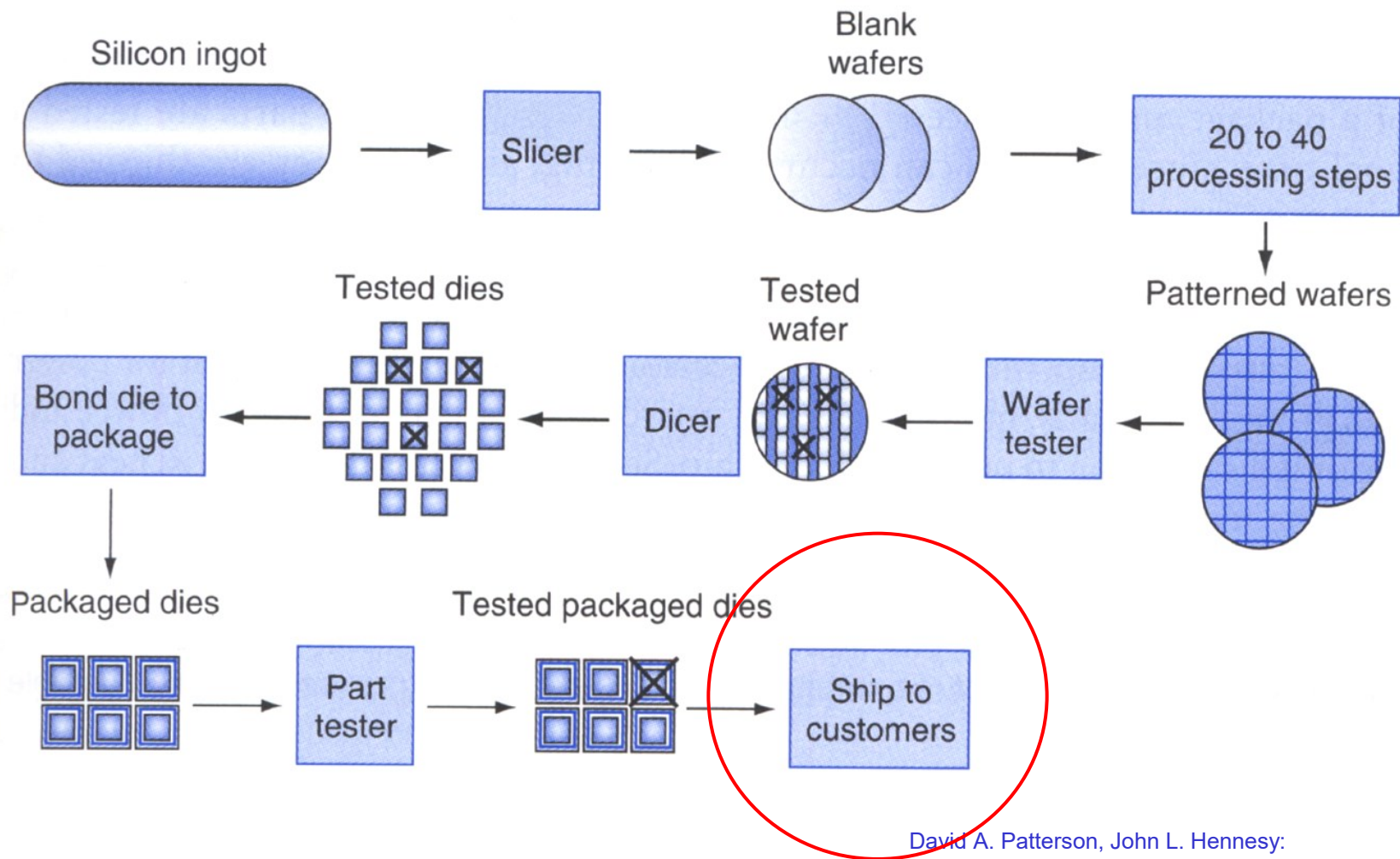


1.3.3.2 Postopek izdelave VLSI digitalnih vezij – povezovanje

■ Bondiranje (Bonding) - Primer



1.3.3.2 Postopek izdelave VLSI digitalnih vezij – distribucija



David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

1.3.3.2 Postopek izdelave VLSI digitalnih vezij - Povzetek

- Silicijev valj – “Ingot”
- razrez na rezine (‘Wafers’)
 - poliranje
 - pazimo na nečistočo
- 20-40 procesnih korakov
 - nanašamo :
 - tranzistorje
 - povezave
 - izolatorje

1.3.3.2 Postopek izdelave VLSI digitalnih vezij – Povzetek korakov

Procesni korak :

□ *izolacija in prekrivanje*

- nanašanje Silicijevega dioksida (kot izolator)
- dodana plast na svetlobo občutljivega materiala – “fotoresist”

□ *maskiranje*

- fotolitografija - obsevanje skozi masko, tam kjer je osvetljen postane fotoresist odstranljiv

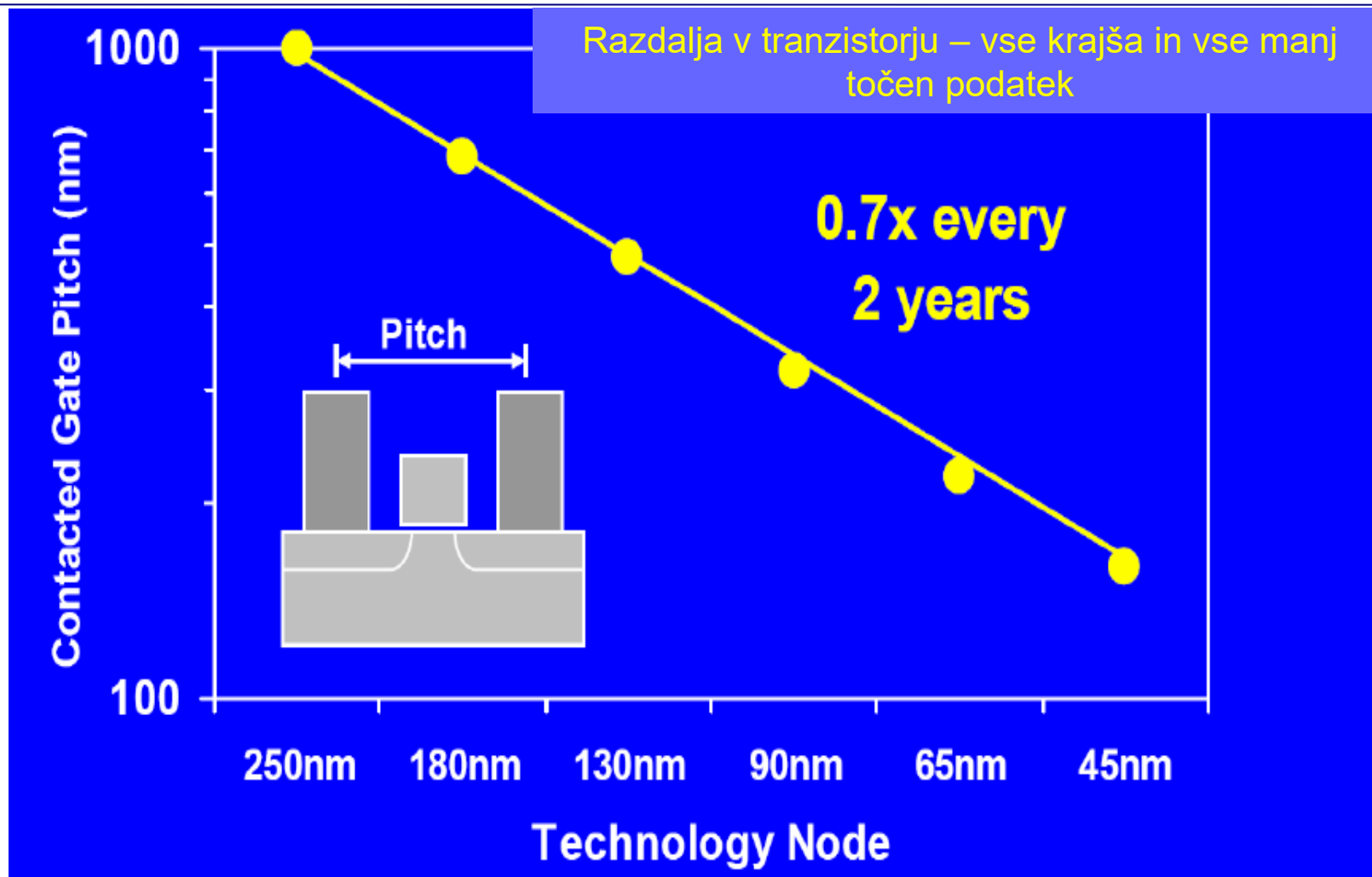
□ *jedkanje*

- odstrani osvetljeno plast “fotoresista” in po potrebi še spodnje plasti materiala

□ po potrebi eden od naslednjih postopkov:

- **dopiranje** (za tvorbo kanalov pri tranzistorjih)
- **nanašanje plasti prevodnikov** (za oblikovanje povezav, priključkov, povezav med nivoji)
- **nanašanje plasti izolatorjev** (zaščita, oblikovanje povezav, pač po potrebi, itd...)

1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih



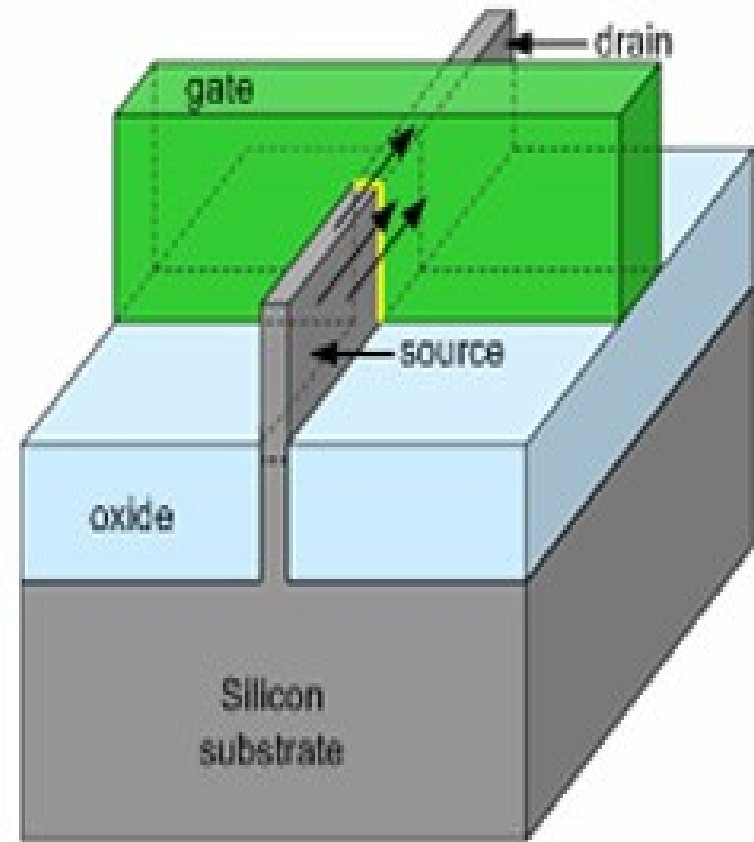
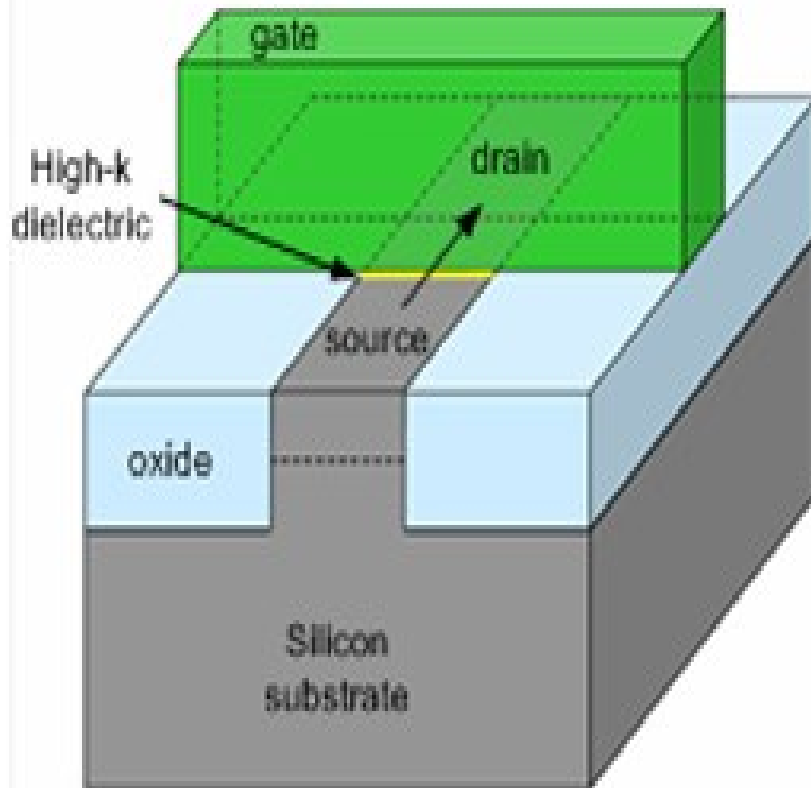
IEEE/IDEM 2007 (International Electron Devices Meeting) Intel

1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih – 3D tranzistor

planarni 2D (vodoravna lega)

in

3D tranzistor (se širi v višino)



Planar 2D transistor

Tri-gate 3D transistor

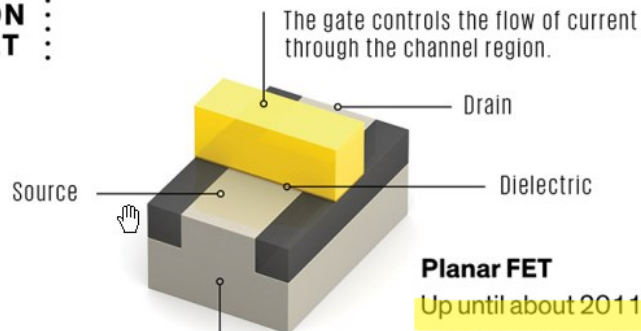
22nm tehnologija izdelave čipov

premer Si atoma je 0.24nm!!!

1.3.3 Potencialni problemi v sodobnih VLSI vezjih – 3D tranzistor

Sodobni razvoj tranzistorja
Planarni (vodoravno) -> FinFET (navpično) -> Nano lističi

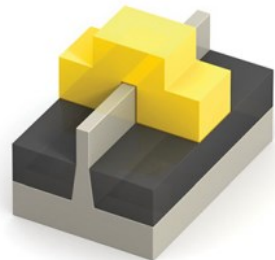
**EVOLUTION
OF THE FET**



Planar FET

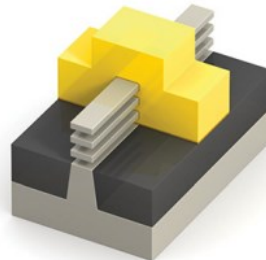
Up until about 2011, planar transistors were the best devices available.

Charge can leak through the channel region and waste power.



FinFET

Surrounding the channel region on three sides with the gate gives better control and prevents current leakage.

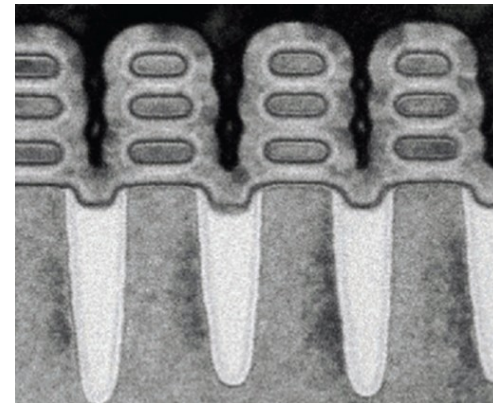


Stacked nanosheet FET

The gate completely surrounds the channel regions to give even better control than the FinFET.

Illustration by Emily Cooper

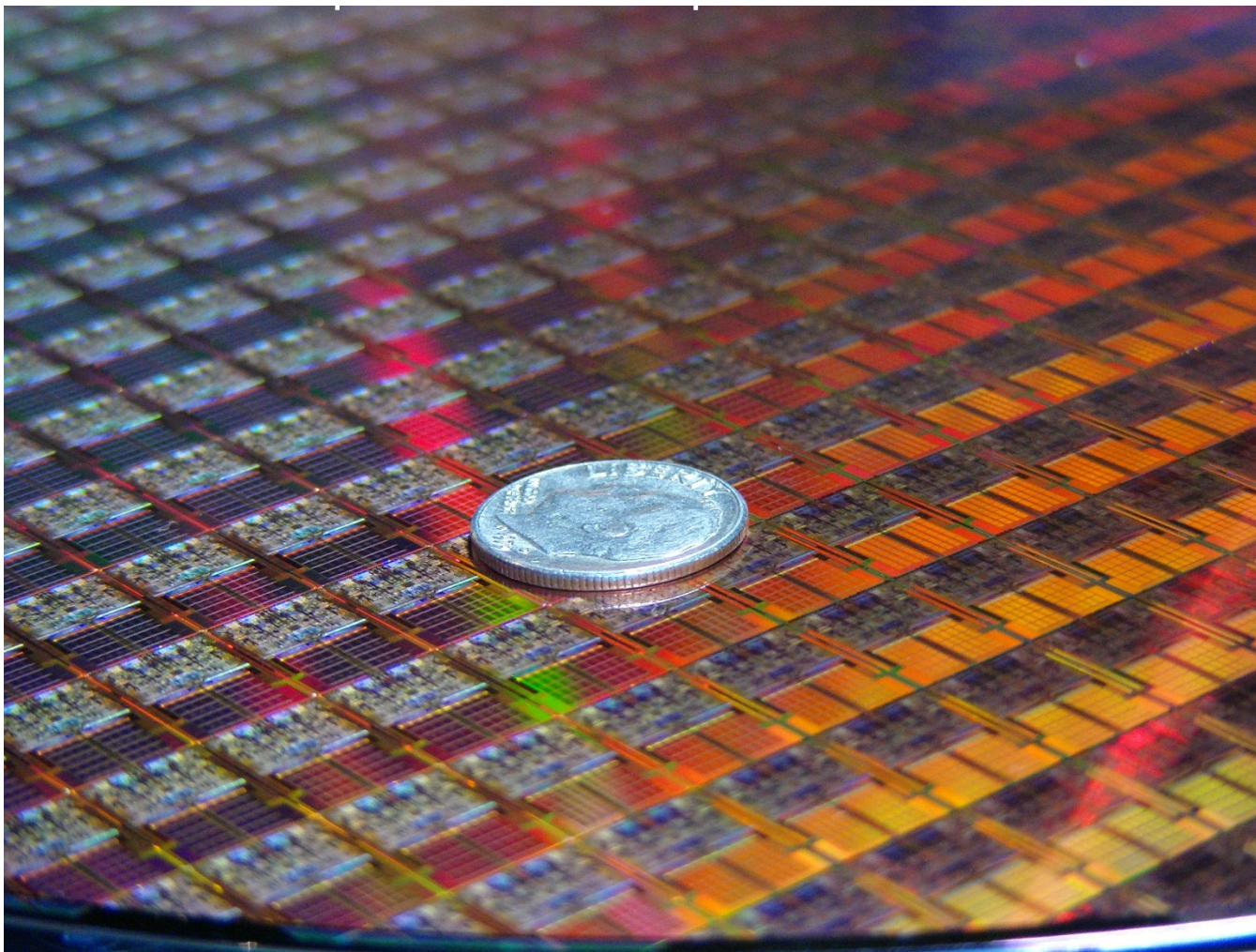
2nm tehnologija
izdelave čipov (IBM)



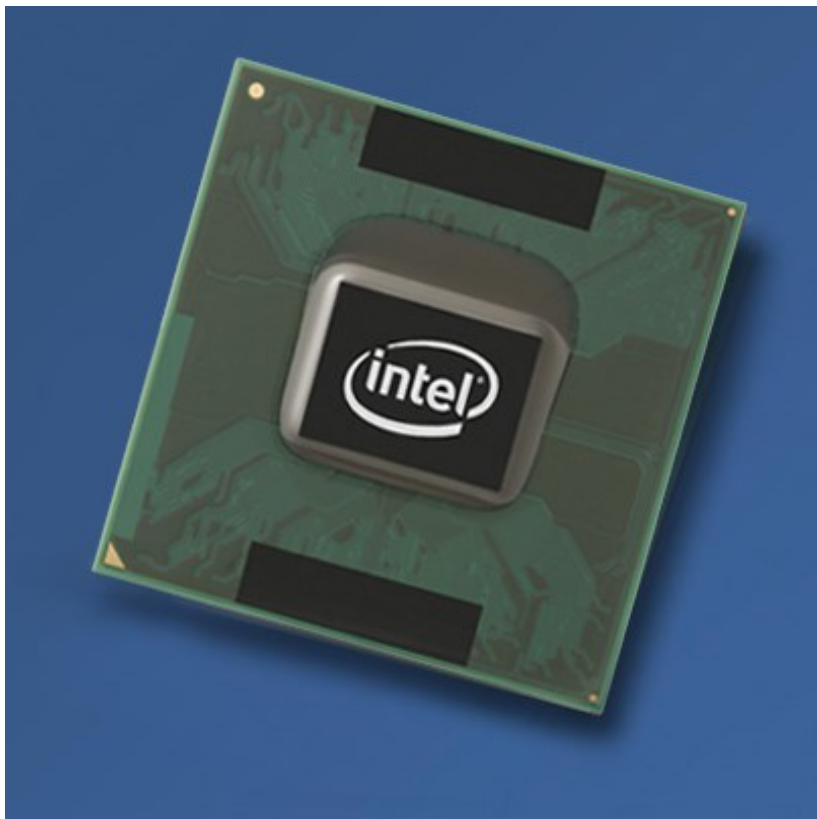
IEEE Spectrum 2021

<https://spectrum.ieee.org/ibm-introduces-the-worlds-first-2nm-node-chip>

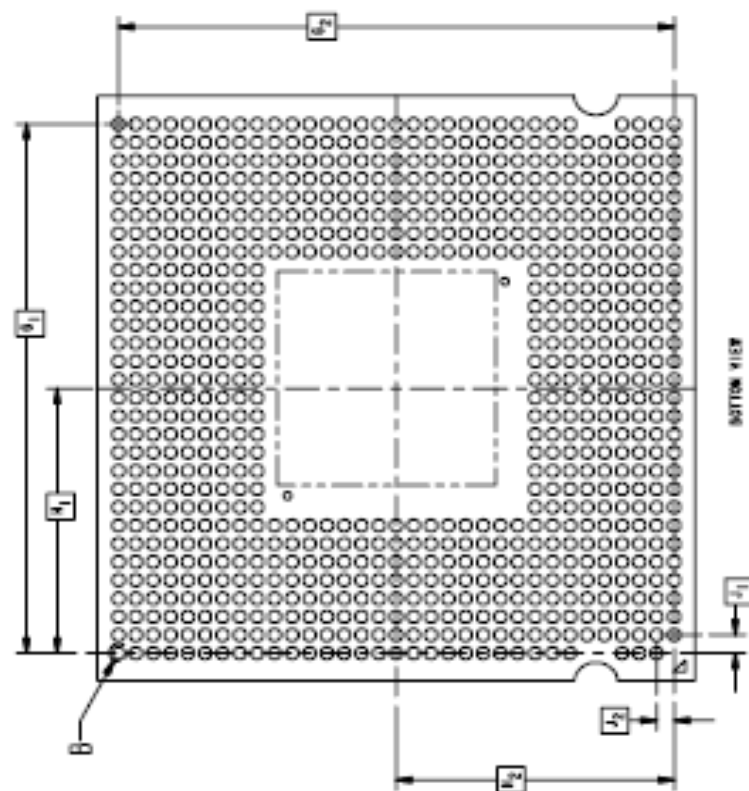
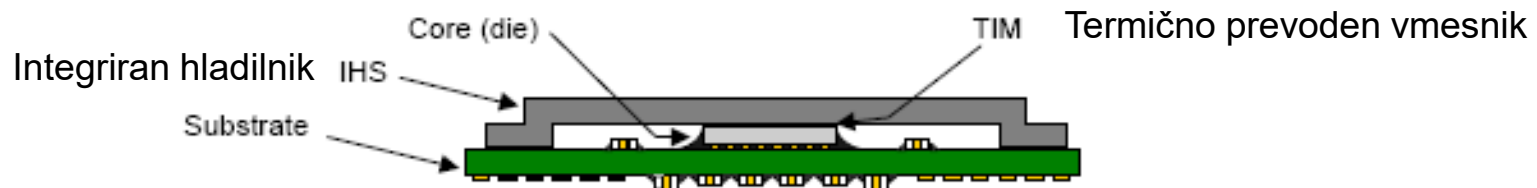
Primer čipa: Intel 80x86



Primer čipa: Intel 80x86



Primer čipa: Intel 80x86



1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih - pregled

Z večanjem stopnje integracije:

- se dimenzije tranzistorjev in povezav manjšajo
- vezja (tranzistorji) za svoje delovanje porabljajo energijo (odvečna toplota)

Zato je pomembno da :

- učinkovito distribuiramo energijo po čipu:
 - veliko število kontaktov je za napajanje (Vcc in GND)
- učinkovito odvajamo odvečno toploto :
 - hladilniki, ventilatorji

Trend zmanjšanja porabe (TDP = Thermal Design Power) :

- Intel Core i7-920 s frekv. jedra 2.66GHz; **TDP = 130W** , 45nm
- Haswell: Core i7 4771, TDP = 85 W (sept. 2013) 22nm
- Skylake: Core i7-6700, **TDP = 65W** (avg. 2015) 14nm
- AlderLake: Core i7-12700, **TDP = 65W** (jan. 2022) 10nm
- RaptorLake: Core i7-13900, Base/Max=**55/157W** (Q1'23)

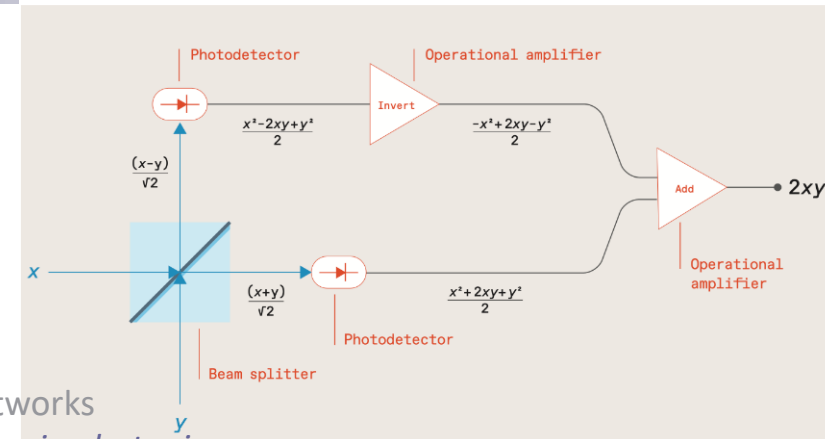
1.3.3.4 Potencialni tehnološki premiki (izbor)

Tehnologija (primer optike):

THE FUTURE OF DEEP LEARNING IS PHOTONIC

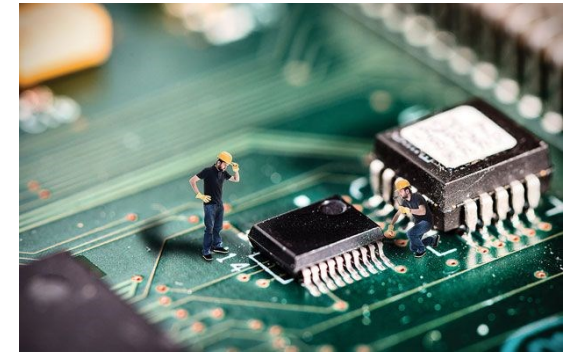
Computing with light could slash the energy needs of neural networks

Z naslova <<https://spectrum.ieee.org/the-future-of-deep-learning-is-photonic>>



Pristop – splošni ali namenski:

Engineers can cut size and power in half by stripping away unused logic gates from general-purpose microcontrollers



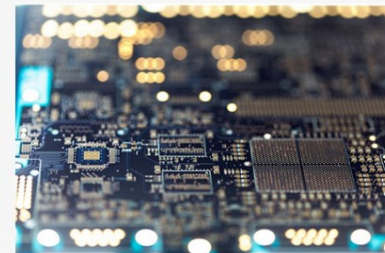
Starting with an openMSP430 microcontroller, they produced bespoke designs meant to perform applications such as the fast Fourier transform, autocorrelation, and interpolation filtering. These designs had fewer than half of the logic gates that were part of the original microcontroller design. In fact, none of the 15 common microcontroller apps they studied needed more than 60 percent of the gates. On average, the resulting chips were 62 percent smaller and consumed 50 percent less power. By exploiting the timing savings from signals traveling a shorter distance, the average power savings jumped to 65 percent.

Z naslova <<https://spectrum.ieee.org/bespoke-processors-a-new-path-to-cheap-chips>>

Dodatna gradiva, video

Izdelava tiskanega vezja – tudi najzahtevnejše tiskano vezje

Izdelava tiskanega vezja zahteva profesionalen pristop ter ogromno znanja in izkušenj. Le tako je mogoče zagotoviti, da bo tiskano vezje opravljalo svojo nalogo na dovolj visokem nivoju. Posamezne komponente, kot so kondenzatorji, uporniki ipd., so običajno prispajkane na **tiskano vezje**, pri kompleksnejših oblikah pa lahko naletimo tudi na vdelovanje elementov na podlago. Kadar nam je pomembno, da vezje omogoča čim večjo gostoto komponent, se odločimo za večslojno vezje (načeloma do 24 slojev), možna pa so tudi enostranska (z eno stranjo iz bakra) in dvostranska tiskana vezja, pri katerih imamo dve bakreni plasti.



- Posnetki o postopku izdelave VLSI vezij :

[How ST designs and manufactures semiconductor devices – YouTube \(prikažemo\)](#)

[2020: From Sand to Silicon: The Making of a Microchip | Intel Making the Microchip — At the Limits III Preview/ The Making of a chip](#)

[Intel: The Making of a Chip with 22nm/3D Transistors](#)