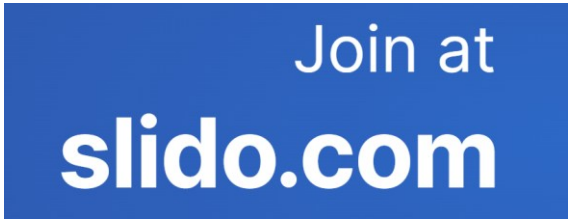
ORGANIZACIJA RAČUNALNIKOV

Povzetki predavanj

2. Osnove digitalnih vezij

© 2026, R.Rozman - FRI

Prejšnje poglavje – Uvod v OR in digitalna vezja:



- Splošni pojmi
- Zgradba in organizacija računalnika
  - Funkcijske enote kot osnovni gradniki rač.
  - Nivojska zgradba rač.
- Računalnik na nivoju digitalne logike
  - Osnove digitalnih vezij (stikalo, tranzistor)
  - Realizacija logičnih vrat v digitalnih vezjih (NOT,NAND,NOR)
  - Digitalna vezja visoke stopnje integracije – VLSI (razvoj, postopek izdelave,potencialne težave)

© 2026, R.Rozman - FRI

Način dela, dodatna gradiva :



- „No sheeping !!!“, „Flipped learning“:
  - https://www.youtube.com/watch?v=QOy7IB-P3nk
- Valvano: Embedded Systems - Shape The World
  - Ebook:
    - http://users.ece.utexas.edu/~valvano/Volume1/E-Book/
      - Chapter 3: Electronics
      - Chapter 4: Digital Logic
      - Chapter 5: Introduction to C
      - zanimiva tudi ostala poglavja

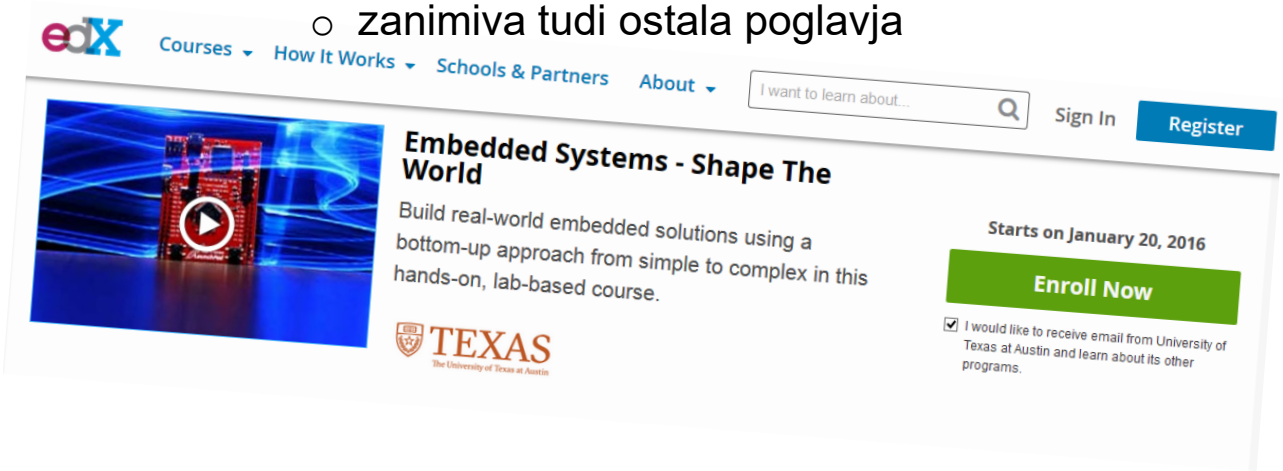
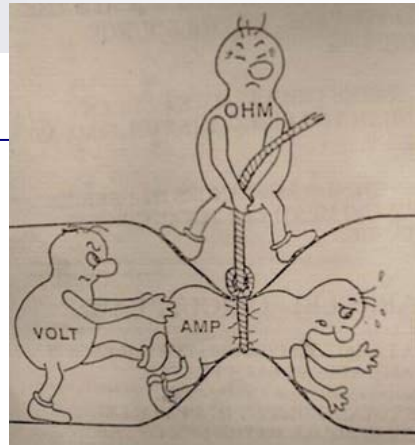


Table of Contents

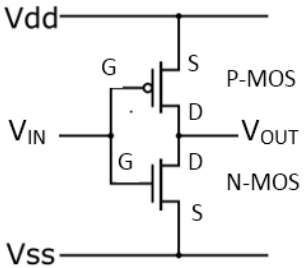
- Chapter 1: Introduction
- Chapter 2: Fundamental Concepts
- Chapter 3: Electronics
- Chapter 4: Digital Logic
- Chapter 5: Introduction to C
- Chapter 6: Microcontroller Ports
- Chapter 7: Design and Development Process
- Chapter 8: Switches and LEDs
- Chapter 9: Arrays and Functional Debugging
- Chapter 10: Finite State Machines
- Chapter 11: UART - The Serial Interface
- Chapter 12: Interrupts
- Chapter 13: DAC and Sound
- Chapter 14: ADC and Data Acquisition
- Chapter 15: Systems Approach to Game Design
- Appendix: Reference Material
- Video links: Web links to videos (All chapters 1
- Closed caption files: Closed caption srt files
- Index: Index of terms and concepts



Namen in cilji 2. poglavja:

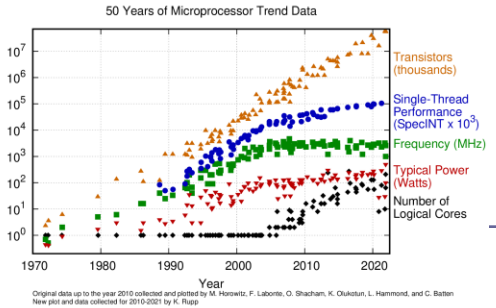
Razumevanje :

- osnovnih pojmov: el. napetost, tok, upornost
- enostavnih tokokrogov: LED dioda, upori, stikalo, tranzistorji



- osnovnih lastnosti digitalnih vezij
- delovanja (načrtovanja) digitalnih vezij

- razvojnih problemov in tehnoloških omejitev
- vzrokov za pojav paralelizma in kaj z njim?

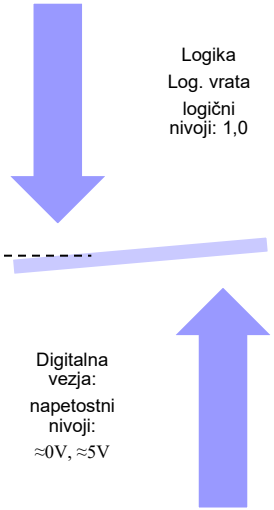


© 2026, R.Rozman - FRI

2. Osnove digitalnih vezij

2.1 Prehod iz logičnega modela v digitalna vezja

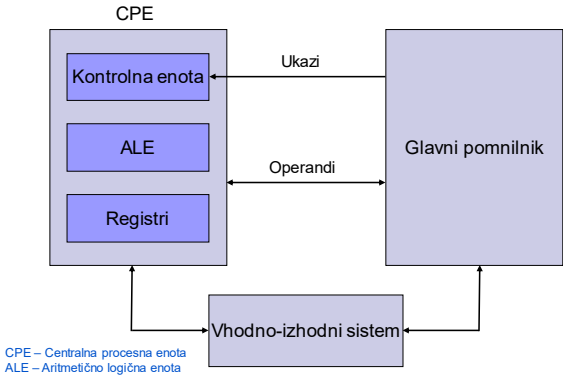
- Računalnik je sestavljen iz gradnikov:
  - „logična vezja“ „LOGIČNI MODEL“
  - “digitalna vezja“, „REALIZACIJA“
  - včasih: „preklopna“



© 2026, R.Rozman - FRI

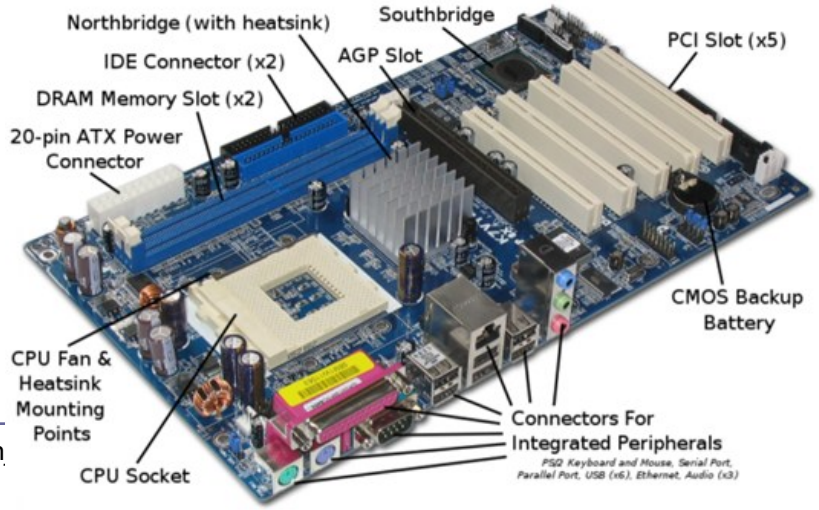
2.1 Prehod iz logičnega modela v digitalna vezja

- Von Neumannov (VN) model:



Logika
Log. vrata
logični nivoji: 1,0

- Realizacija VN -> „digitalna vezja“:

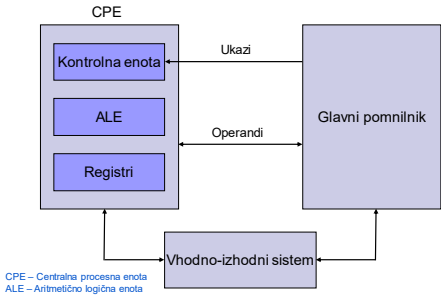


Digitalna vezja:
napetostni nivoji:
≈0V, ≈5V

© 2026, R.Rozman - FRI

2.1 Prehod iz logičnega modela v digitalna vezja

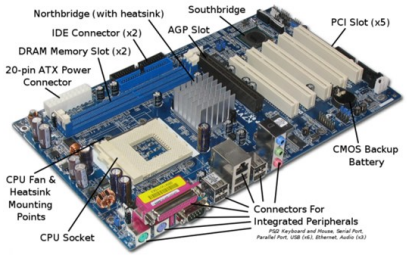
- Von Neumannov (VN) model:
  - Matematični, logični model rač. (do nivoja log. vrat)
    - CPE, pomnilnik, V/I, povezave
    - ne predpisuje realizacije, tehnologije



Logika
Log. vrata
logični nivoji: 1,0

- Realizacija VN -> „digitalna vezja“:
  - posebni čipi VLSI
    - (CPE, Pomn., V/I, grafika, zvok, …)
  - „mikroprocesorsko lepilo“ – standardna digit. vezja
    - povezovanje VLSI vezij
    - komunikacije (ETH, RS232, …)

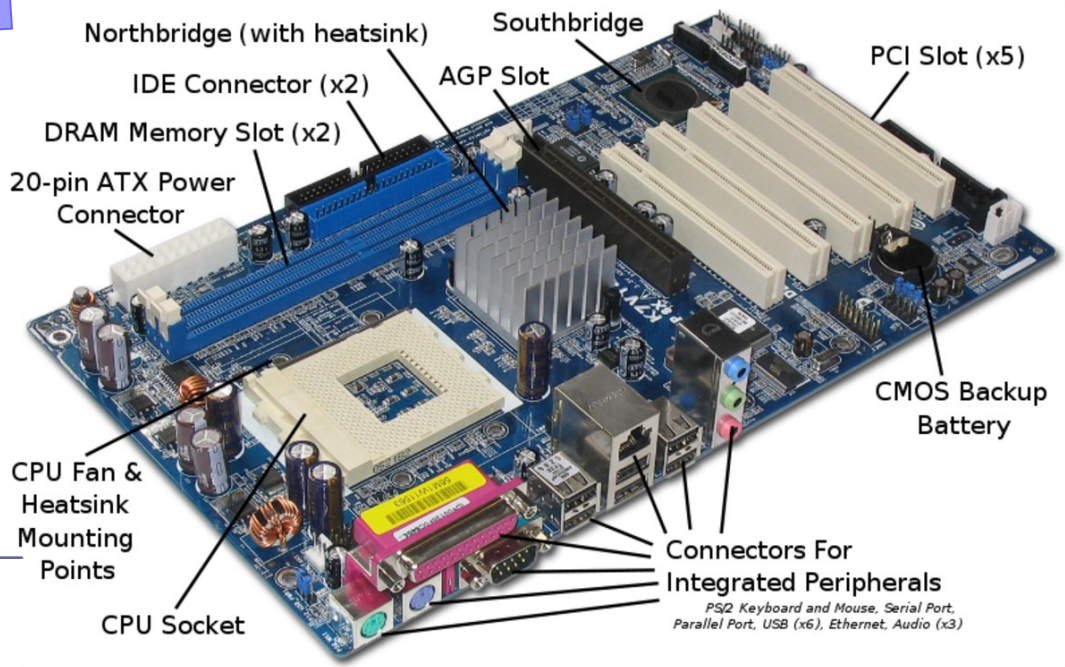
Digitalna vezja:
napetostni nivoji:
≈0V, ≈5V



© 2026, R.Rozman - FRI

2.1 Prehod iz logičnega modela v digitalna vezja

- Realizacija VN -> „digitalna vezja“:
  - posebni čipi VLSI
    - (CPE, Pomn., V/I, grafika, zvok, …)
  - „mikroprocesorsko lepilo“ – standardna digit. vezja
    - povezovanje VLSI vezij
    - komunikacije (ETH, RS232, …)



2.2 Lastnosti digitalnih vezij

- Danes:
  - digitalna vezja so skoraj vsa elektronska
- Prihodnost ?:
  - optika, biočipi, kvantni rač., …
  - najprej kot manjša, namenska vezja

Elektronska realizacija digitalnih vezij:

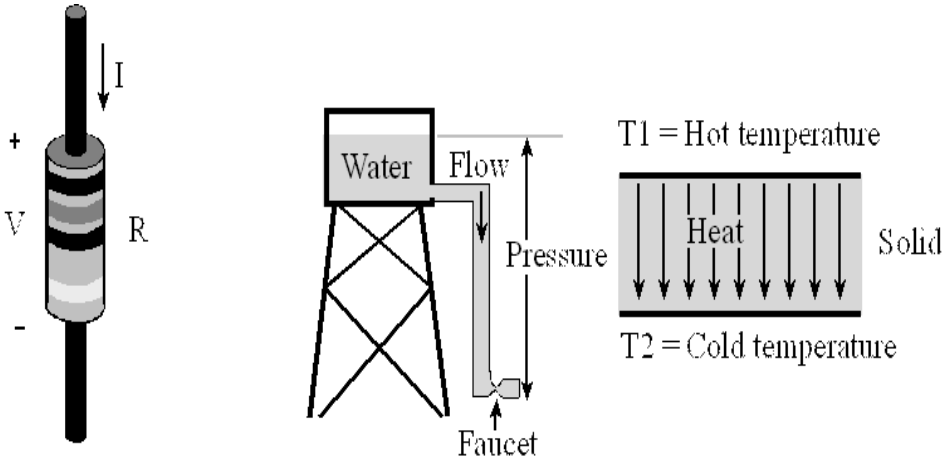
- pomanjkljivosti (težave)
  - odstopanje od log. ideala 0,1 -> napetostni nivoji
  - težje načrtovanje (potrebno znanje, izkušnje)
  - poraba, toplota
- prednosti
  - visoka stopnja standardizacije (TTL,CMOS,…)

© 2026, R.Rozman - FRI

2.2.1 Osnove elektronskih vezij

2.2.1.1 Osnovni pojmi

- **Električni tok - I [A]:**
  - DEF: količina el. naboja (običajni nosilci so elektroni), ki preteče v nekem času
    - 1 Amper := 1A = $6.241*10^{18}$ elektronov/sek = 1 Coulomb/sek
    - smer: definirana obratno od smeri gibanja elektronov (tok pozitivnega naboja)

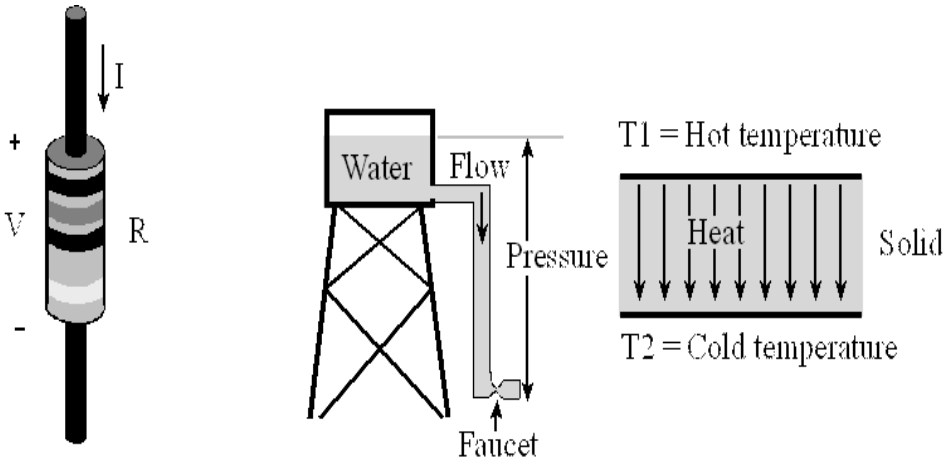


© 2026, R.Rozman - FRI

2.2.1 Osnove elektronskih vezij

2.2.1.1 Osnovni pojmi

- **Električna napetost - U [V]:**
  - DEF: razlika električnih potencialov v dveh točkah
  - »povzroči el. tok v sklenjenem tokokrogu«
  - označena v dveh točkah s + (višji potencial) in – (nižji potencial)

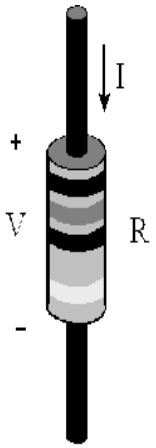


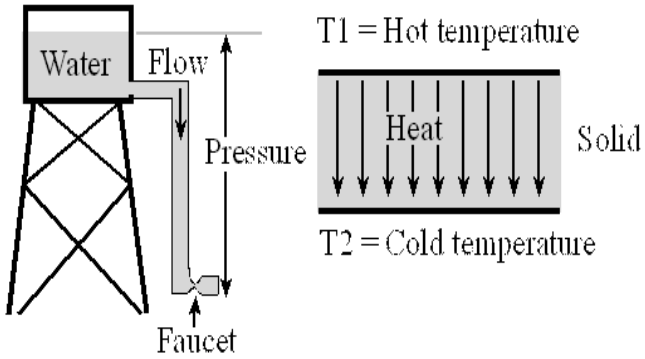
© 2026, R.Rozman - FRI

2.2.1 Osnove elektronskih vezij

2.2.1.1 Osnovni pojmi

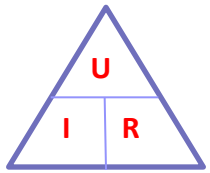
- **Električna upornost - R [Ω]:**
  - „ovira pretok naboja“
  - 2 vrsti prevodnikov :
    - žica: zanemarljiva upornost (≈0Ω)
    - upor (upornik) deklarirana upornost v Ω





© 2026, R.Rozman - FRI

2.2.1.1 Osnovni pojmi



- **Ohmov zakon:**
  - izraža relacijo med napetostjo, tokom in upornostjo
    - **U, I sorazmerna: $U = I R$, $I=U/R$, $R=U/I$**

- **Električna moč - $P = U I$ [W]**
  - **$P = U I = U^2/R=I^2 R$**

- **Električna energija - $E = P t$ [J = W s]**
  - **$E = P t = U I t$**

- **Kapaciteta baterije - $Q = I t$ [Ah]**
  - el. naboj, ki ga baterija zagotovi ob določeni napetosti

© 2026, R.Rozman - FRI

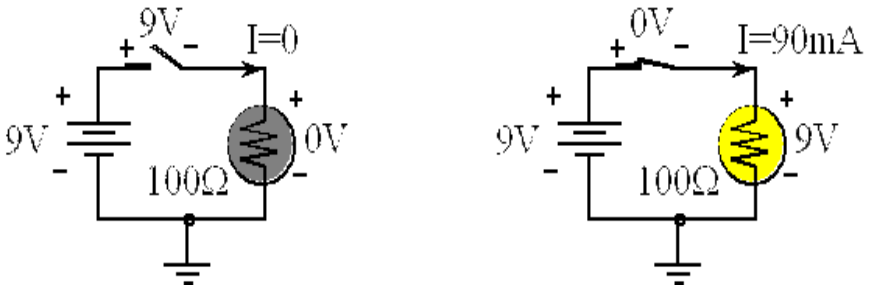
2.2.1.2 Osnovna pravila tokokrogov

http://www.falstad.com/circuit/e-resistors.html

1. Električni tok teče samo v sklenjenem tokokrogu (zanki)

2. Kirchoffov napetostni zakon (KVL - Kirchoff's Voltage Law)

- **DEF:** Vsota vse padcev napetosti v zaključeni zanki je enaka 0
- Primer:

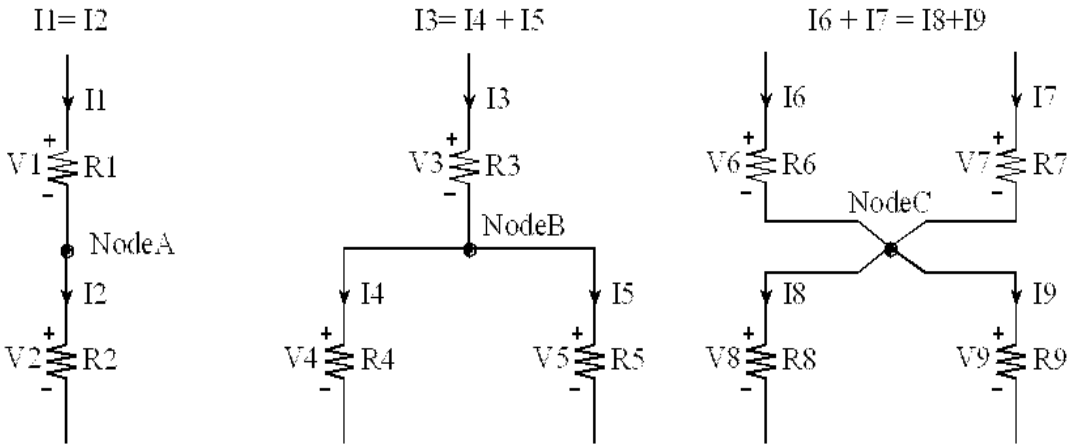


© 2026, R.Rozman - FRI

2.2.1.2 Osnovna pravila tokokrogov

3. Kirchoffov tokovni zakon (KCL - Kirchoff's Current Law)

- **DEF: Vsota tokov v vozlišče je enaka vsoti tokov iz vozlišča**

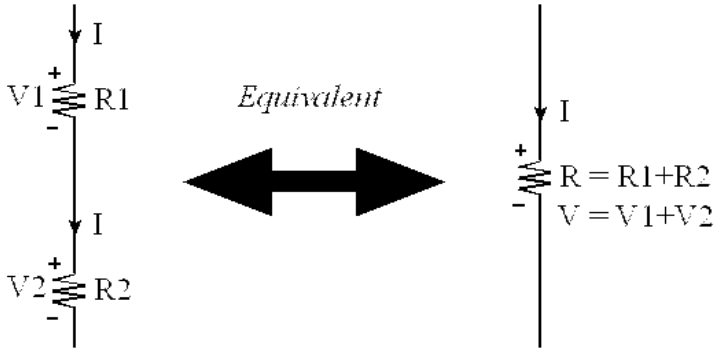


© 2026, R.Rozman - FRI

2.2.1.2 Osnovna pravila tokokrogov

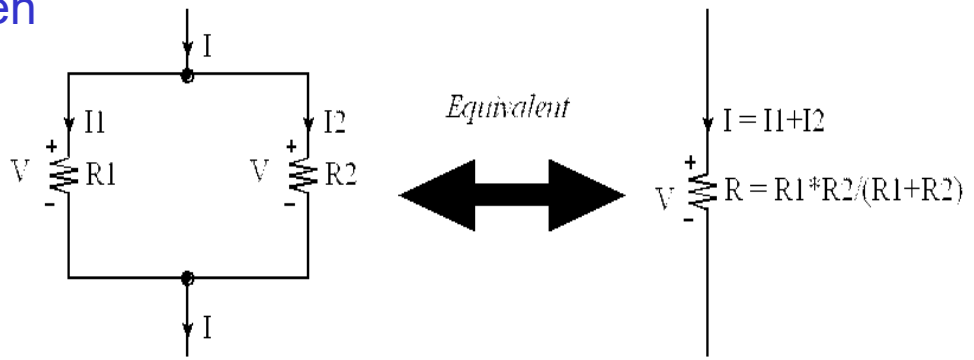
4. Zaporedna vezava upornikov

- enak tok skozi upore
- upornosti in padci napetosti se seštevajo



5. Vzporedna vezava upornikov

- enak padec napetosti na vseh
- različni tokovi skozi upore
- 1/R = 1/R1 + 1/R2 + …

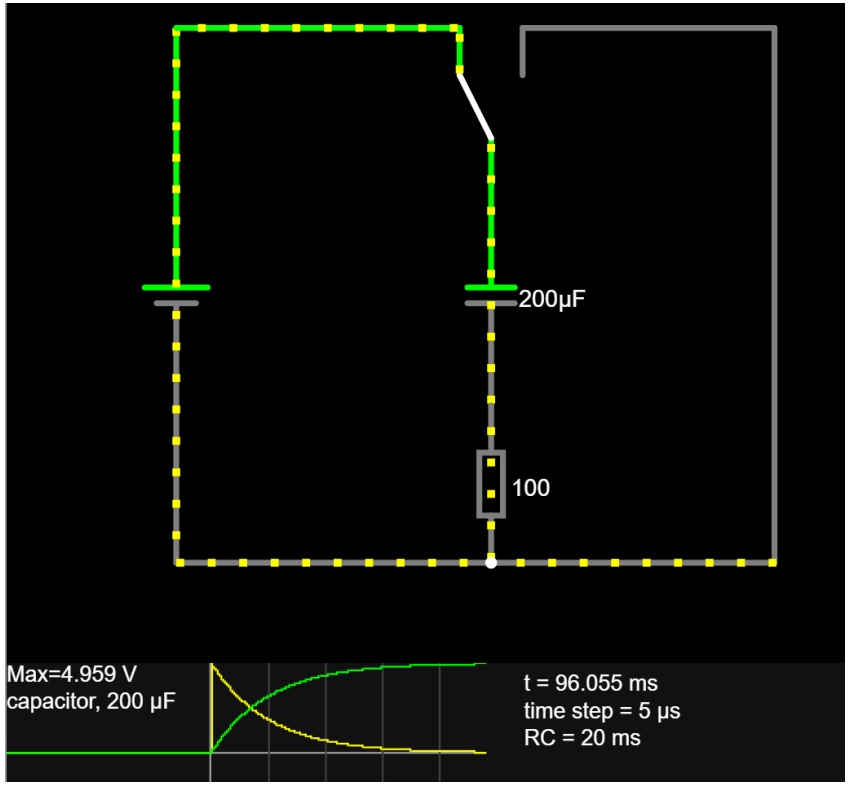


© 2026, R.Rozman - FRI

2.2.1.3 Kapacitivnost in induktivnost

Kapacitivnost (kondenzator) – C [F]

- začasno shranjuje naboj (energijo električnega polja)
- nasprotuje hitrim spremembam napetosti
  - i = C du/dt
- polnjenje: el. tok pada, napetost raste
- praznjenje: naboj se sprosti
- uporaba: glajenje napetosti, izravnava tokovnih špic, DRAM, „de-bounce“
- tudi neželen učinek



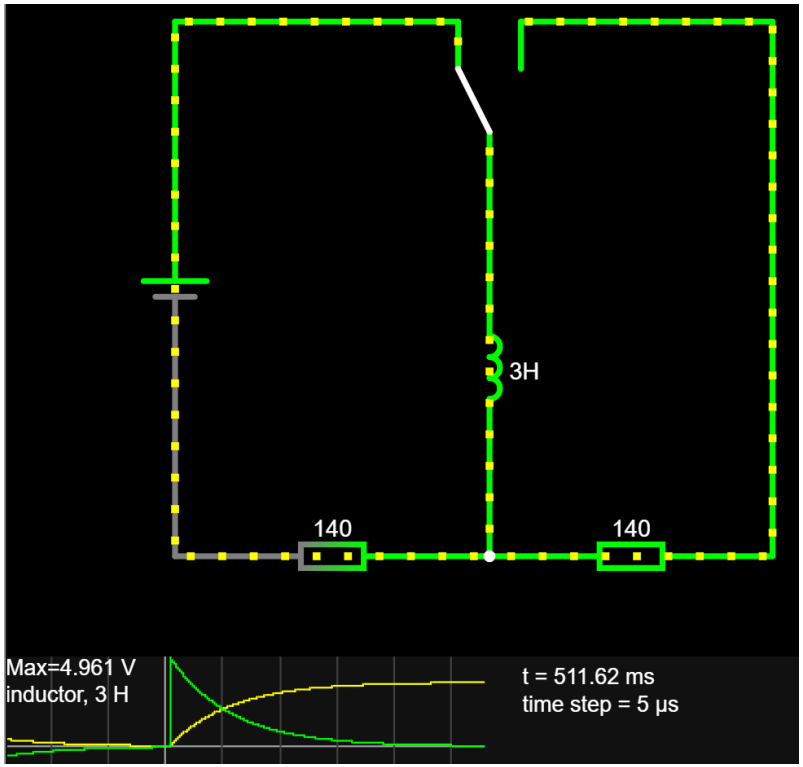
https://www.falstad.com/circuit/e-cap.html

© 2026, R.Rozman - FRI

2.2.1.3 Kapacitivnost in induktivnost

Induktivnost (tuljava) – L [H]

- začasno shranjuje energijo magnetnega polja
- nasprotuje hitrim spremembam toka
  - u = L di/dt
- polnjenje: el. tok raste, napetost pada
- praznjenje: tok pada, napetostna špica
- uporaba: omejitev zagonskih tokov, dušilke, feritni filtri (EMI)
- tudi neželen učinek



https://www.falstad.com/circuit/e-induct.html

© 2026, R.Rozman - FRI

2.2.2 Družine digitalnih vezij

Najbolj znane so tri skupine (družine):

- TTL vezja (Transistor Transistor Logic)
- CMOS vezja (Complementary Metal Oxide Semiconductor)
- ECL vezja (Emitter Coupled Logic)
- …

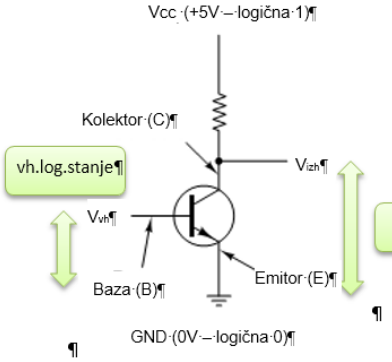
© 2026, R.Rozman - FRI

2.2.2.1 Družina TTL digitalnih vezij

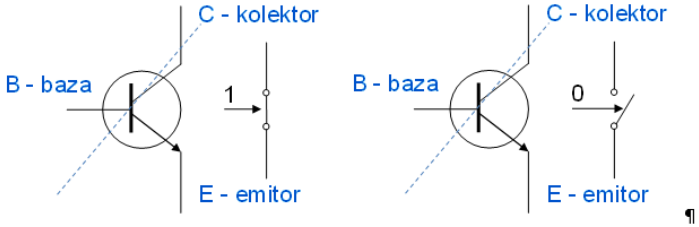


Uporaba

- enostavni sistemi
- „lepilo“



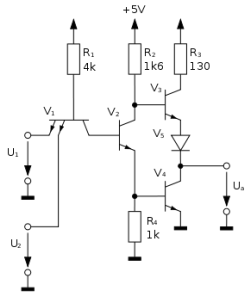
vh.log.stanje baza-emitor	Vvh	izh.log.stanje kolektor-emitor	Vizh
1	5V(3.3V)	0	0V
0	0V	1	5V(3.3V)



http://www.falstad.com/circuit/e-transswitch.html

Razvoj

- 1961 .. Patent (James Buie)
- 1963 .. Komercialno IC vezje
- 1964 .. 54xxx, 74xxx (Texas Instr.)
- 1985 .. 74A(L)Sxxx
- 2017 .. še vedno na voljo



© 2026, R.Rozman - FRI

2.2.2.1 Družina TTL digitalnih vezij - poddružine

Oznaka	Opis	typ t_p [ns]	moč[mW]
74xxx	najstarejša, se ne uporablja več	10	10
74Lxxx	(Low Power): manjša poraba, a počasnejši	33	1
74Hxxx	(High Speed): večja hitrost, večja poraba	6	22
74Sxxx	(Schottky) S-dioda preprečuje zasičenje - 3x hitr. od 74xxx, 2x večja poraba energije	3	19
74LSxxx	(Low Power + Schottky): standard, nadomesti L,H in S serijo. Najbolj razširjen.	9.5	2
74Fxxx	(Fast) - 1985	3	5.4
74ASxxx	(Advanced Schottky)	1.7	8
74ALSxxx	(Advanced Low Power + Schottky)	4	1.2

© 2026, R.Rozman - FRI

2.2.2.1 Družina TTL digitalnih vezij



Prednosti:

- na začetku je predstavljala velik napredek
- enostavno načrtovanje (mešanje, povezave ena->več)
- manjša občutljivost na statična praznjenja (kot CMOS)

Slabosti:

- statična poraba - večja kot CMOS
- asimetrija upornosti v stanjih – neprimerno za vodila

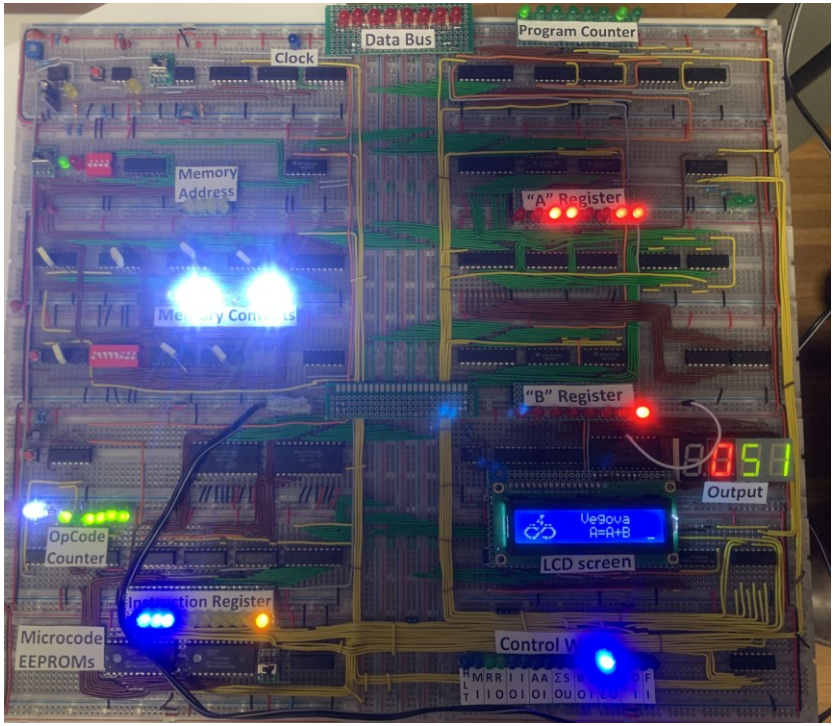
© 2026, R.Rozman - FRI

74xxx_Computer_project.mp4

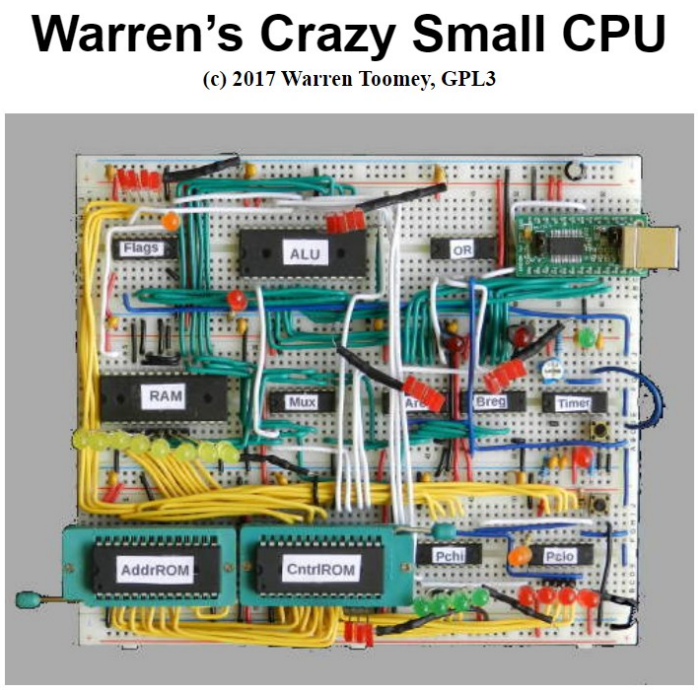
2.2.2.1 Družina TTL digitalnih vezij

Zanimivo:

Breadboard Computer



74xxx_Computer_project.mp4



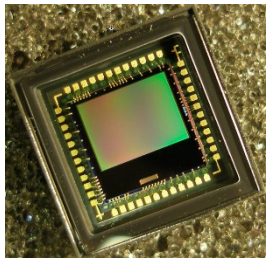
https://minnie.tuhs.org/Programs/CrazySmallCPU/index.html

© 2026, R.Rozman - FRI

2.2.2.2 Družina CMOS digitalnih vezij







Uporaba

- mikroproc., mikrokrmilniki, SRAM
- digitalna vezja
- slikovna tipala

Razvoj

- do 1980 .. počasnejša od TTL
- 1976-> .. prevladuje v razmerju proc. moč/poraba
- 1990+ -> .. najpogostejša v VLSI vezjih

© 2026, R.Rozman - FRI

2.2.2.2 Družina CMOS digitalnih vezij - poddružine

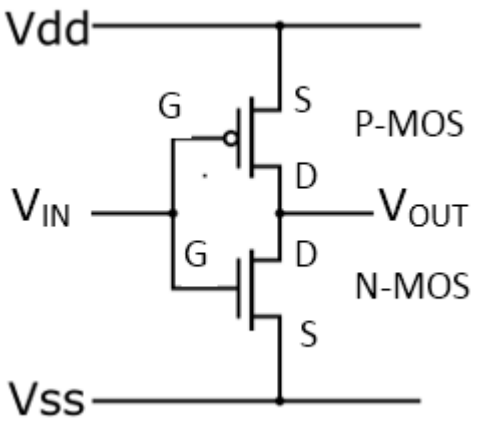
Oznaka	Opis	typ t_p [ns]	moč[mW]
74Cxxx	Enak razpored kot TTL 74xxx, nima TTL nivojev!	50	0.8
74HCxxx	(High-speed CMOS) hitrost enaka 74LS (TTL), 5xhitrejša od 74Cxxx	9	0.9
74HCTxxx	(združljiva s TTL vezji)	9	0.9
74ACxxx	(Advanced …) hitrost enaka 74AS in 74F (TTL)	3	0.8
74ACTxxx	(združljiva s TTL)	3	0.8
74AUCxxx	(Advanced Ultra Low Voltage CMOS)	2	
ASIC – VLSI	90nm tehnologija, realizacija tranz. na čipu	0.12	

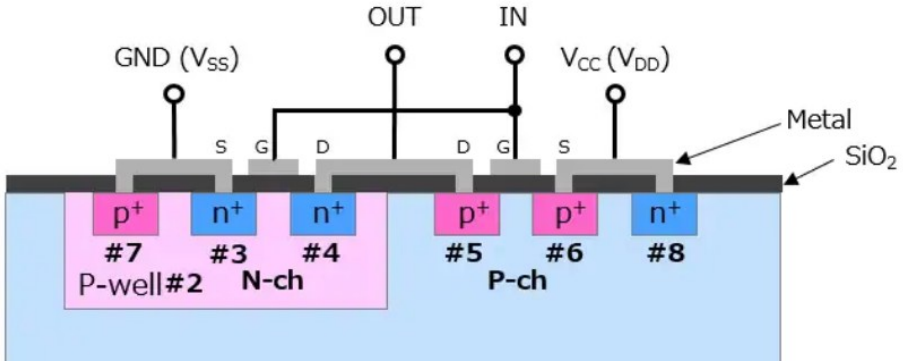
© 2026, R.Rozman - FRI

2.2.2.2 Družina CMOS digitalnih vezij

Realizacija – negator kot osnovni element

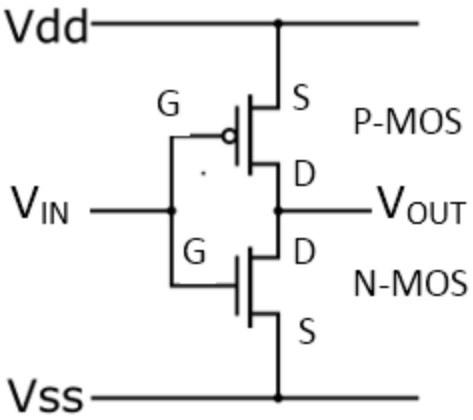
- komplementarni par tranzistorjev (P-MOS in N-MOS):
  - V_{IN} =H -> P-MOS..OFF N-MOS..ON V_{OUT} =L (Vss)
  - V_{IN} =L -> P-MOS..ON N-MOS..OFF V_{OUT} =H (Vdd)

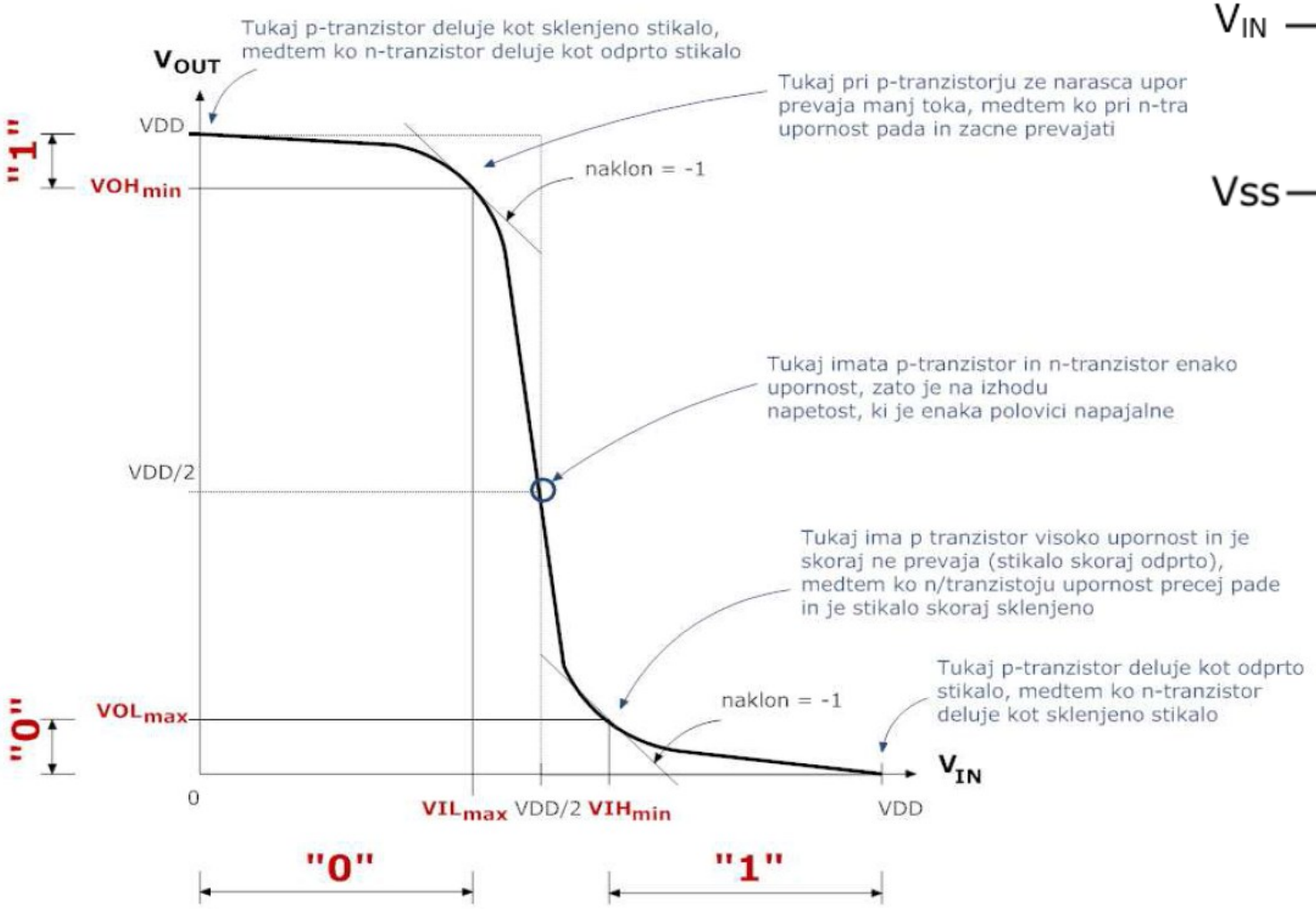




© 2026, R.Rozman - FRI

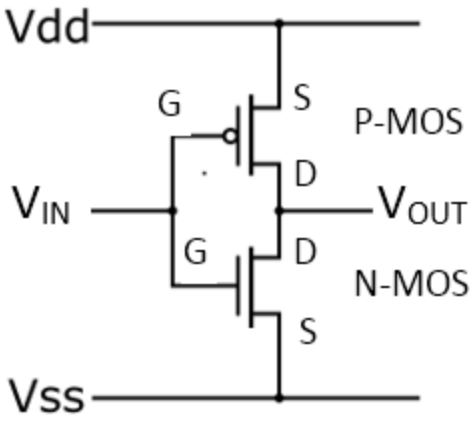
2.2.2.2 Družina CMOS digitalnih vezij

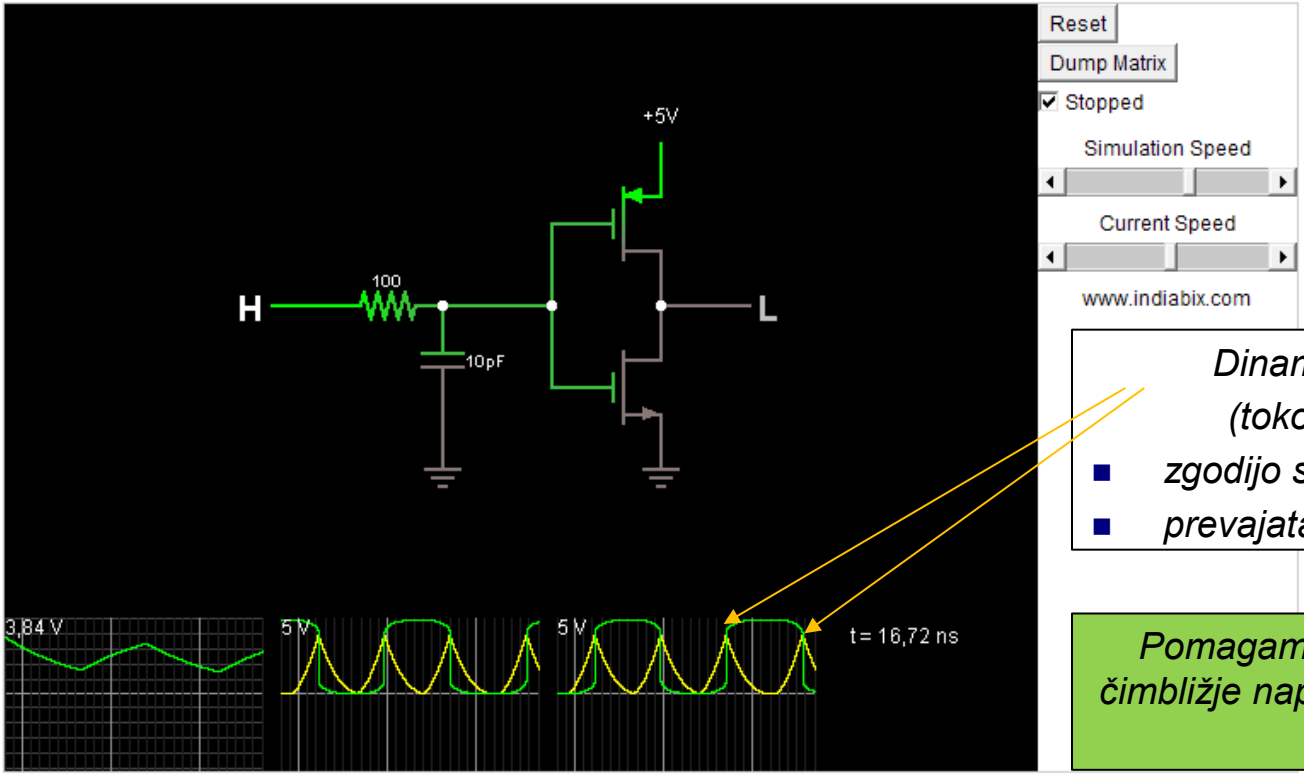




© 2026, R.Rozman - FRI

2.2.2.2 Družina CMOS digitalnih vezij





Dinamična poraba (tokovne špice) :

- *zgodijo se ob preklopu*
- *prevajata oba tranzistorja*

Pomagamo s kondenzatorji čimbližje napajalnim priključkom čipov.

Circuit Description:

This is an inverter with a filter on the input to cause it to change more slowly. It shows that there is a spike in current across the inverter when the input is in transition, causing power consumption whenever the gate changes state.

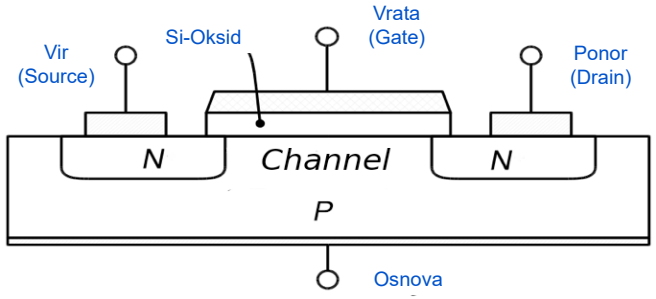
http://www.falstad.com/circuit/e-cmosinverterslow.html

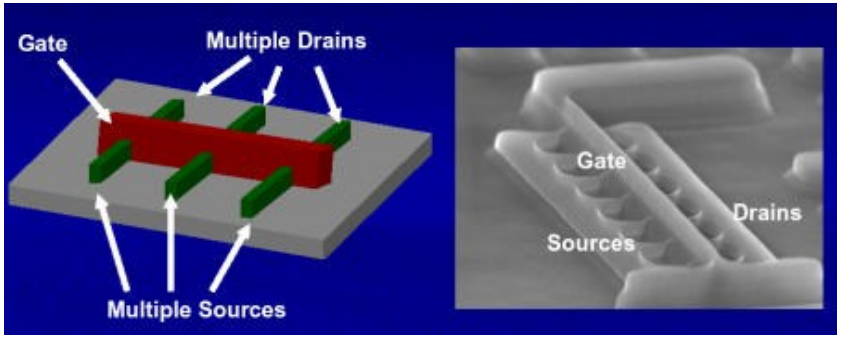
© 2026, R.Rozman - FRI

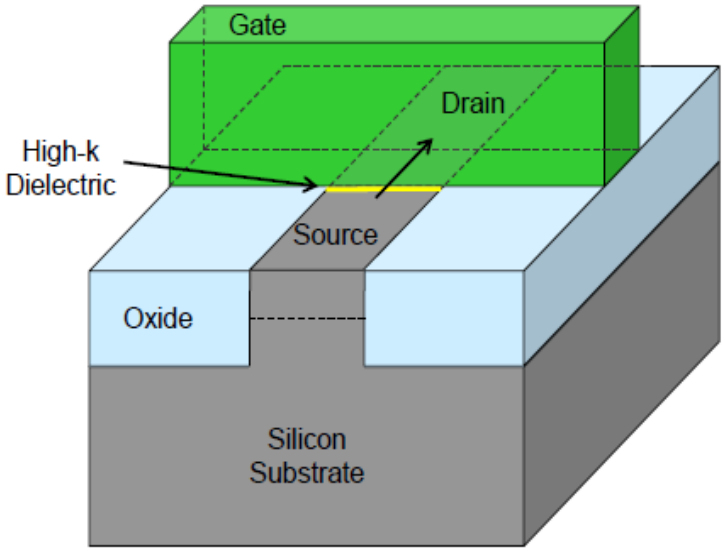
2.2.2.2 Družina CMOS digitalnih vezij

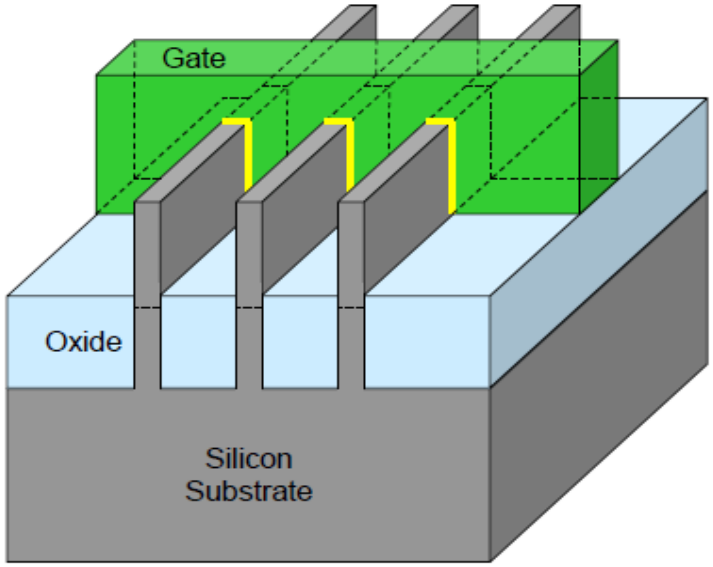
Evolucija realizacije CMOS tranzistorja :

2D - Planar → *3D - TriGate*



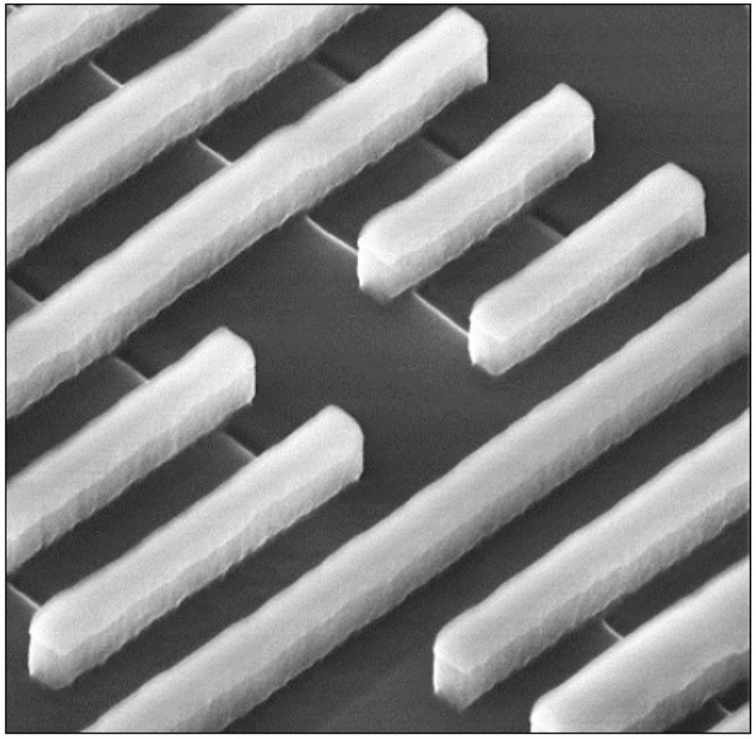


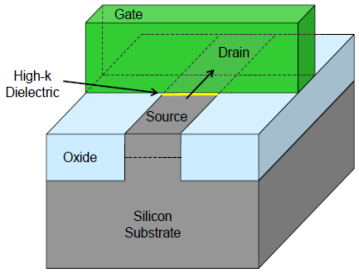




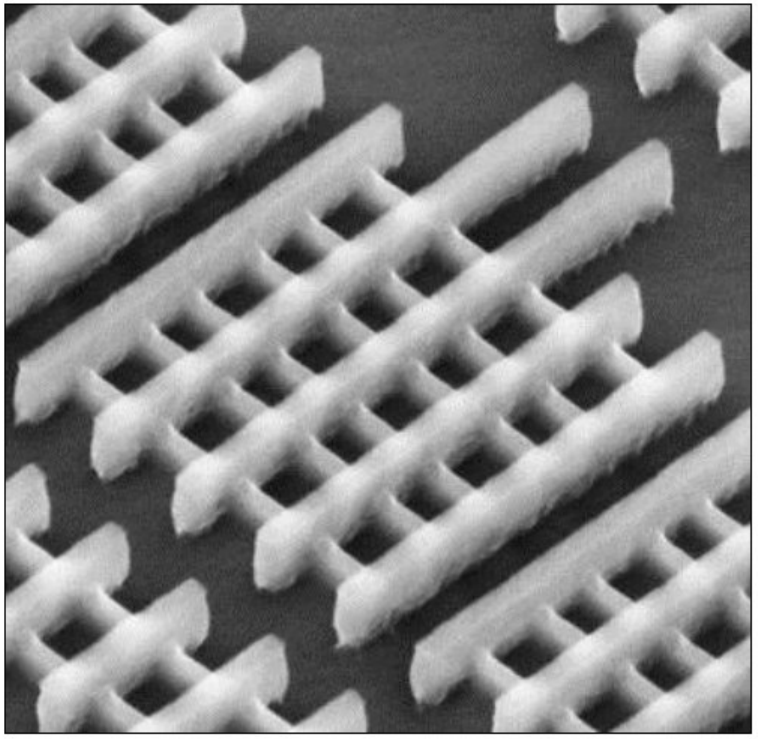
Realizacije CMOS tranzistorja :

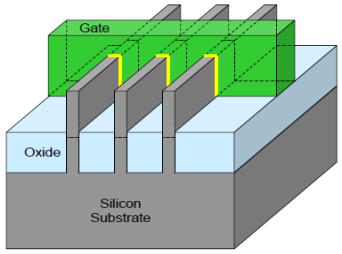
32 nm Planar Transistors





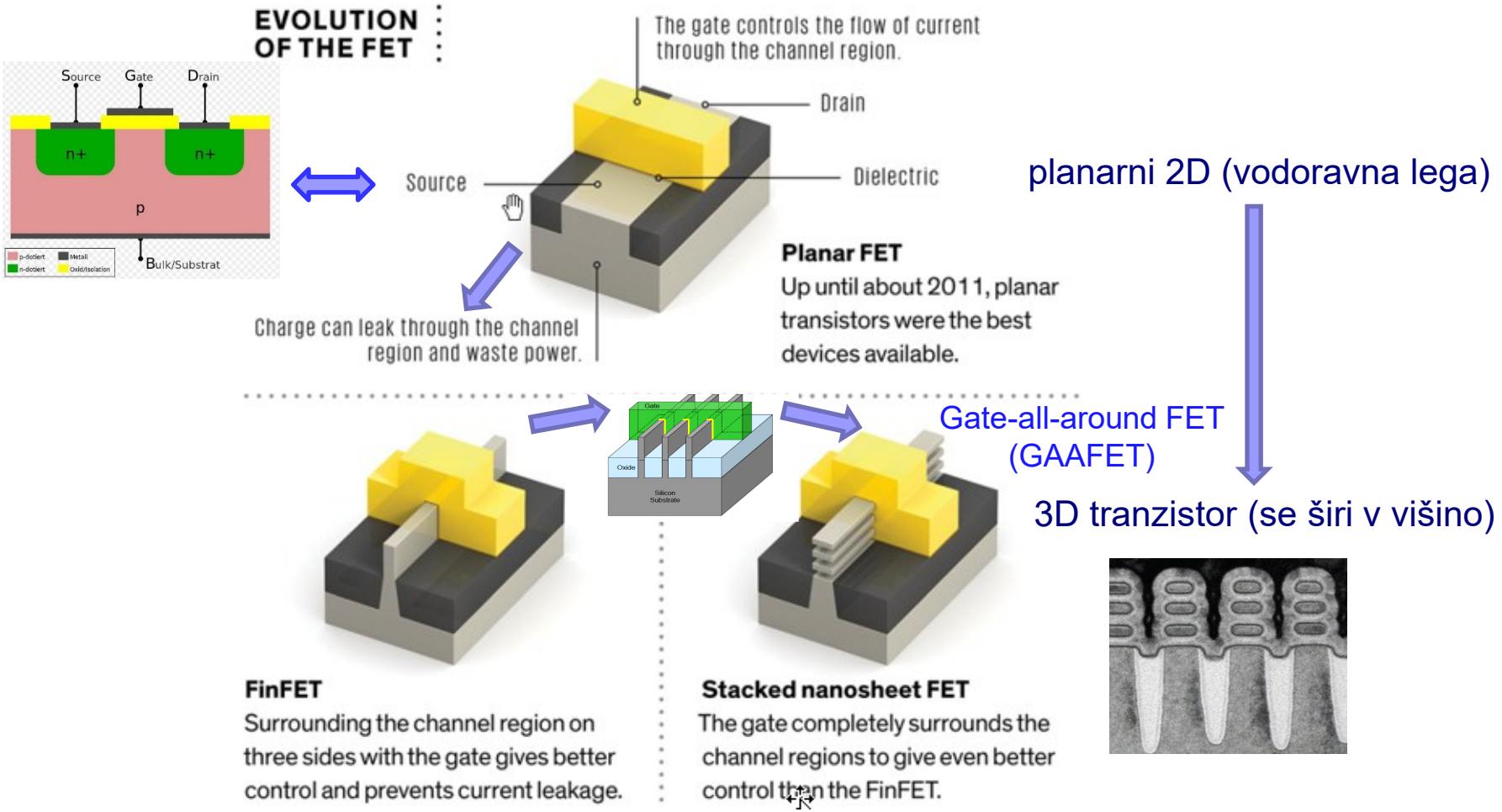
22 nm Tri-Gate Transistors





Razvoj tranzistorjev v najsodobnejših vezjih:

- prehod iz vodoravne (2D) v navpično obliko (3D) -> manjša površina, večja gostota !!!



© 2026,

Premer Si atoma je 0.24nm!!!

2.2.2.2 Družina CMOS digitalnih vezij

Prednosti:

- majhna statična poraba (red velikosti nA)
- odpornost na šum
- omogoča VLSI

Slabosti:

- dinamična poraba (preklop-tokovna špica, frekvenca)
- statična poraba (v VLSI – št. tranzistorjev)

© 2026, R.Rozman - FRI

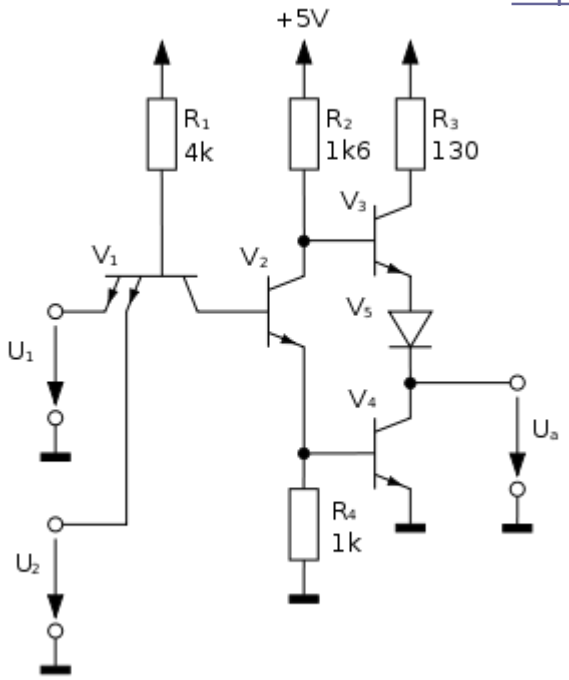
2.2.2.2 Tipična TTL in CMOS NAND vrata

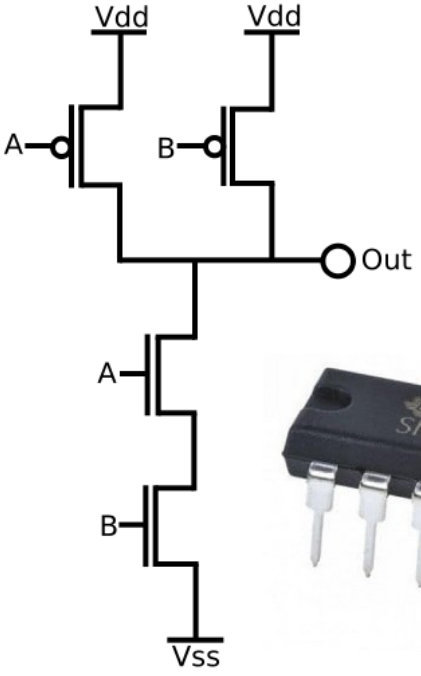
http://www.falstad.com/circuit/e-ttlnand.html

http://www.falstad.com/circuit/e-cmosnand.html







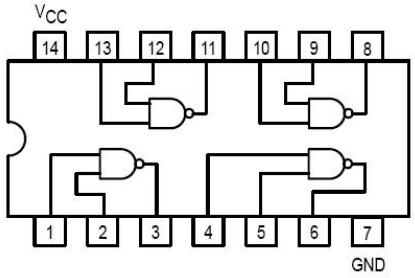




A1	B1	X1
0	0	1
0	1	1
1	0	1
1	1	0



TTL



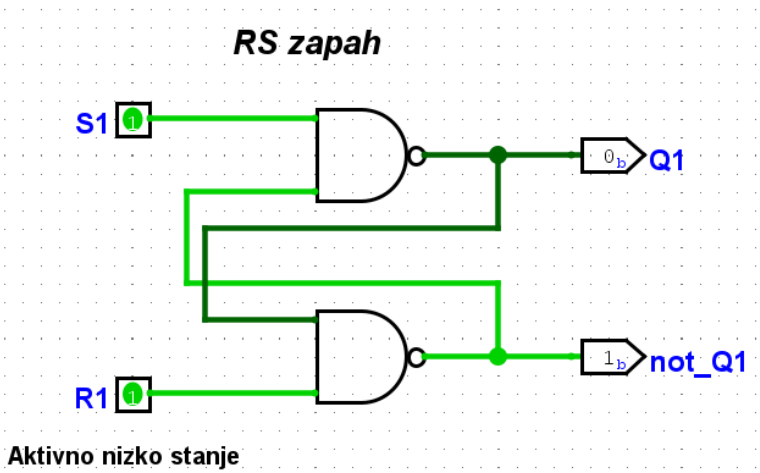


CMOS

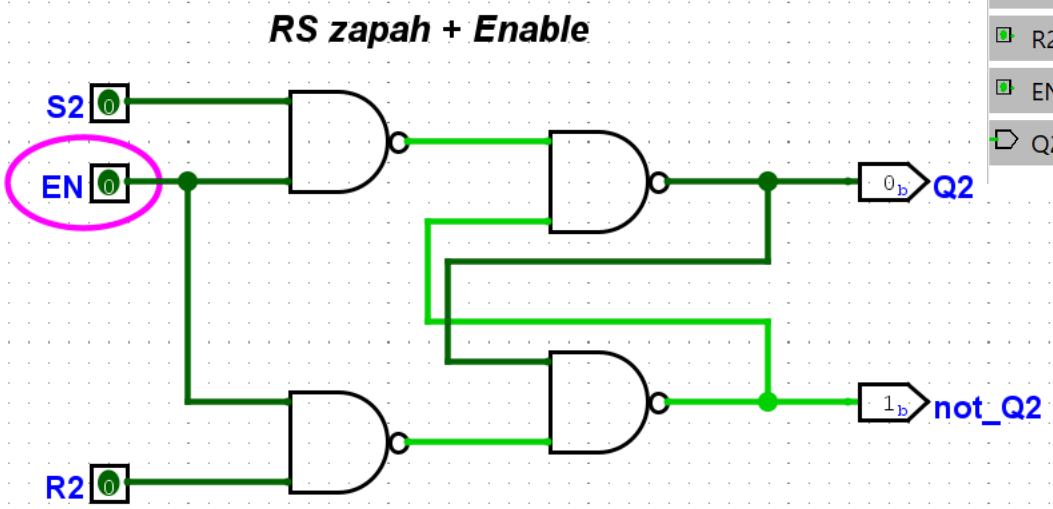
© 2026, R.Rozman - FRI

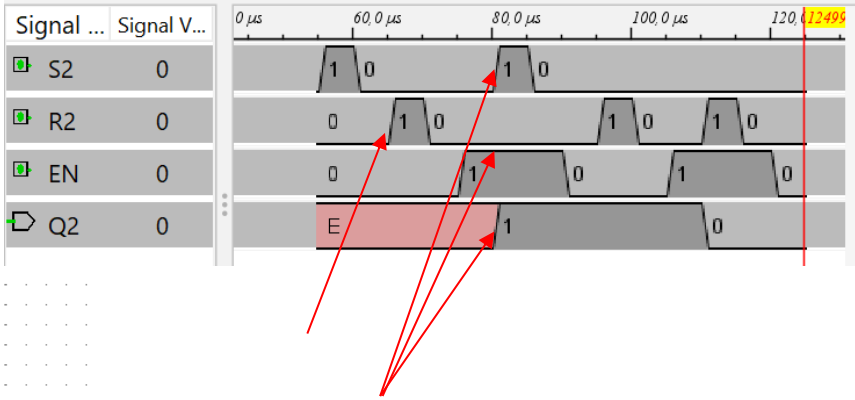
2.2.3 Pomnilne celice I

- RS zapah („bistabil“):
  - asinhronski



- RS zapah in urin signal (nivo):



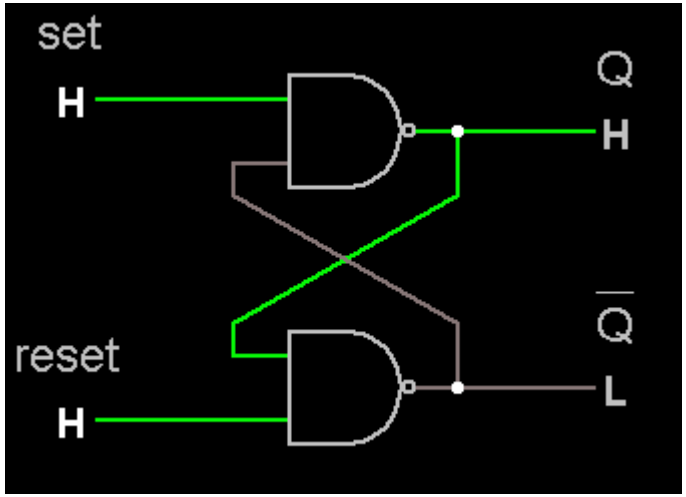


Reagira ob EN=1

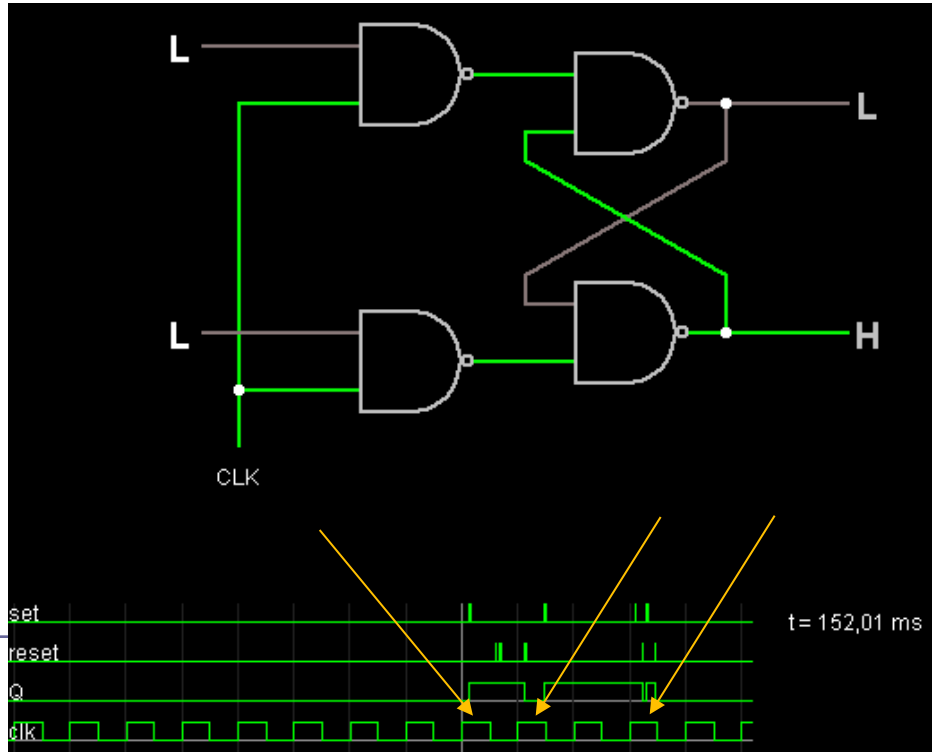
© 2026, R.Rozman - FRI

2.2.3 Pomnilne celice I

- RS zapah („bistabil“):
  - https://www.falstad.com/circuit/e-nandff.html

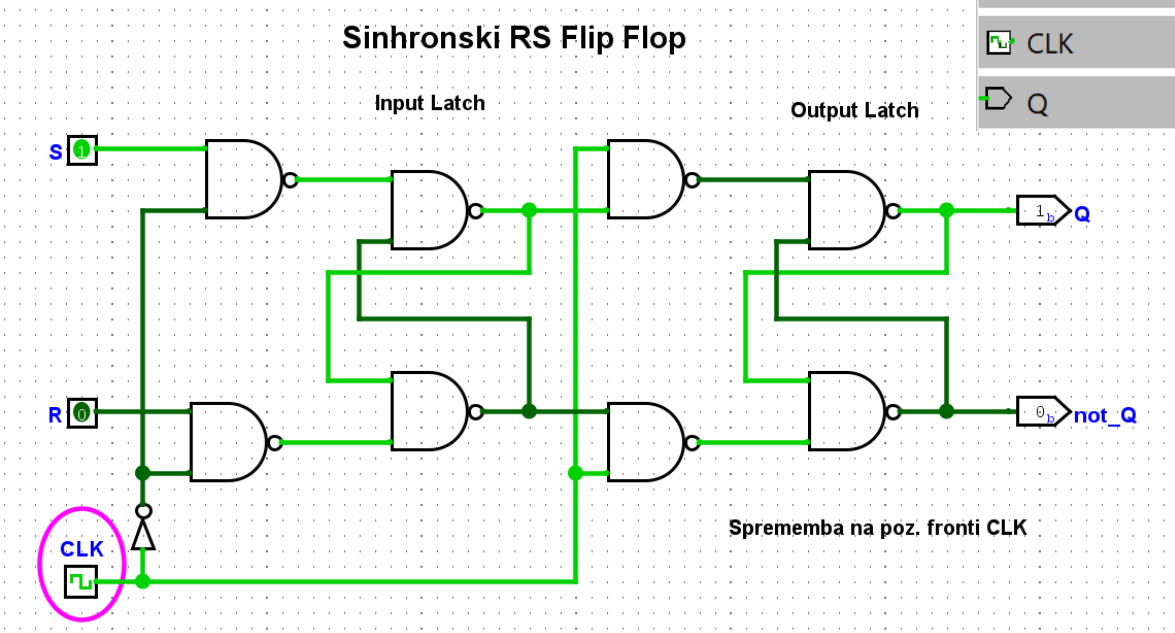


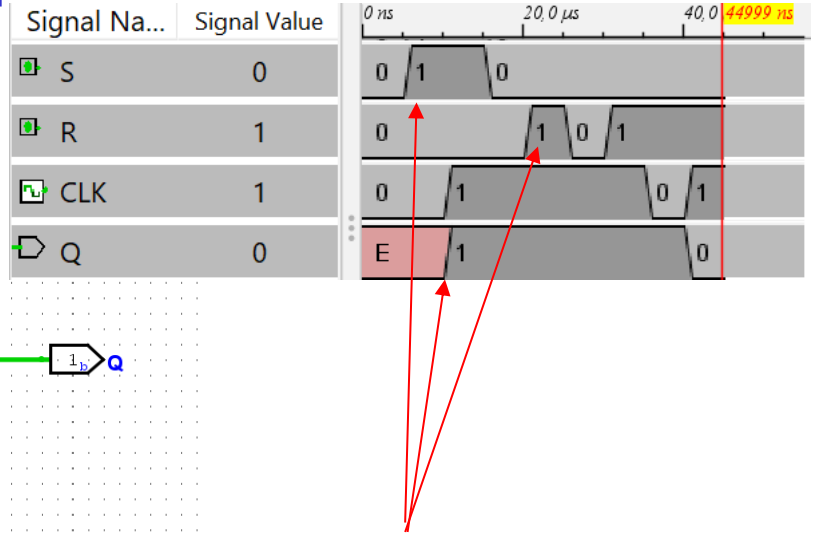
- RS zapah in urin signal (nivo):
  - https://www.falstad.com/circuit/e-clockedsrff.html



2.2.3 Pomnilne celice II

- Sinhronski RS (D) flip-flop (statična pomnilna celica) :
  - 2 RS zapaha s protifaznim urinim signalom
  - primer spodaj reagira ob pozitivni fronti



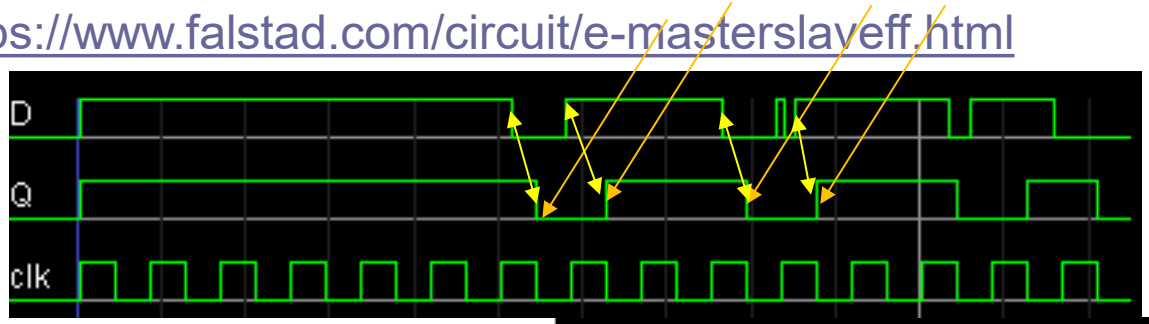


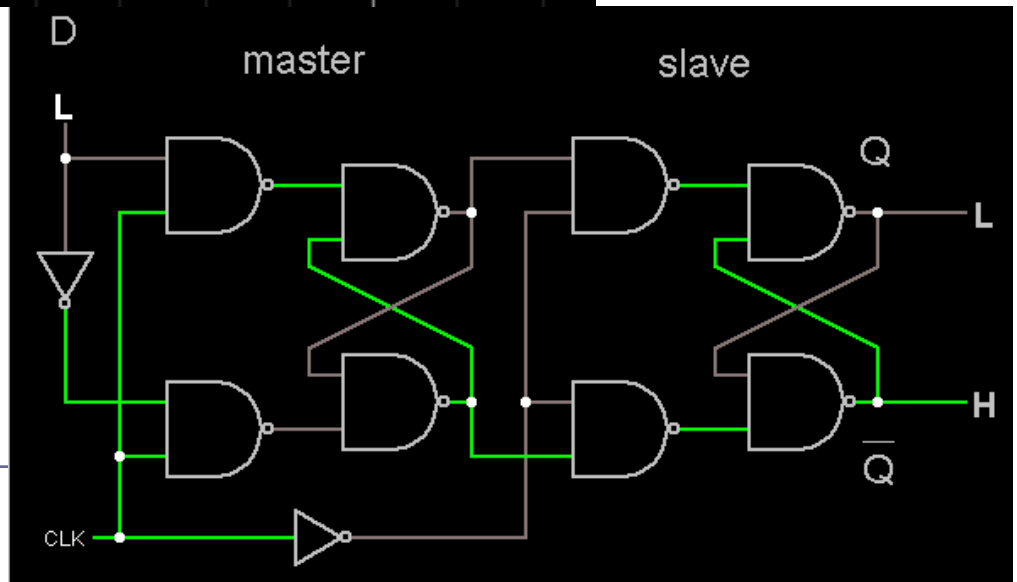
Reagira ob pozit. fronti CLK

© 2026, R.Rozman - FRI

2.2.3 Pomnilne celice II

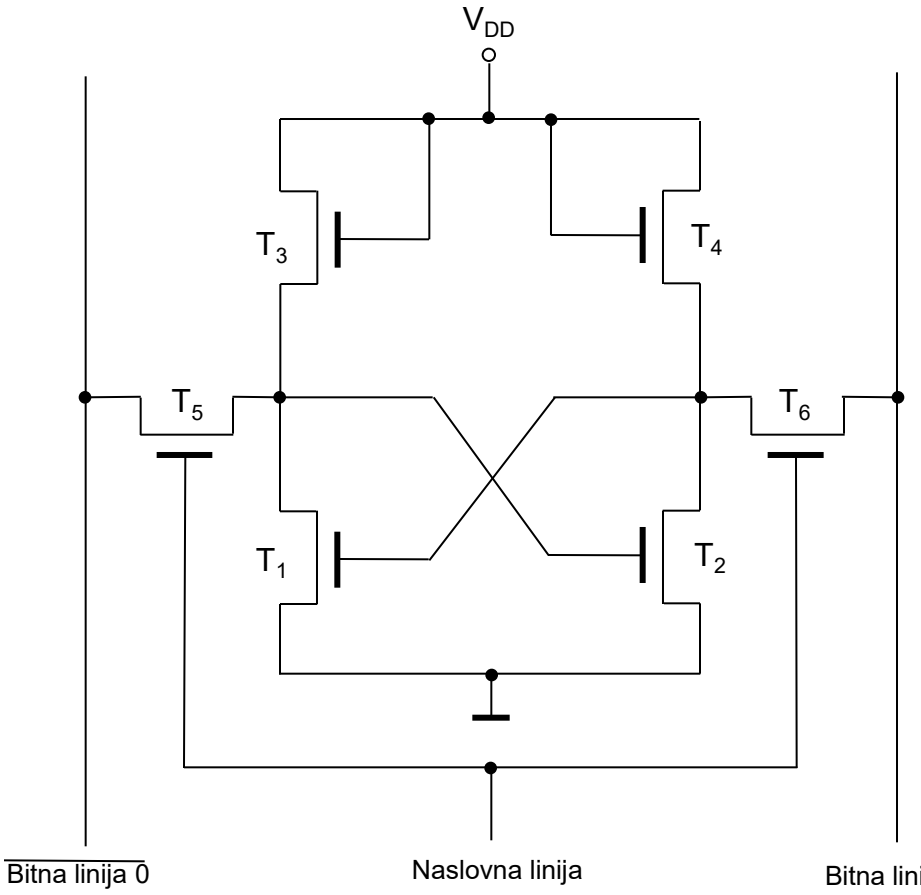
- Sinhronski D flip-flop (statična pomnilna celica) :
  - 2 RS zapaha s protifaznim urinim signalom
  - primer spodaj reagira ob negativni fronti
  - https://www.falstad.com/circuit/e-masterslaveff.html



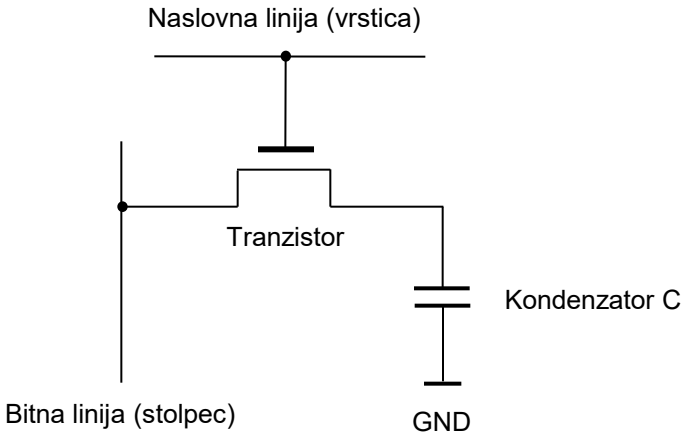


2.2.3 Pomnilne celice SRAM, DRAM

SRAM (Statični RAM)
pomnilniška celica



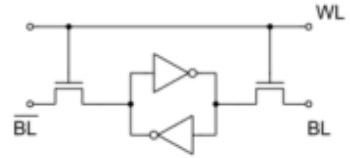
DRAM (Dinamični RAM)
pomnilniška celica



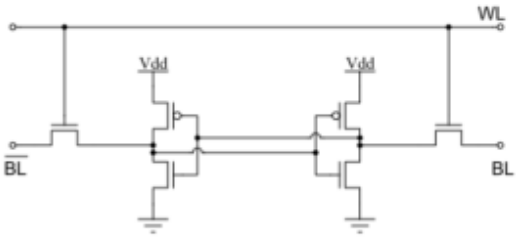
http://www.falstad.com/circuit/e-dram.html

© 2026, R.Rozman - FRI

2.2.3.1 Pomnilne celice – SRAM

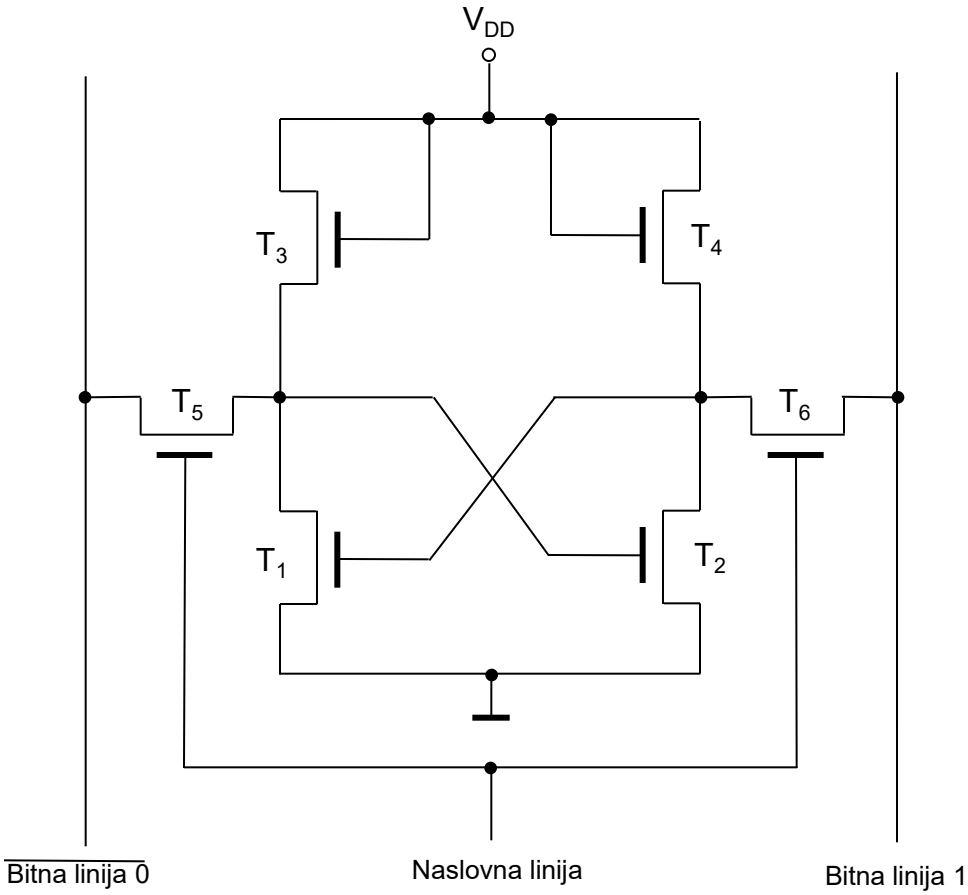


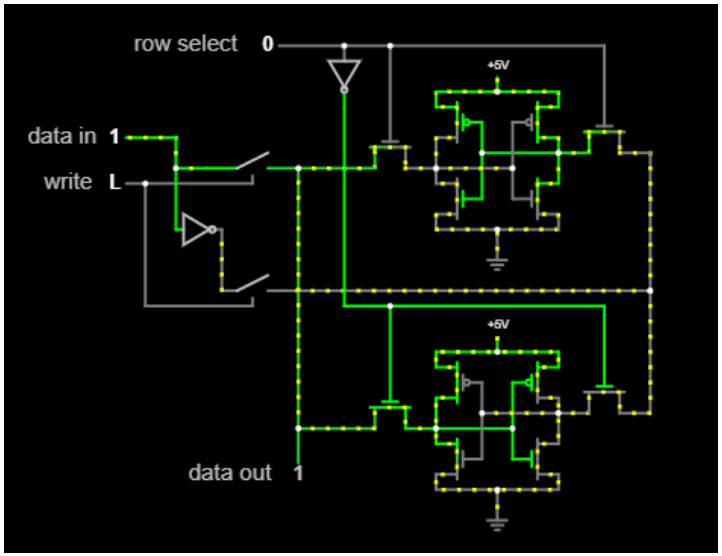
(a) A basic structure of an SRAM cell.



(b) 6-transistor SRAM cell.

SRAM (Statični RAM) pomnilniška celica

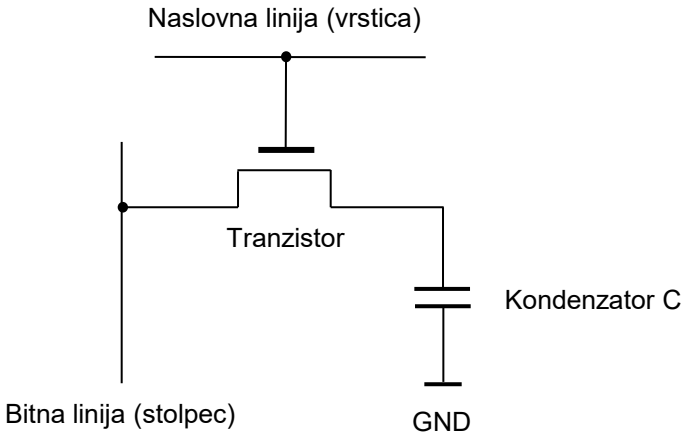




© 2026, R.Rozman - FRI

2.2.3.2 Pomnilne celice – DRAM

DRAM (Dinamični RAM) pomnilniška celica



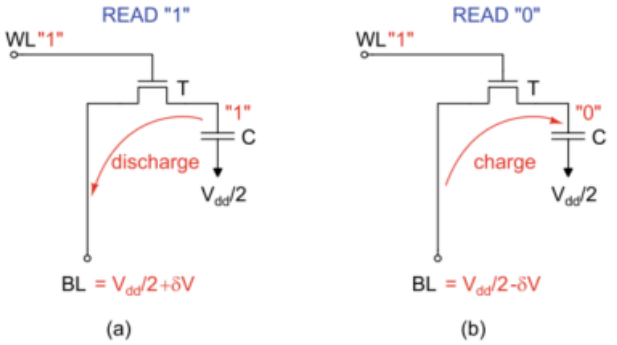
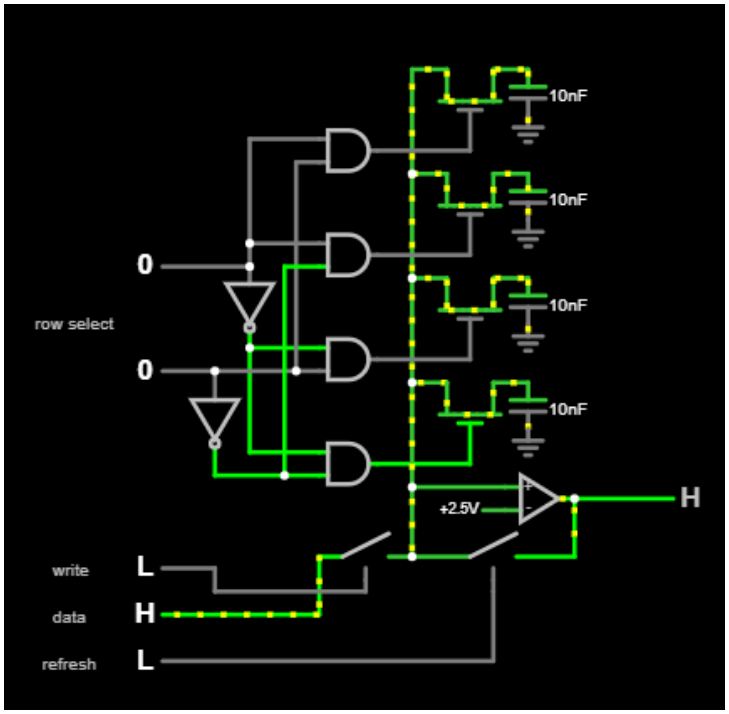


Fig. 4.8 Reading from a DRAM cell. **a** Reading "1" from a DRAM cell discharges the storage capacitor and slightly increases the voltage of the bit line. **b** Reading "0" from a DRAM cell charges the storage capacitor and slightly decreases the voltage of the bit line. In both cases, information is lost

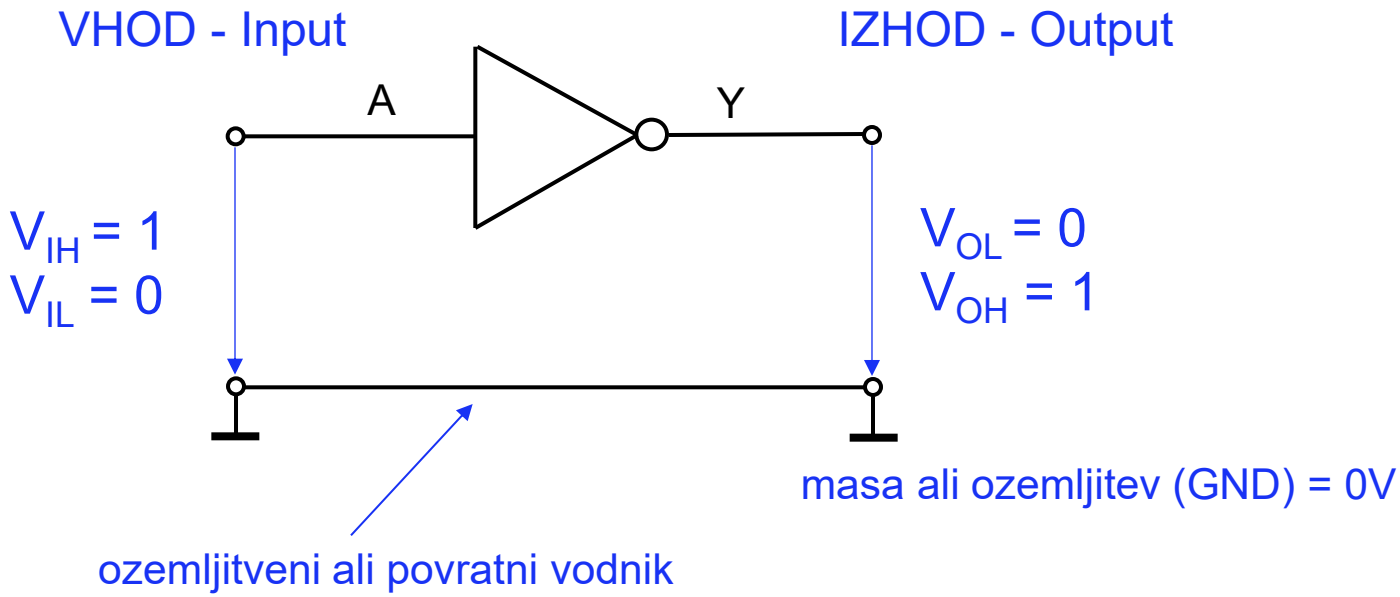


http://www.falstad.com/circuit/e-dram.html

© 2026, R.Rozman - FRI

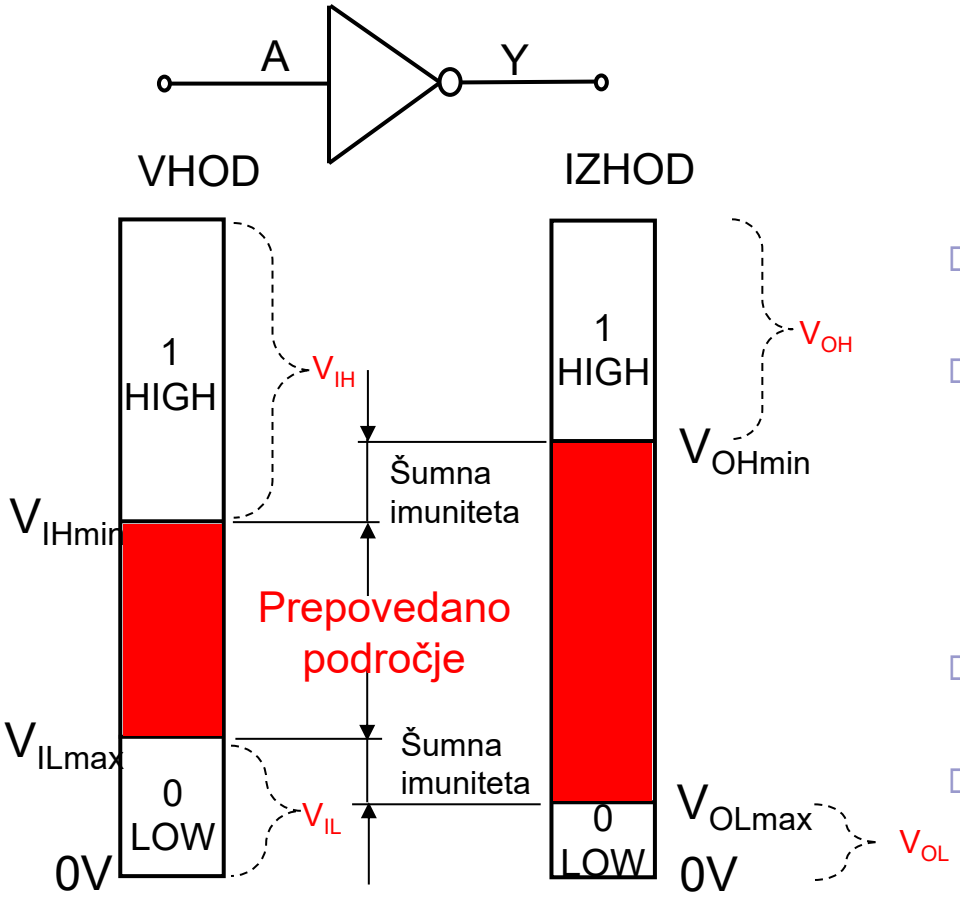
2.2.4 Napetostni nivoji za visok in nizek logični nivo

- Stanji 0 in 1 sta v digitalnih elektronskih vezjih predstavljeni z velikostjo napetosti na vhodu v vezje oziroma na izhodu iz vezja proti masi (GND = 0V)



© 2026, R.Rozman - FRI

2.2.4 Napetostni nivoji za visok in nizek logični nivo

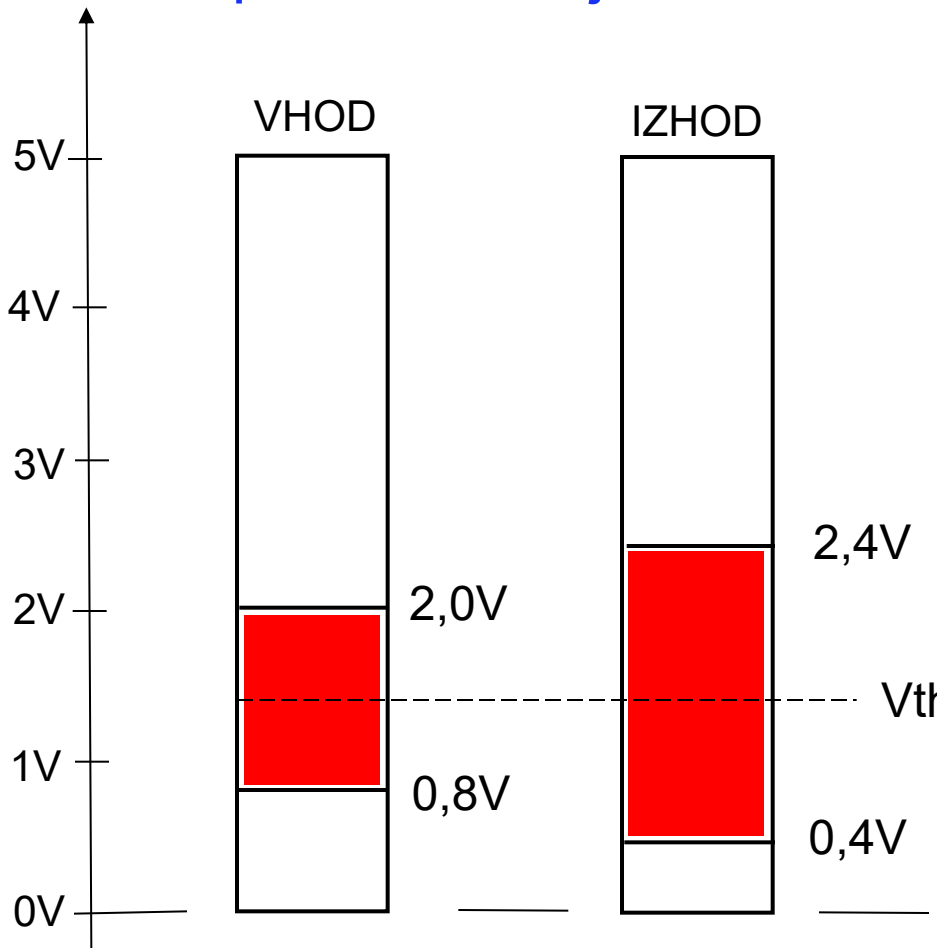


- V_{IH} (V Input High): Napetost med vhodom vezja in maso, če je na vhodu stanje logična 1
- V_{IL} (V Input Low): Napetost med vhodom vezja in maso, če je na vhodu stanje logična 0

- V_{OH} (V Output High): Napetost med izhodom vezja maso, če je na vhodu stanje logična 1
- V_{OL} (V Output Low): Napetost med izhodom vezja in maso, če je na vhodu stanje logična 0

© 2026, R.Rozman - FRI

Napetostni nivoji za TTL vezja



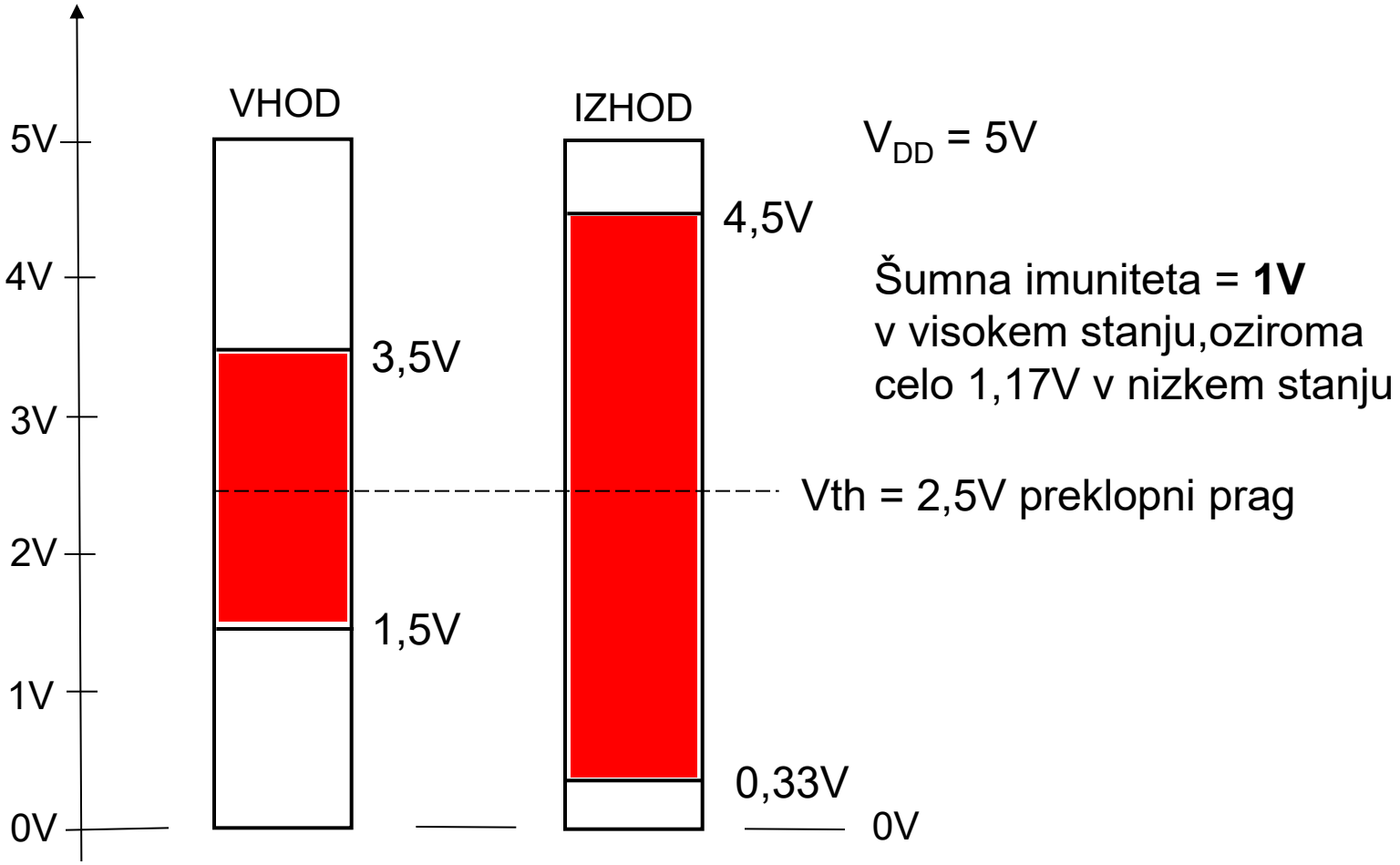
Vcc = 5V

Šumna imuniteta = **0,4V**
2,4V - 2,0V oziroma
0,8V - 0,4V v najslabšem primeru

Vth = 1,3V preklopni prag

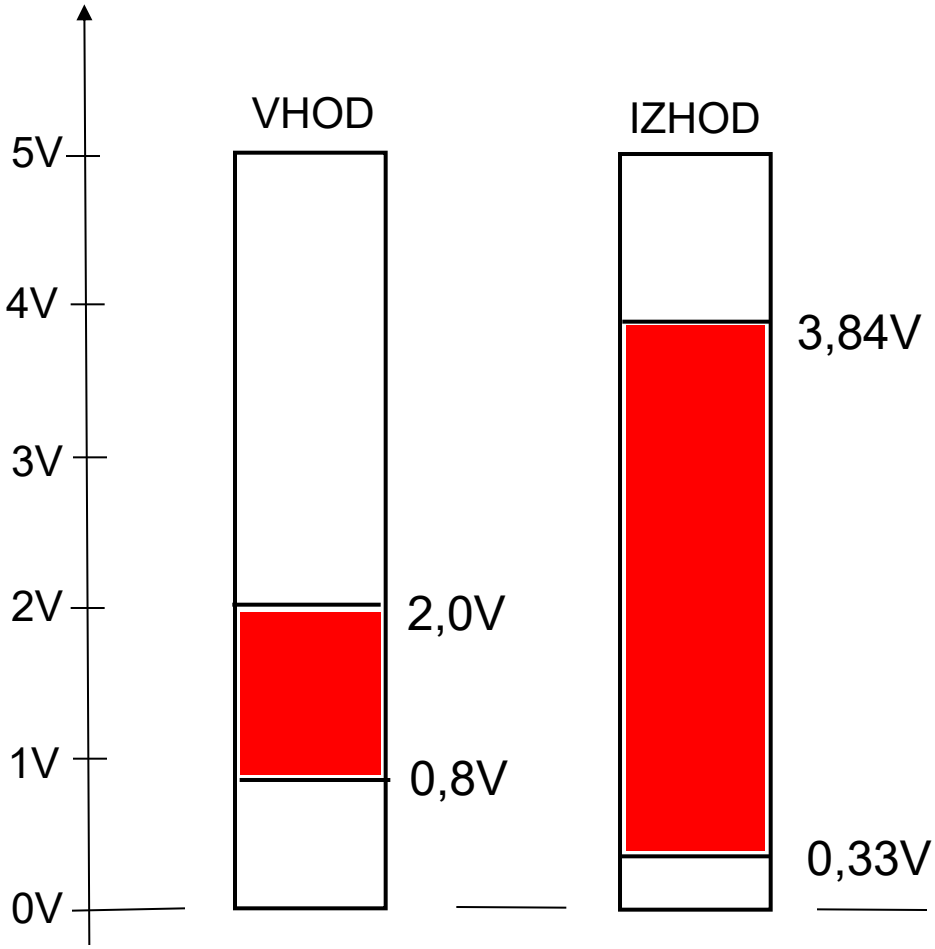
© 2026, R.Rozman - FRI

Napetostni nivoji za CMOS vezja 74Cxxx



© 2026, R.Rozman - FRI

Napetostni nivoji za CMOS vezja 74HCT in ACT



V_{DD} = 5V

Šumna imuniteta = **0,47V**
v nizkem stanju in 1,84V
v visokem stanju

© 2026, R.Rozman - FRI

2.2.4 Napajalne napetosti

- TTL: Vcc=+5V
- LV-TTL Vcc=+3.3V

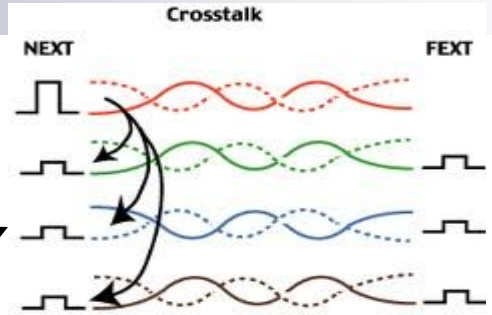
- CMOS :
  - C Vdd= +3V .. +15V
  - HCT,ACT(TTL) Vdd= +5V (+-10%)

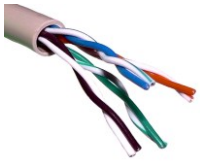
- LVCMOS :
  - 3.3V, 2.5V, 1.8V, …, 1.0V

- Trend jasen: nižanje napajalne napetosti…

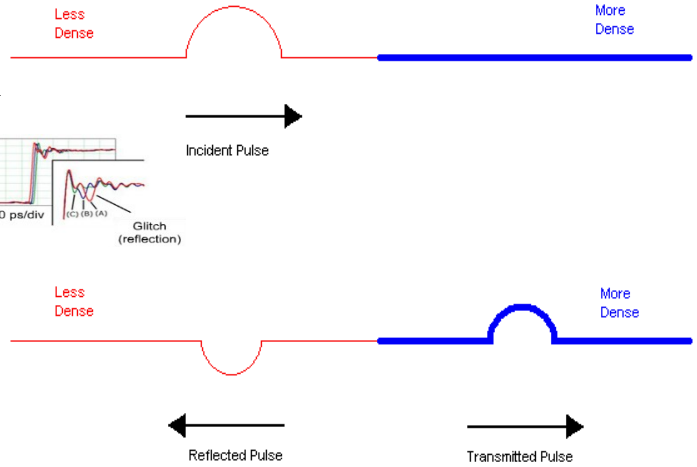
© 2026, R.Rozman - FRI

2.2.5 Odpornost proti šumu





- ŠUM.. neželen motilni signal
- Izvori :
  - v sistemu (presluh, odboj)
  - zunanji:
    - brezžični (EMC, EM sevanja),
    - žični (el. omrežje, motnje)

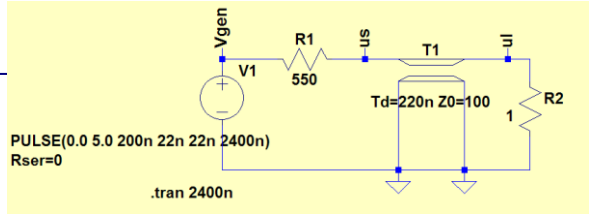


- Šumna imuniteta
  - Določanje po načelu „Worst Case“
  - Pomembno tudi trajanje (<0.5t_p)
  - Tipično so razmere precej boljše od WC ->

© 2026, R.Rozman - FRI

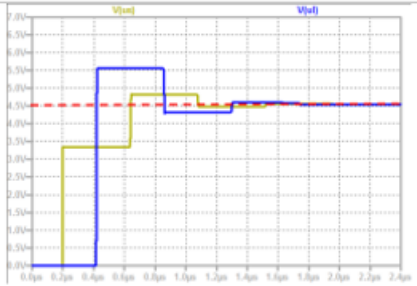
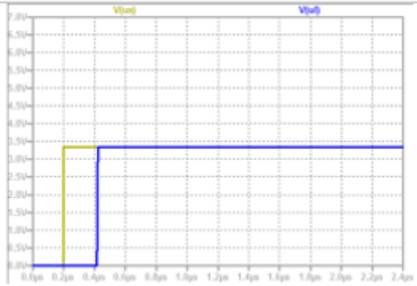
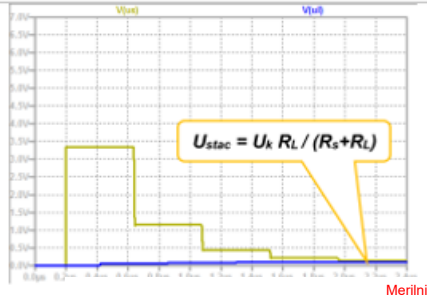
(LV2) - Merjenje odbojev na liniji

Primerjava: Simulacija (LTSpice)

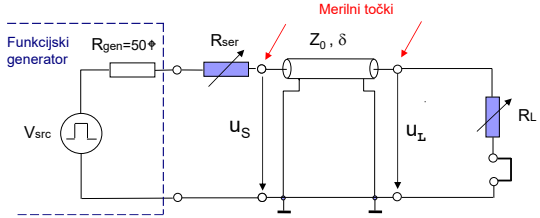


SPICE Simulacije slik iz osciloskopa: UTP kabel, R_S= 50..550 Ω , R_L = 1..500 Ω

Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

R_0=100Ω R_L,R_S=0,50,500Ω	$R_L > R_0$, R_L=500Ω ρ_L=0.666 (poz. odboj)	$R_L = R_0$ ρ_L=0 (ni odboja)	$R_L < R_0$, R_L=1Ω ρ_L=-0.98 (neg. odboj)
$R_S < R_0$ R_S=50 Ω ρ_S=-0.333 [0.5V/razdelek]			

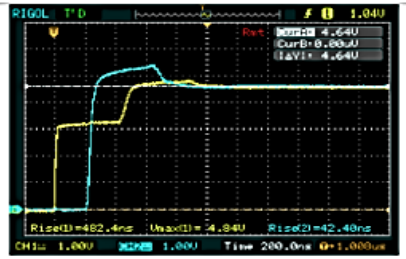
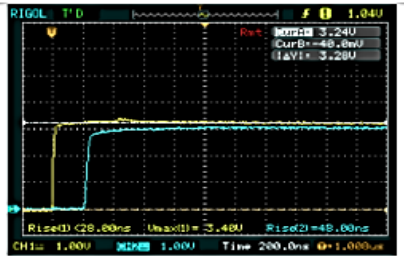
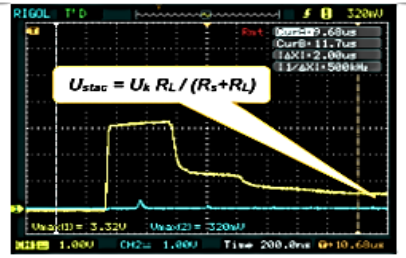
Višje potujoče napetosti



Primerjava: Meritve z osciloskopi

Slike osciloskopa: UTP kabel, R_S= 50..550 Ω , R_L = 1..500 Ω (R_{gen}=50 Ω) UTP

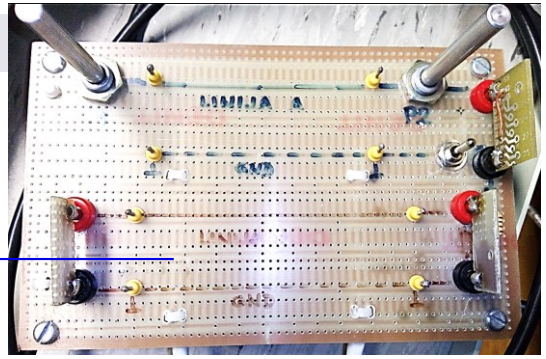
Napetost se že pravilno porazdeli, z zakasnitvijo 1τ se pojavi tudi na izhodu.

R_0=100Ω R_L,R_S=0,50,500Ω	$R_L > R_0$, R_L=500Ω ρ_L=0.666 (poz. odboj)	$R_L = R_0$ ρ_L=0 (ni odboja)	$R_L < R_0$, R_L=1Ω ρ_L=-0.98 (neg. odboj)
$R_S < R_0$ R_S=50 Ω ρ_S=-0.333 [1V/razdelek]			

Višje potujoče napetosti

© 2026, R.Rozman - FRI

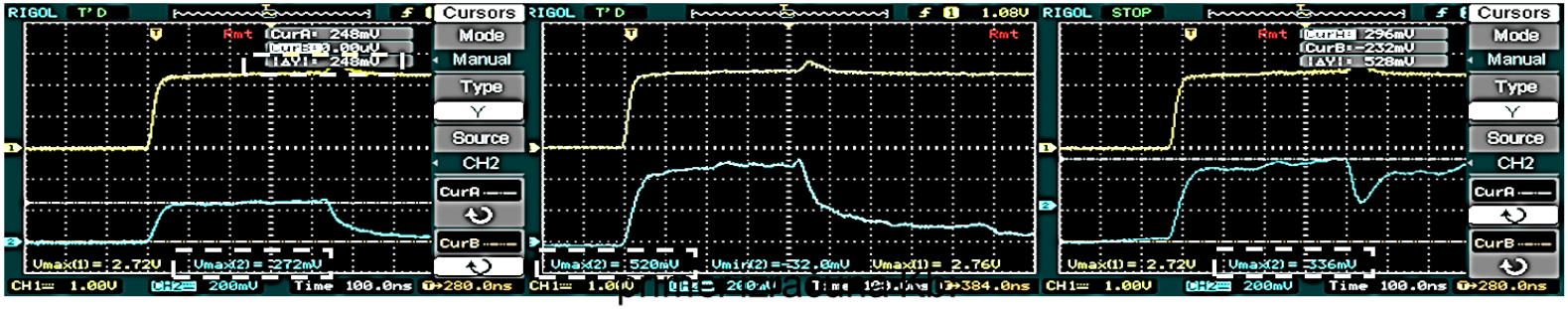
Predmet VIN – meritve presluhi

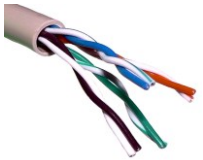


Primeri meritev presluha – UTP kabel

- Na sosednji parici (linija B) izmerite napetostne nivoje
  - bližnjega presluha $u_p(0,t) = u_{pb}(t)$ na vhodu linije in

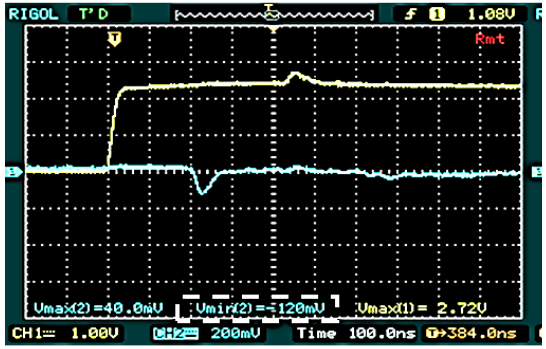
ni odbojev *248 mV* brez zaklj. bližja stran *520 mV* brez zaklj. obe *336 mV*

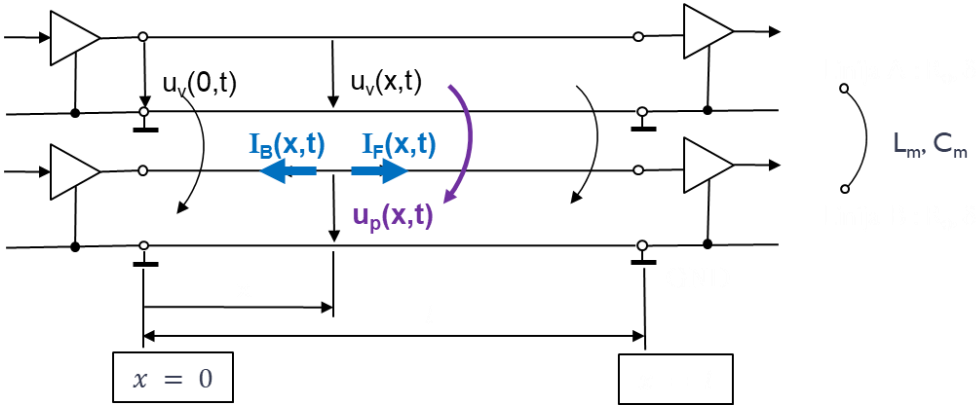




  - daljnega presluha $u_p(l,t) = u_{pd}(t)$ na izhodu linije,

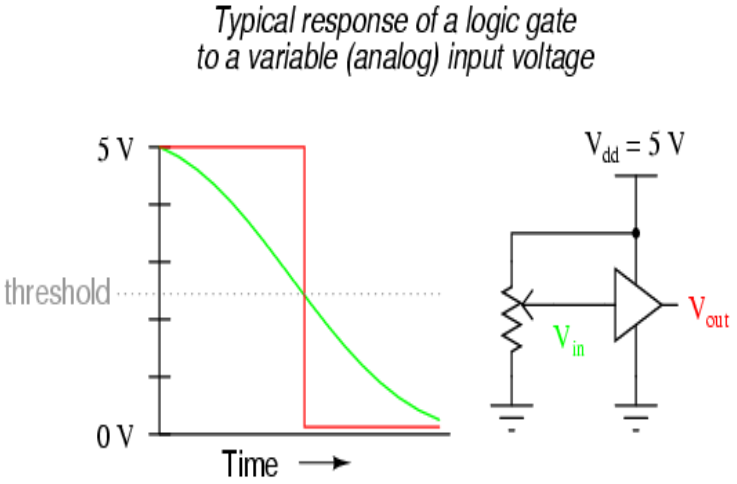
ni odbojev *-120 mV*





© 2026, R.Rozman - FRI

2.2.5 Odpornost proti šumu



Tipične razmere :

TTL vezja:

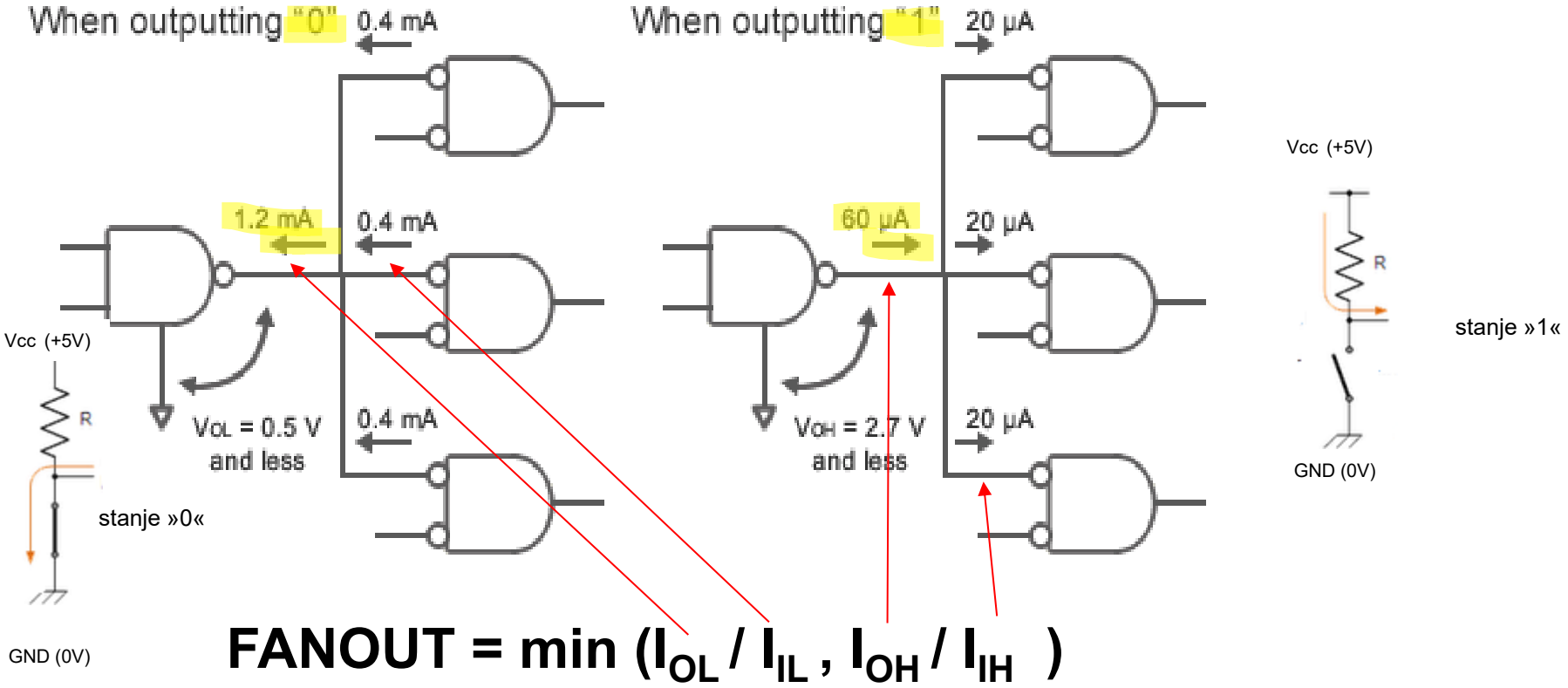
- „1“ ~ 3.4V, „0“ ~0.1V
- preklopni prag tipično 1.3V
- tip. ŠI = min(1.3-0.1,3.4-1.3)V=1.2V

CMOS vezja (brez TTL kompatibilnih):

- „1“ ~ 5V in „0“ ~ 0V
- preklopni prag pa tipično 2,5V
- tip. ŠI = min (5-2.5,2.5-0)V =2.5V

© 2026, R.Rozman - FRI

Določanje obremenljivosti v obeh log. stanjih



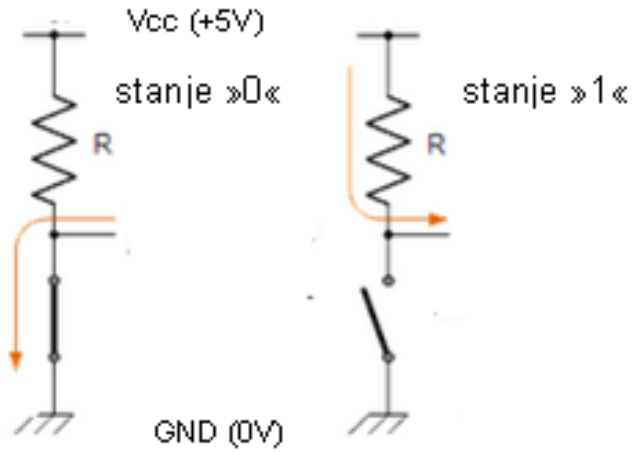
$$\textbf{FANOUT} = \min\left(I_{OL} / I_{IL} , I_{OH} / I_{IH}\right)$$

© 2026, R.Rozman - FRI

2.2.6 Obremenljivost digitalnih vezij (FANOUT)

Def.: Koliko vhodov lahko vežemo na 1 izhod…

TTL:



IZHOD (Max. vrednosti):

Tip\Max	I_{OL} [mA]	I_{OH} [mA]	Družina
74	16	-0.4	TTL
74LS	8	-0.4	TTL
74HCT	4	-4	CMOS
74ACT	24	-4	CMOS

VHOD (Max. vrednosti):

Tip\Max	I_{IL} [mA]	I_{IH} [mA]	Družina
74	-1.6	0.04	stand. TTL breme
74LS	-0.4	0.02	stand. LS-TTL breme
74HCT	-0.001	0.001	CMOS
74ACT	-0.001	0.001	CMOS

FANOUT = min (I_{OL} / I_{IL} , I_{OH} / I_{IH})

tok v vezje +
tok iz vezja -

© 2026, R.Rozman - FRI

2.2.6 Obremenljivost digitalnih vezij

Določanje obremenljivosti:

- **TTL**:
  - 74 : **$\min (I_{OL} / I_{IL} , I_{OH} / I_{IH}) = \min (10 , 10) = 10$**
  - 74LS : **$\min (I_{OL} / I_{IL} , I_{OH} / I_{IH}) = \min (20 , 20) = 20$**

- **CMOS**
  - vhodi tokovno praktično ne obremenjujejo izhoda na katerega so priključeni:
  - obstaja pa omejitev zaradi kapacitivnosti

© 2026, R.Rozman - FRI

Zanimivost

2.2.7 Povezovanje vezij iz različnih družin

Potencialna neskladja:

- **logični napetostni nivoji**
- **obremenljivost**
- **napajalna napetost**
- **hitra, počasna vezja**

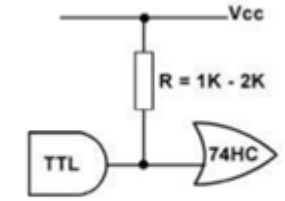
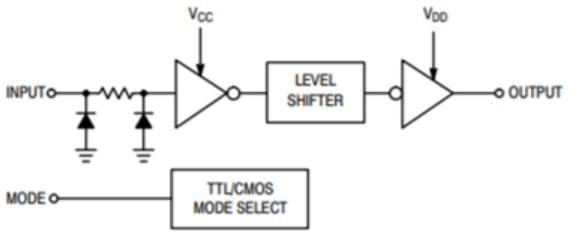


Fig. 3.3.4 Interfacing TTL to 74HC

MC14504B

LOGIC DIAGRAM



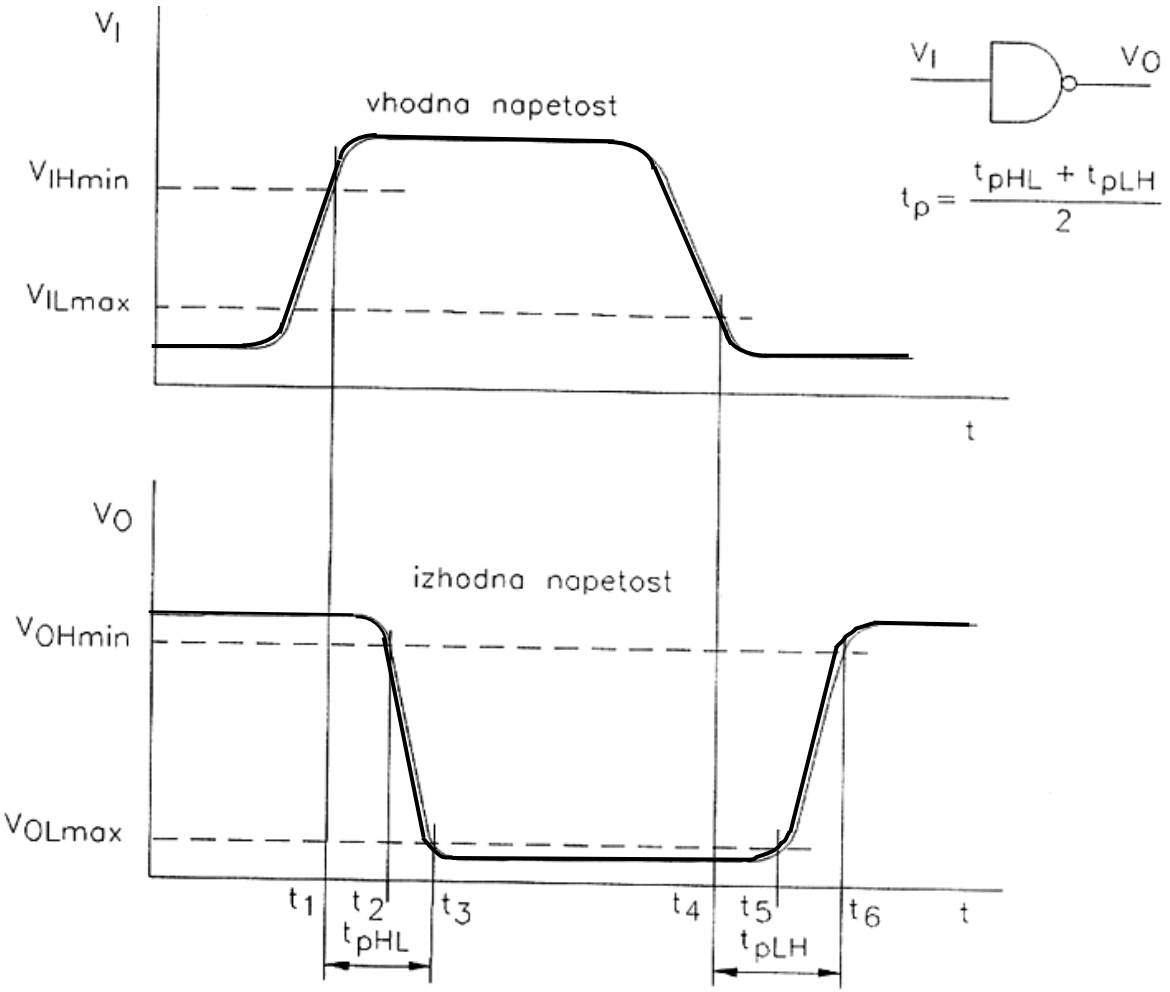
Mode Select	Input Logic Levels	Output Logic Levels
1 (V_{CC})	TTL	CMOS
0 (V_{SS})	CMOS	CMOS

Reševanje:

- **prilagoditve, vmesniki, zamenjave…**

© 2026, R.Rozman - FRI

2.2.8 Časovni parametri digitalnih vezij



© 2026, R.Rozman - FRI

2.2.8 Časovni parametri digit. vezij

ZAKASNITEV VEZJA (»Propagation time«- $\mathbf{t_p}$) :

- čas, ki preteče od trenutka ko se spremeni napetostni nivo na vhodu vezja, do trenutka, ko se ta sprememba odrazi na izhodu

OSTALI VPLIVI

- **VPLIV KAPACITIVNOSTI:**
  - na zakasnitev vezja vpliva tudi kapacitivnost na izhodu vezja
  - vpliva bolj na zakasnitev kot napetostne nivoje

- **VPLIV POVEZAV:** vsled napredka povečujemo št. tranz. in s tem zmanjšujemo dimenzijo tranzistorjev in tudi povezav:
  - + večja hitrost delovanja (manjši tranz.)
  - - slabše lastnosti povezav (večje število, manjše dimenzije)

© 2026, R.Rozman - FRI

Zanimivost

2.2.9 Katero družino izbrati ?

Pravila :

- **Pravilo izbire družine:**
  - **priporoča se CMOS**
    - **če potrebujemo hitrost -> hitrejše poddružine**
    - **če potrebujemo nizko porabo -> varčnejše poddružine**
    - **če povezujemo s TTL -> nove poddružine s T na koncu**
- **Pravilo izbire hitrosti:**
  - **„ravno prav hitro“ !?**

© 2026, R.Rozman - FRI

Zanimivost

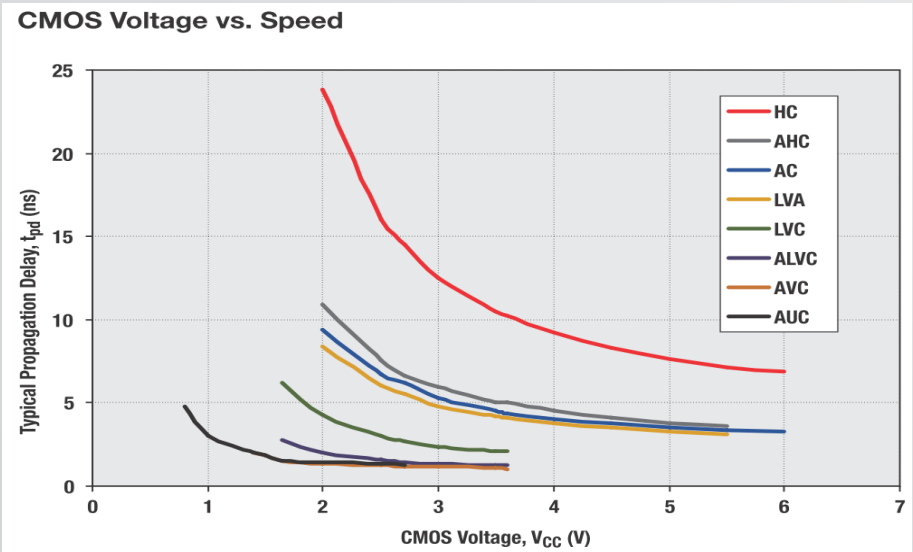
2.2.9 Katero družino izbrati ?

Texas Instruments: Logic Guide 2017

http://www.ti.com/lit/sg/sdyu001ab/sdyu001ab.pdf

0.8-V Logic	1.2-V Logic	1.5-V Logic
AUC, AUP	AUC, AUP, AVC	AUC, AUP, AVC

1.8-V Logic	2.5-V Logic	3.3-V Logic
ALVC, AUC, AUP, AVC, LVC, LV1T	ALVC, ALVT, AUC, AUP, AVC, LV, LV1T, LV-A, LVC	AC, AHC, ALB, ALVC, ALVT, AUP, AVC, LV, LV-A, LVC, LVT, LV1T, AUP1T



5-V Logic
ABT, AC/ACT, AHC, AHCT, ALS, AS, BCT, F, LV, LV1T, LV-A, LS, S, TTL, CD4000, FCT2

5-V+ Logic
CD4000

© 2026, R.Rozman - FRI

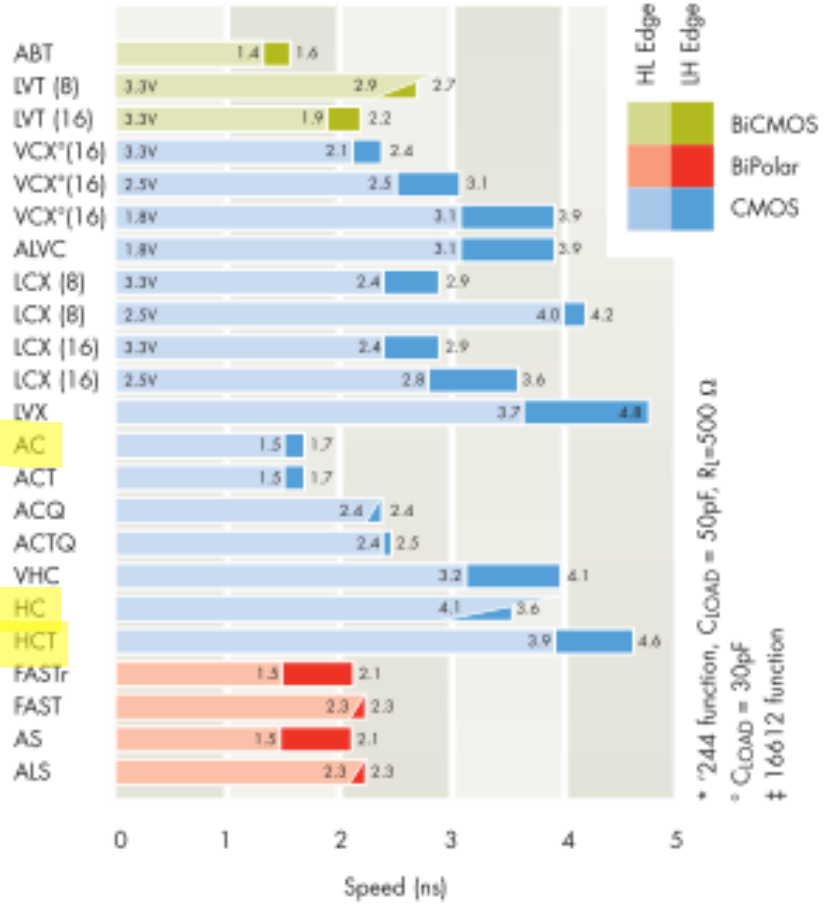
Zanimivost

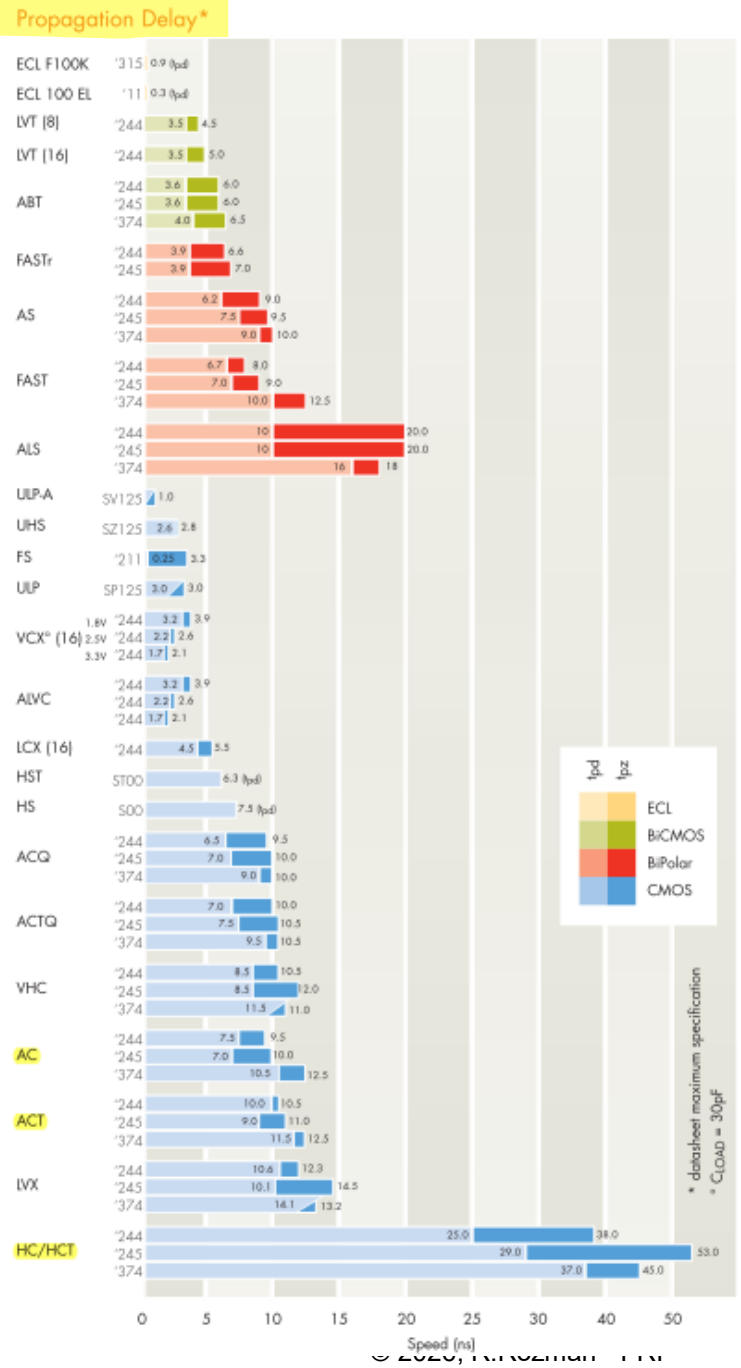
2.2.9 Katero družino izbrati ?

Fairchild Logic: Logic Guide 2017

https://www.mouser.com/catalog/supplier/library/pdf/FairchildLogic.pdf

Output Rise and Fall Time*





© 2020, R.Kozman - FRI

2.2.10 Načrtovanje in gradnja dig. sistemov

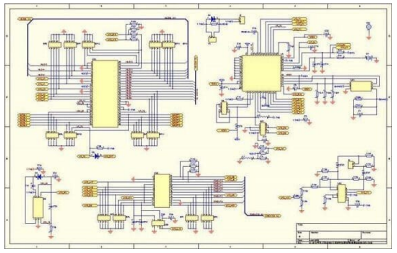
Video :

„Complete PCB Cycle Design to Production“

https://www.youtube.com/watch?v=bgBjub85TT4

Postopek :

- **Zasnova**
  - **sest.deli, „lepila“, tehnologija, družina…**
- **Načrtovanje**
  - **vezalna shema, razporeditev, povezave, PCB**



- **Gradnja**
  - **PCB, vgradnja elementov, spajkanje, preizkušanje**

© 2026, R.Rozman - FRI

Zanimivost

2.2.10 Načrtovanje in gradnja dig. sistemov

- „Worst Case“ načelo načrtovanja
  - podatkovne listine („datasheets“):
    - min, max, ~~typ~~,
  - tipične razmere („typ“) na srečo dosti boljše
- Vpliv povezovalnih žic
  - večja gostota, hitrost, manjše dimenzije, večje razdalje…

© 2026, R.Rozman - FRI

2.2.10 Načrtovanje in gradnja DS - SN7400

recommended operating conditions (see Note 3)

		SN5400			SN7400			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.8			0.8	V
I_{OH}	High-level output current			−0.4			−0.4	mA
I_{OL}	Low-level output current			16			16	mA

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS‡			SN5400			SN7400			UNIT
				MIN	TYP§	MAX	MIN	TYP§	MAX	
V_{IK}	V_{CC} = MIN,	I_I = −12 mA				−1.5			−1.5	V
V_{OH}	V_{CC} = MIN,	V_{IL} = 0.8 V,	I_{OH} = −0.4 mA	2.4	3.4		2.4	3.4		V
V_{OL}	V_{CC} = MIN,	V_{IH} = 2 V,	I_{OL} = 16 mA		0.2	0.4		0.2	0.4	V
I_I	V_{CC} = MAX,	V_I = 5.5 V				1			1	mA
I_{IH}	V_{CC} = MAX,	V_I = 2.4 V				40			40	µA
I_{IL}	V_{CC} = MAX,	V_I = 0.4 V				−1.6			−1.6	mA

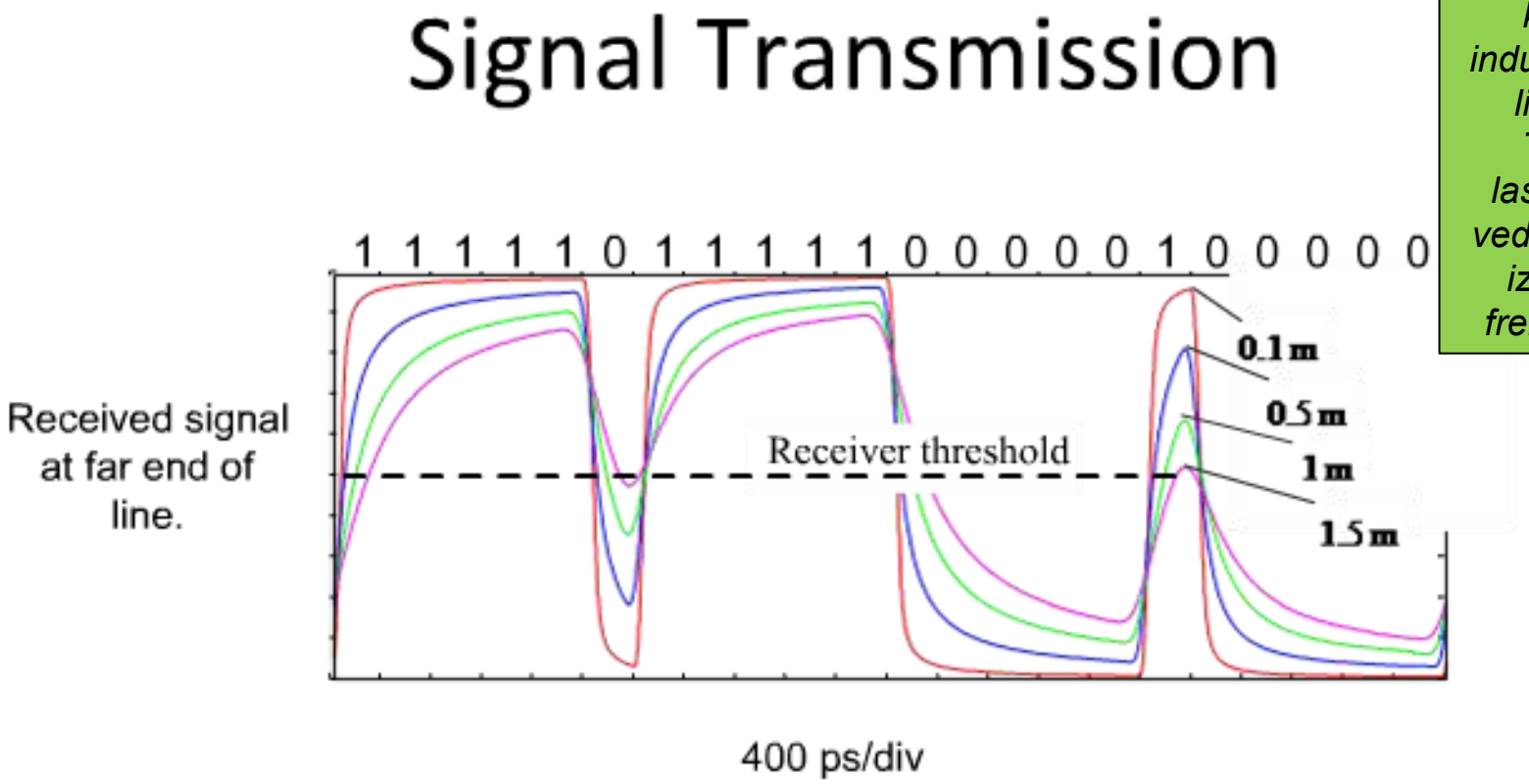
switching characteristics, V_{CC} = 5 V, T_A = 25°C (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
t_{PLH}	A or B	Y	R_L = 400 Ω, C_L = 15 pF		11	22	ns
t_{PHL}					7	15	

© 2026, R.Rozman - FRI

2.2.10 Načrtovanje in gradnja dig. sistemov

Prikaz vpliva povezovalnih žic na preneseni signal: primer signala na koncu 2.5Gb povezave



Posledica vpliva kapacitivnosti in induktivnosti prenosne linije (povezave). Tokrat sta ti dve lastnosti neželeni, a vedno prisotni. Še bolj izrazito pri visokih frekvencah signalov.

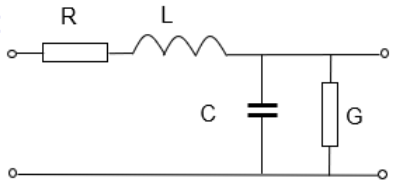
© 2026, R.Rozman - FRI

Predmet VIN – simulacija vpliva linije na signal

Prikaz vpliva frekvence signala na prenos po liniji

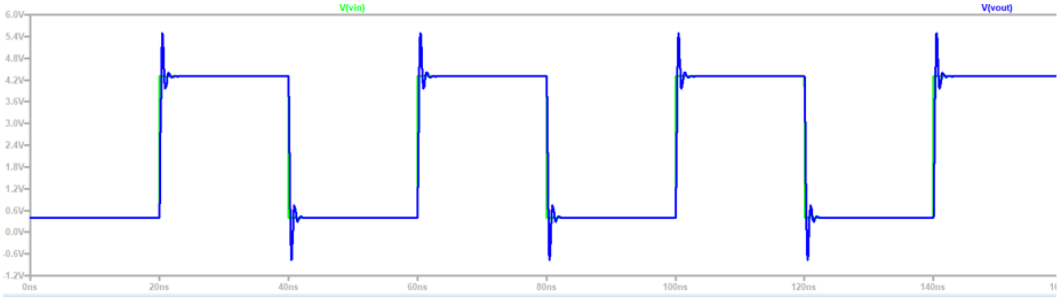
Lastnosti električnih linij – model električne linije

Prenosno električno linijo lahko predstavimo s poenostavljenim modelom:

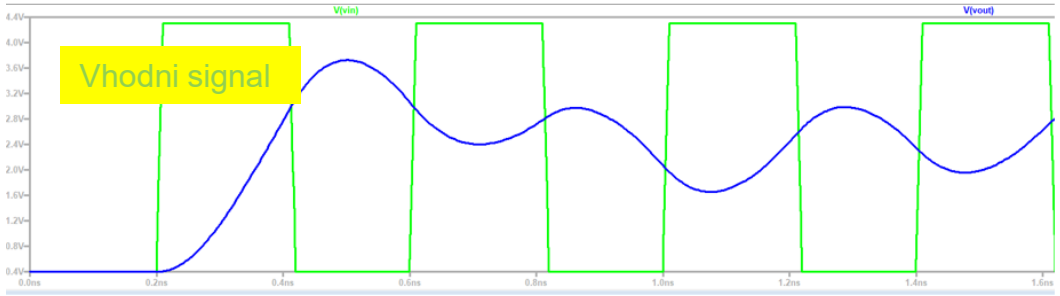


Pri idealni liniji je upornost R = 0 in tudi prevodnost med vodnikoma G = 0 (upornost med vodnikoma je R = ∞).

f_{sig} = 25 MHz



F_{sig} = 2.5 GHz



© 2026, R.Rozman - FRI

2.2.10 Načrtovanje in gradnja dig. sistemov

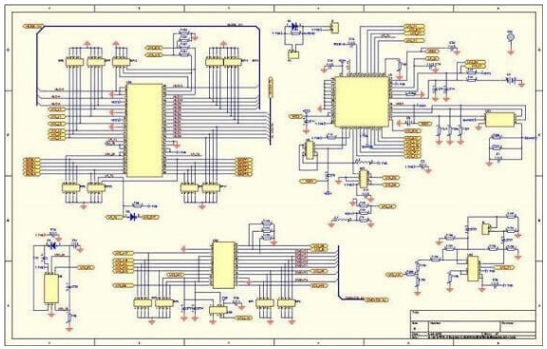
Video :

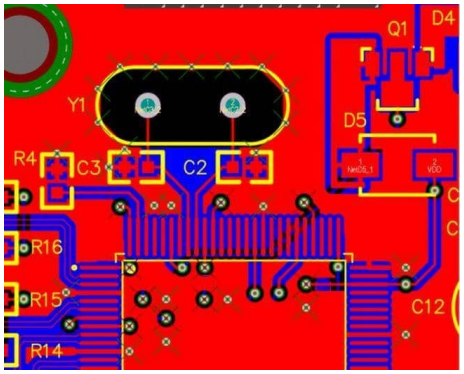
„Complete PCB Cycle Design to Production“

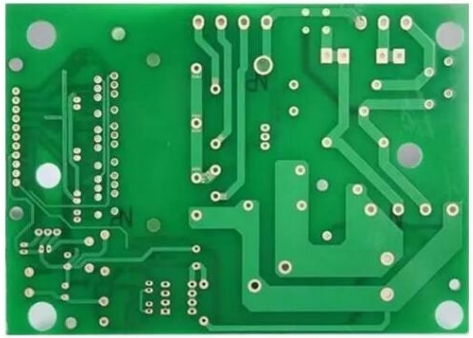
https://www.youtube.com/watch?v=bgBjub85TT4

Načrtovanje

- vezalna shema, razporeditev, povezave, PCB



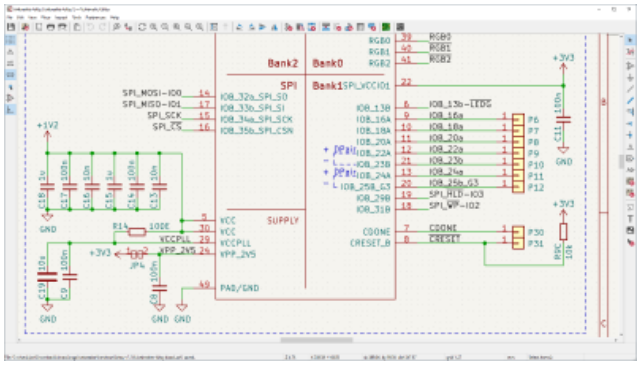




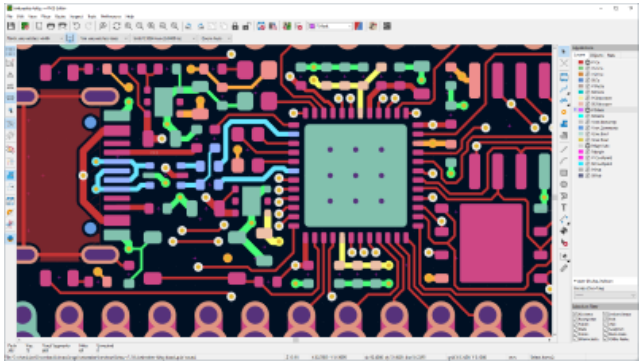
© 2026, R.Rozman - FRI

2.2.10 Načrtovanje in gradnja dig. sistemov - KiCad

Schematic Capture
KiCad's Schematic Editor supports everything from the most basic schematic to a complex hierarchical design with hundreds of sheets. Create your own custom symbols or use some of the thousands found in the official KiCad library. Verify your design with integrated SPICE simulator and electrical rules checker.

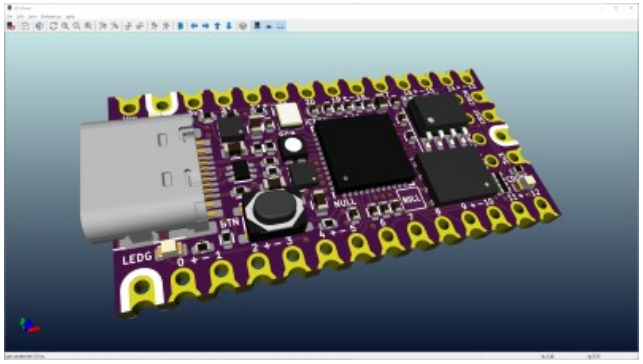


PCB Layout
KiCad's PCB Editor is approachable enough to make your first PCB design easy, and powerful enough for complex modern designs. A powerful interactive router and improved visualization and selection tools make layout tasks easier than ever.



3D Viewer
KiCad's 3D Viewer allows easy inspection of your PCB to check mechanical fit and to preview your finished product. A built-in raytracer with customizable lighting can create realistic images to show off your work.

Project shown: iCEBreaker Bitsy by 1BitSquared.
© 2018-2020 1BitSquared

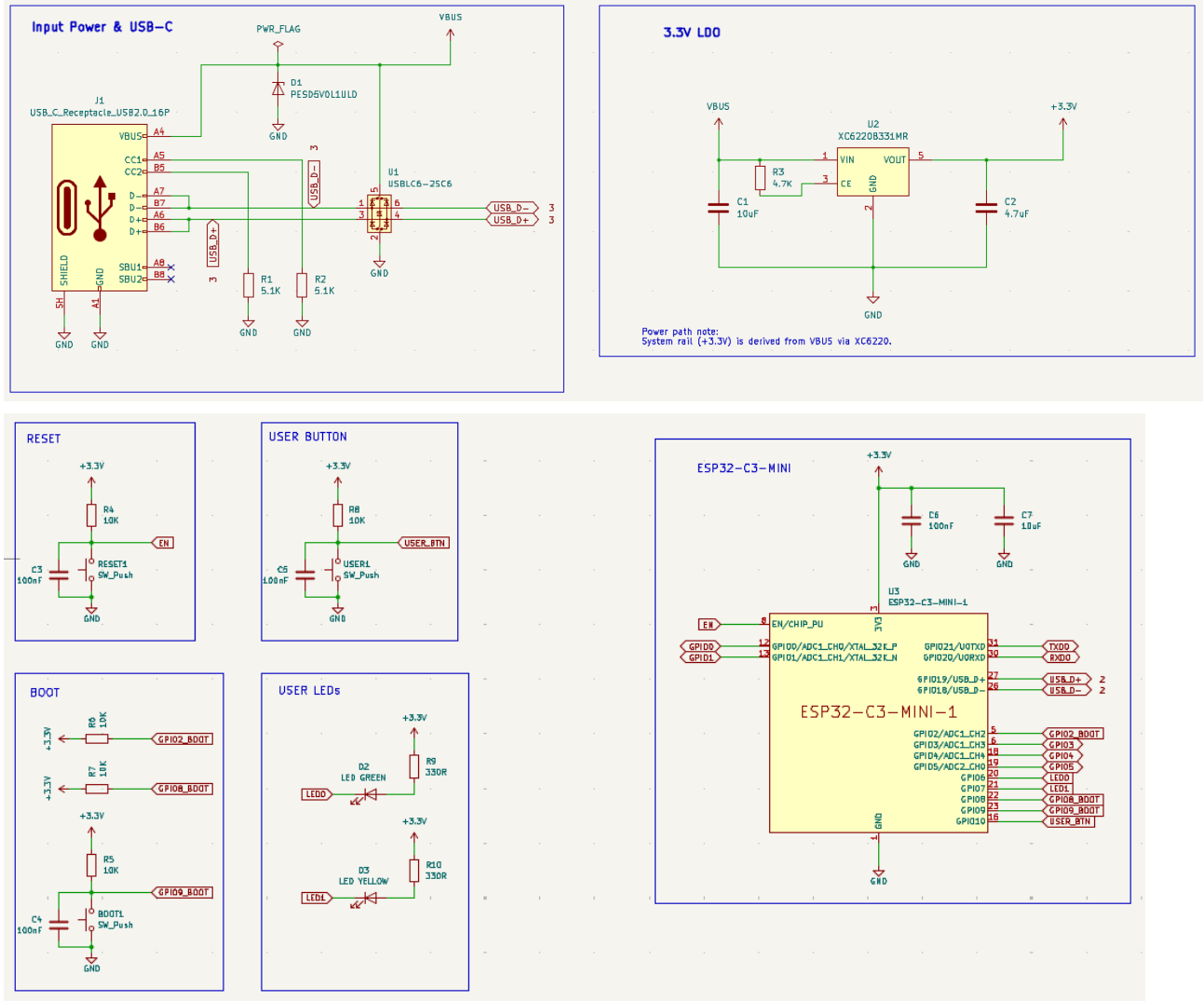


https://www.kicad.org/

© 2026, R.Rozman - FRI

2.2.10 Načrtovanje in gradnja dig. sistemov - KiCad

1. Vezalna shema (Schematic)



Delavnica na FRI:
Build Your Own RISC-V Computer – KiCad PCB Design Workshop

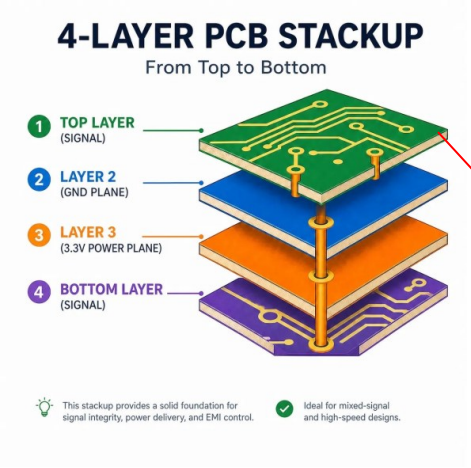
Z*https://cc-chip.si/build-your-own-risc-v-computer-kicad-pcb-design-workshop/*>

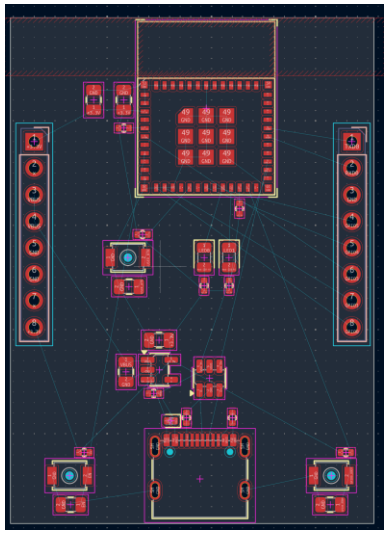
CC CHIP.SI
SLOVENIAN CHIPS COMPETENCE CENTER

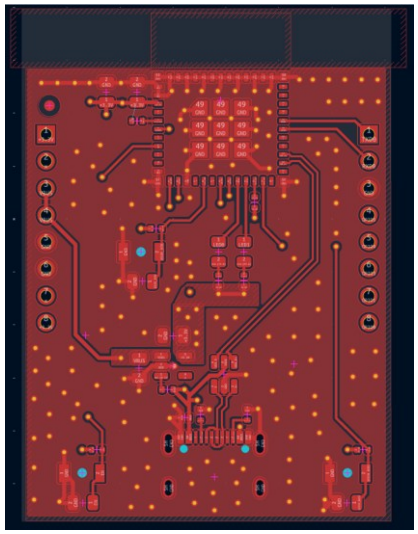
© 2026, R.Rozman - FRI

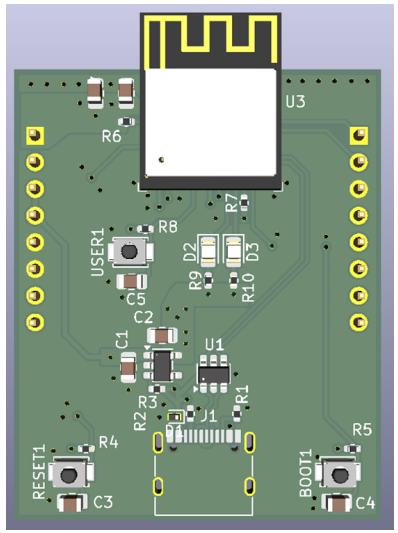
2.2.10 Načrtovanje in gradnja dig. sistemov - KiCad

2. Načrtovanje ploščice tiskanega vezja (PCB – Printed Circuit Board) – „layout“

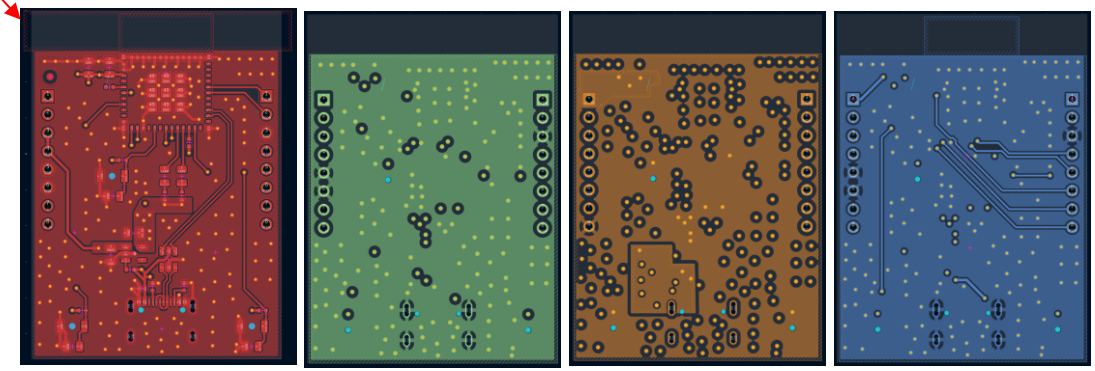








TOP LAYER | LAYER 2 - GND | LAYER 3 - POW | BOTTOM LAYER



Delavnica na FRI:
Build Your Own RISC-V Computer – KiCad PCB Design Workshop

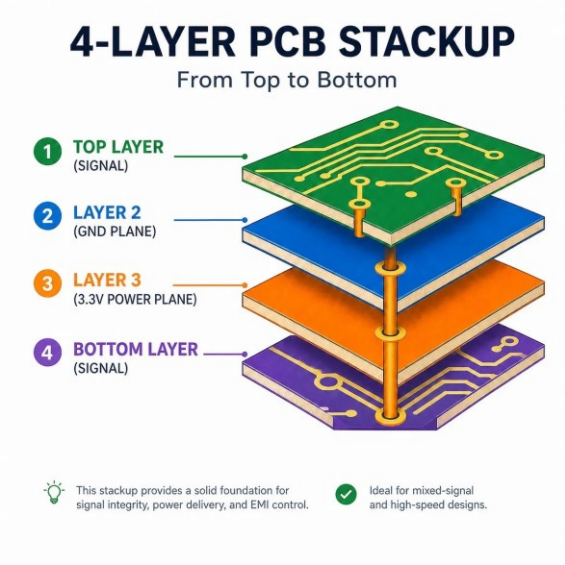
https://cc-chip.si/build-your-own-risc-v-computer-kicad-pcb-design-workshop/

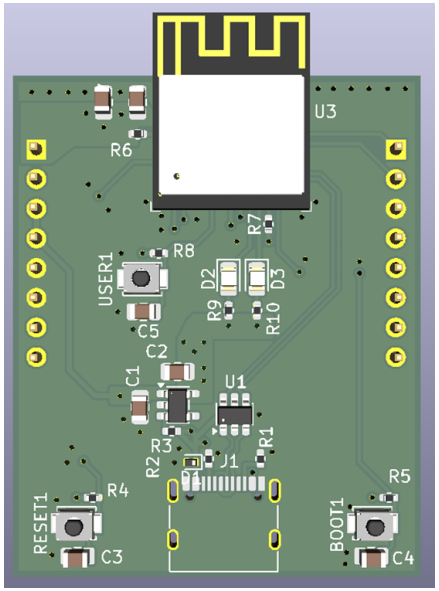
CC CHIP.SI
SLOVENIAN CHIPS COMPETENCE CENTER

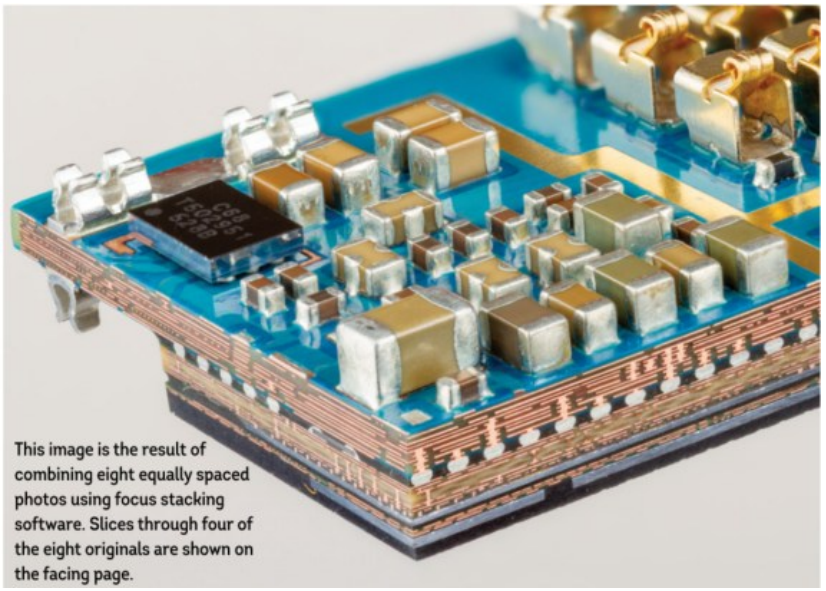
© 2026, R.Rozman - FRI

2.2.10 Načrtovanje in gradnja dig. sistemov - KiCad

3. Proizvodnja PCB in namestitev komponent (Pick‘n‘Place)

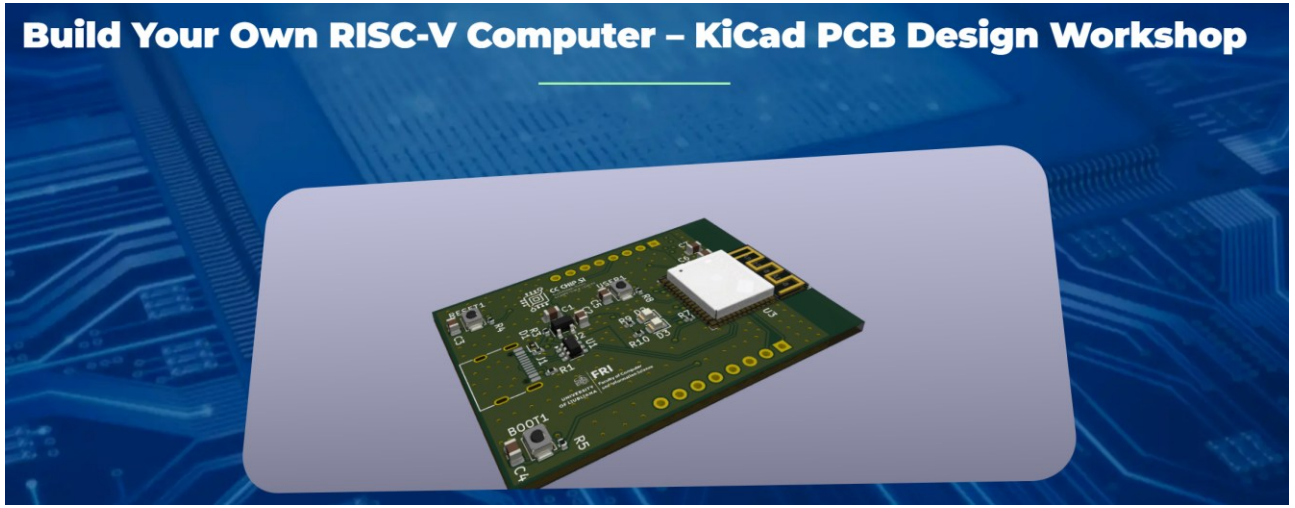






Delavnica na FRI:
Build Your Own RISC-V Computer – KiCad PCB Design Workshop

Zhttps://cc-chip.si/build-your-own-risc-v-computer-kicad-pcb-design-workshop/>



CC CHIP.SI
SLOVENIAN CHIPS COMPETENCE CENTER

© 2026, R.Rozman - FRI

2.2.10 Načrtovanje in gradnja dig. sistemov - KiCad

Delavnice na FRI:

Hands-on workshops at UL FRI (Ratko&Pa3cio)

Two 3-day, on-site, hands-on workshops – both fully booked

WORKSHOP 1 · 30 JUNE – 2 JULY 2026

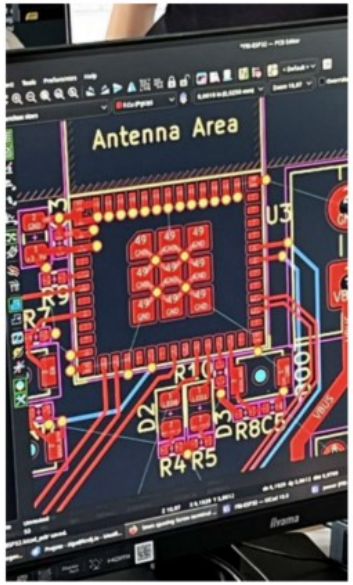
Bare-metal programming on RISC-V

- Low-level programming of a RISC-V microcontroller (SiFive FE310), directly on the hardware
- **12 hours, 13 participants** · all material published as an open book: https://bulicp.github.io/riscv-fe310-book/

WORKSHOP 2 · 28 SEPTEMBER – 30 SEPTEMBER 2026

Design your own computer: PCB in KiCad

- Each participant designs a 4-layer PCB for a computer built around the **ESP32-C3 RISC-V processor**
- **21 hours, 31 participants** · all material published as an open book: https://bulicp.github.io/FRI-ESP32-PCB-workshop/
- From schematic to routed board, manufactured and assembled in Slovenia (Lingva d.o.o., Tasking d.o.o.)





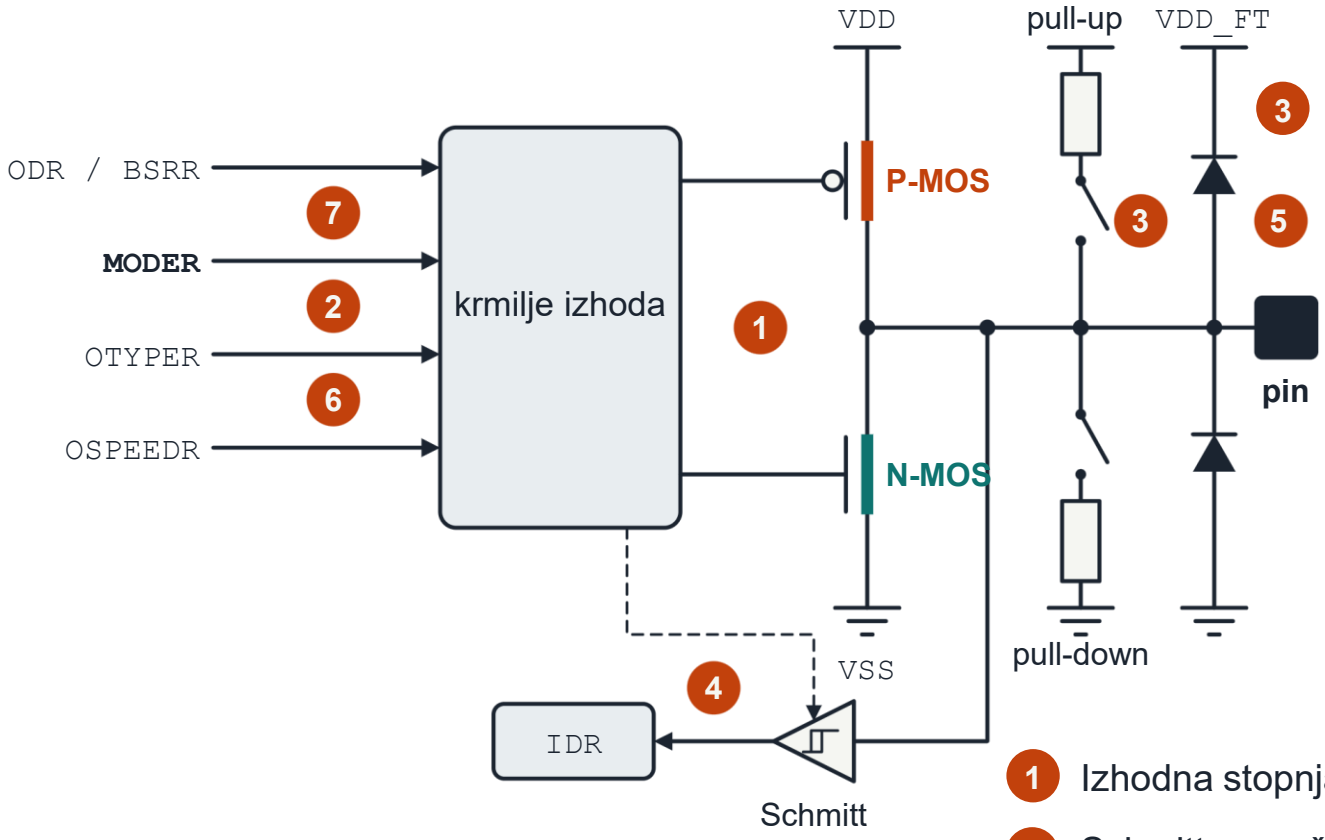
Author: 

4

CC CHIP.SI SLOVENIAN CHIP COMPETENCE CENTER

© 2026, R.Rozman - FRI

2.2.11 Primer GPIO nožice oz. priključka STM32H7



3 PUPDR: notranja upora – vhod „ne plava“

5 Zaščitni diodi (ESD); pri FT pinu zgornja na VDD_FT

1 Izhodna stopnja: CMOS negator

4 Schmittov prožilnik: histereza proti šumu

2 OTYPER = 1: open-drain – P-MOS vedno zaprt

6 OSPEEDR: jakost izhoda – strmina fronte

7 **MODER**: vhod, izhod, alternativna funkcija ali analogno

Poenostavljeno po RM0433, pogl. GPIO: »Basic structure of an I/O port bit«

© 2026, R.Rozman - FRI

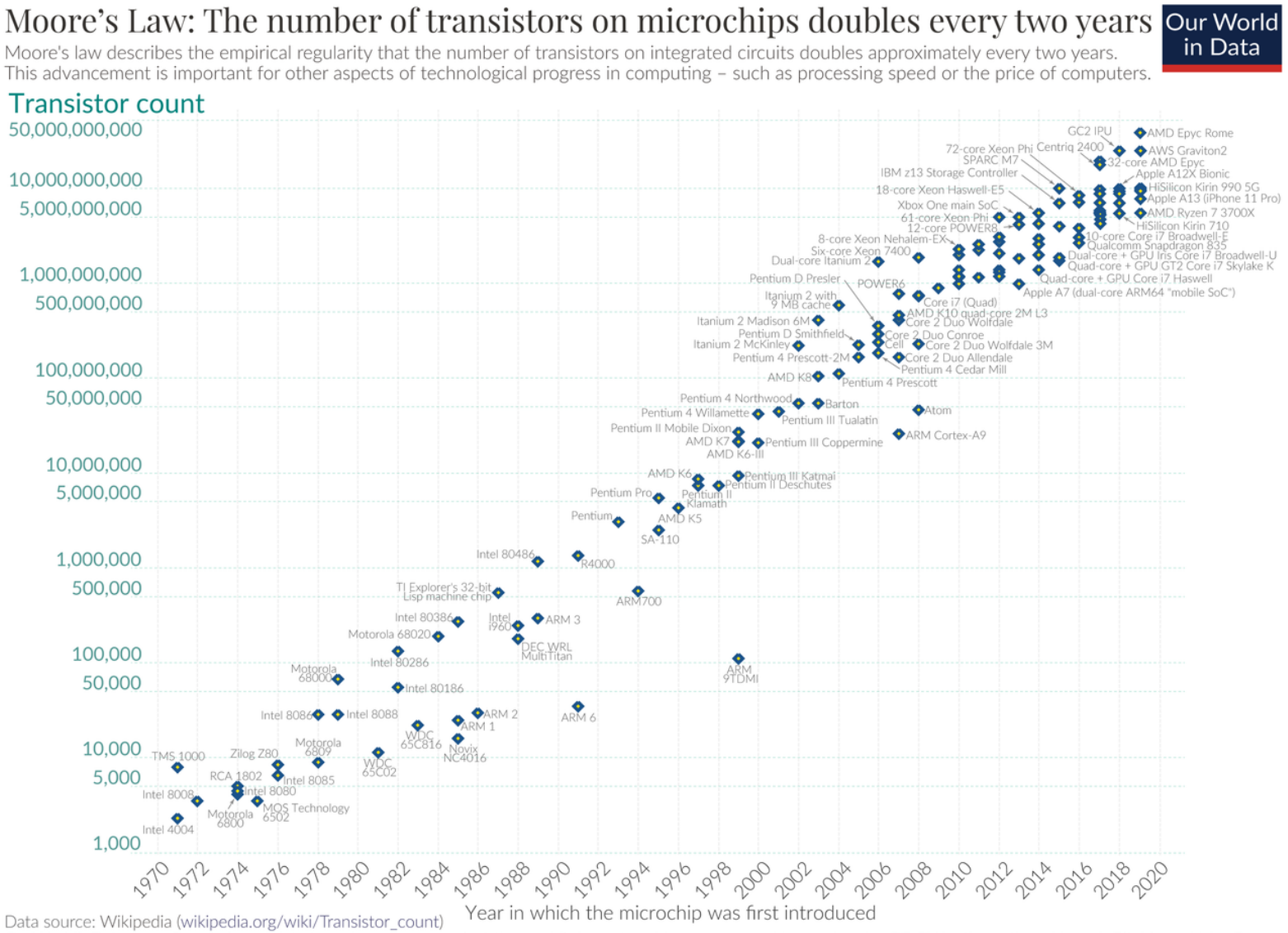
2.3 Razvoj tehnologije

Neenakomeren po področjih, različni vidiki:

- **2.3.1 Naraščanje števila tranz. na čipu**
- **2.3.2 Hitrost in poraba, moč**
- **2.3.3 Naraščanje zmogljivosti**
- **2.3.4 Pojav paralelizma**

© 2026, R.Rozman - FRI

2.3.1 Naraščanje števila tranz. na čipu



© 2026, R.Rozman - FRI

2.3.1 Naraščanje števila tranz. na čipu

Naraščanje št. tranz. pribl. sorazmerno s kvadratom zmanjševanja „feature size“

Intel tehnologije (mikroarhitekture) :

14 nm :
- Broadwell (2014)
- Skylake (2015)
- Kaby Lake, Coffee Lake (2017)

10 nm :
- Cannon Lake (2018)
- Ice Lake (2019)
- Tiger Lake-11th (2020)

Intel 7:
- Raptor Cove (2022)

Intel 4:
- Redwood Cove (2023)

Intel 3:
- (2024)

AMD tehnologije (mikroarhitekture) :

14 nm :
- ZEN (2017)

12 nm :
- ZEN+ (2018)

7 nm :
- ZEN 2 (2019)
- ZEN 3 (2020)

5 nm :
- ZEN 4 (2022)

3 nm :
- ZEN 5 (2024)

Procesorji

Processor	Transistor count	Year	Designer	Process (nm)	Area (mm²)	Transistor density (tr./mm²)
Sapphire Rapids quad-chip module (up to 60 cores and 112.5 MB of cache)[188]	44,000,000,000–48,000,000,000[189]	2023	Intel	10 nm ESF (Intel 7)	1,600 mm²	27,500,000–30,000,000
Apple M2 Pro (12-core 64-bit ARM64 SoC, SIMD, caches)	40,000,000,000[190]	2023	Apple	5 nm	?	?
Apple M2 Max (12-core 64-bit ARM64 SoC, SIMD, caches)	67,000,000,000[190]	2023	Apple	5 nm	?	?
Apple M2 Ultra (two M2 Max dies)	134,000,000,000[7]	2023	Apple	5 nm	?	?
AMD EPYC Bergamo (4th gen/97X4 series) 9-chip module (up to 128 cores and 256 MB (L3) + 128 MB (L2) cache)	82,000,000,000[191]	2023	AMD	5 nm (CCD) 6 nm (IOD)	?	?

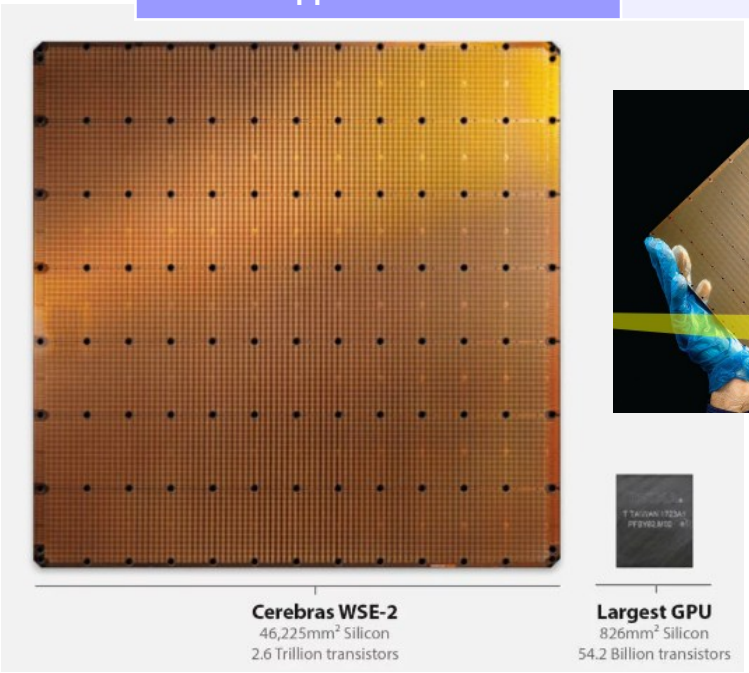
2.3.1 Naraščanje števila tranz. na čipu

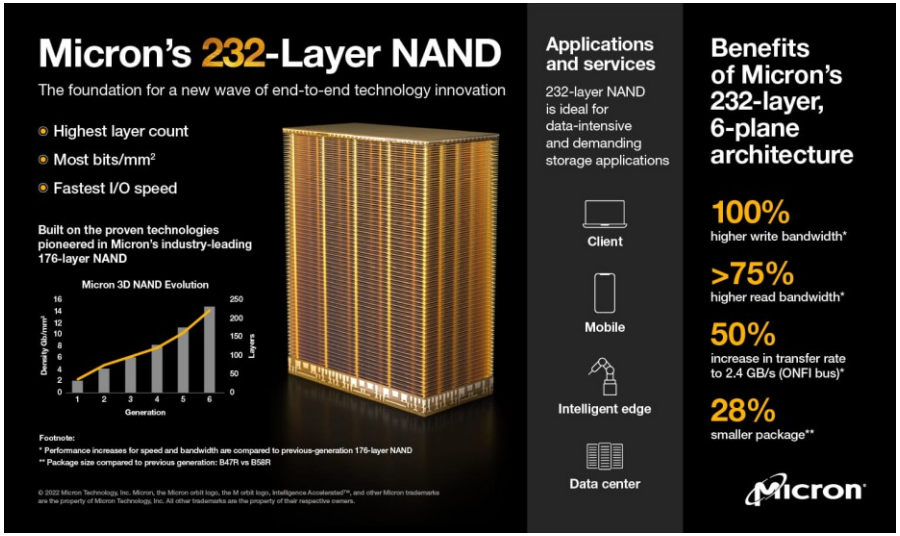
Ponovitev 1. poglavje

1.3.3 Digitalna vezja visoke stopnje integracije - VLSI

1.3.3.1 Razvoj digitalnih vezij - št. tranzistorjev in namen

Stopnja integracije	Leto	Št. tranzistorjev	Namen
Wafer Scale Engine WSE-2	2021	2600 milijard	*namenski AI čip
Micron 232-slojni 3D NAND (TLC), 1 Tbit	2022	≈ 333 milijard pomnilnih celic na čip (ohišje 2 TB s 16 čipi: ≈ 5300 milijard)	*namenski stacked Flash - ohišje s 16 čipi
Nvidia Rubin	2026	336 milijard	*GPE
Apple M3 Ultra	2025	184 milijard	*CPE





© 2026, R.Rozman - FRI

2.3.2 Frekvenca in poraba, moč

Povečevanje hitrosti delovanja :

- prva aproksimacija :
  - narašča linearno z zmanjševanjem „feature size“

Ne velja zaradi :

- slabšanja lastnosti povezovalnih žic
- naraščanja dinamične porabe tranzistorjev:

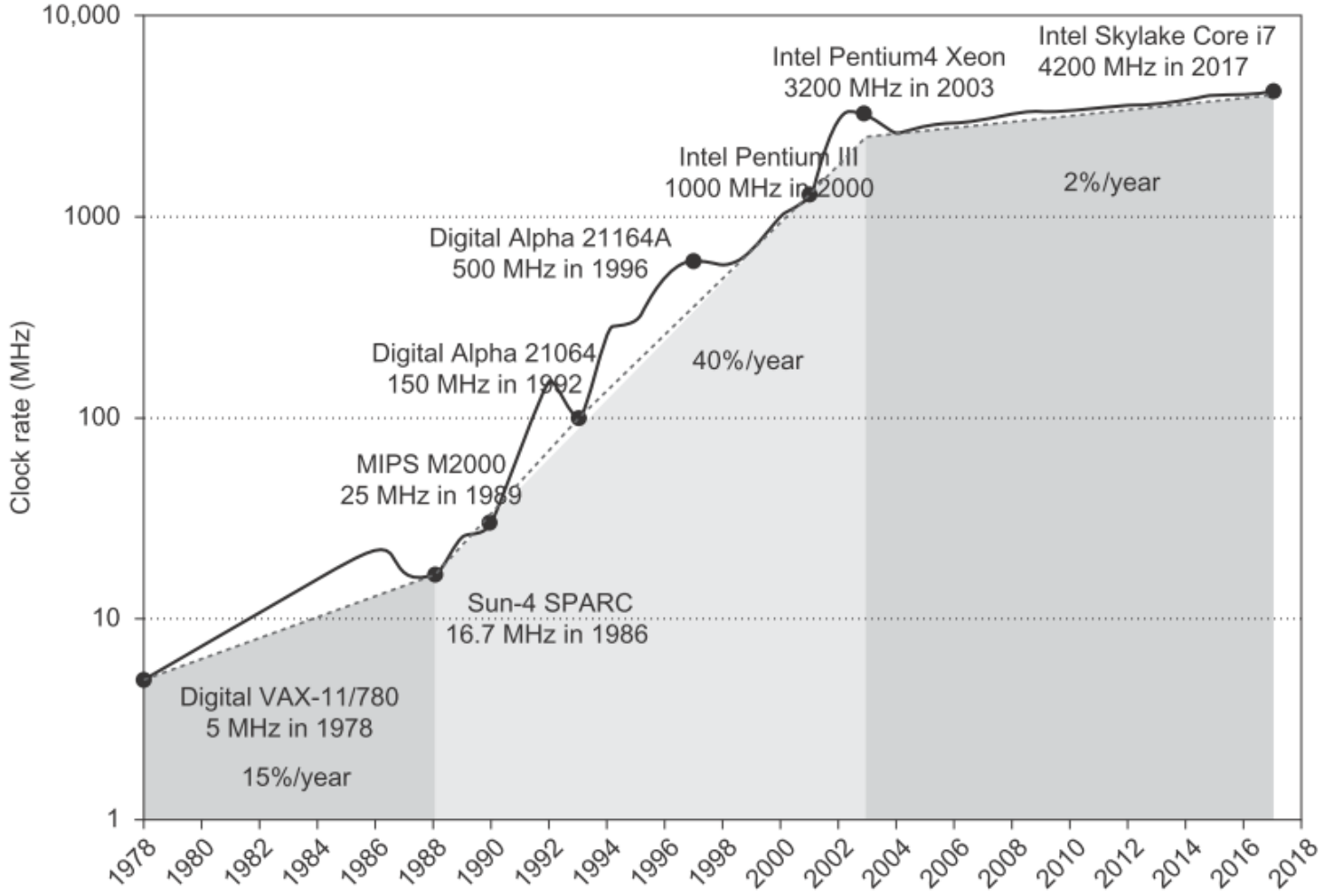
$$\textbf{Moč} = \alpha \times \textbf{Kapac.breme} \times \textbf{Napetost}^2 \times \textbf{Frek.preklopov}$$

Faktor aktivnosti (clock=1.0, običajno 0.1)

Poraba moči se povečuje tudi zaradi puščanja tranzistorjev pri nižjih napetostih – zato nepotrebne dele izklapljamo !

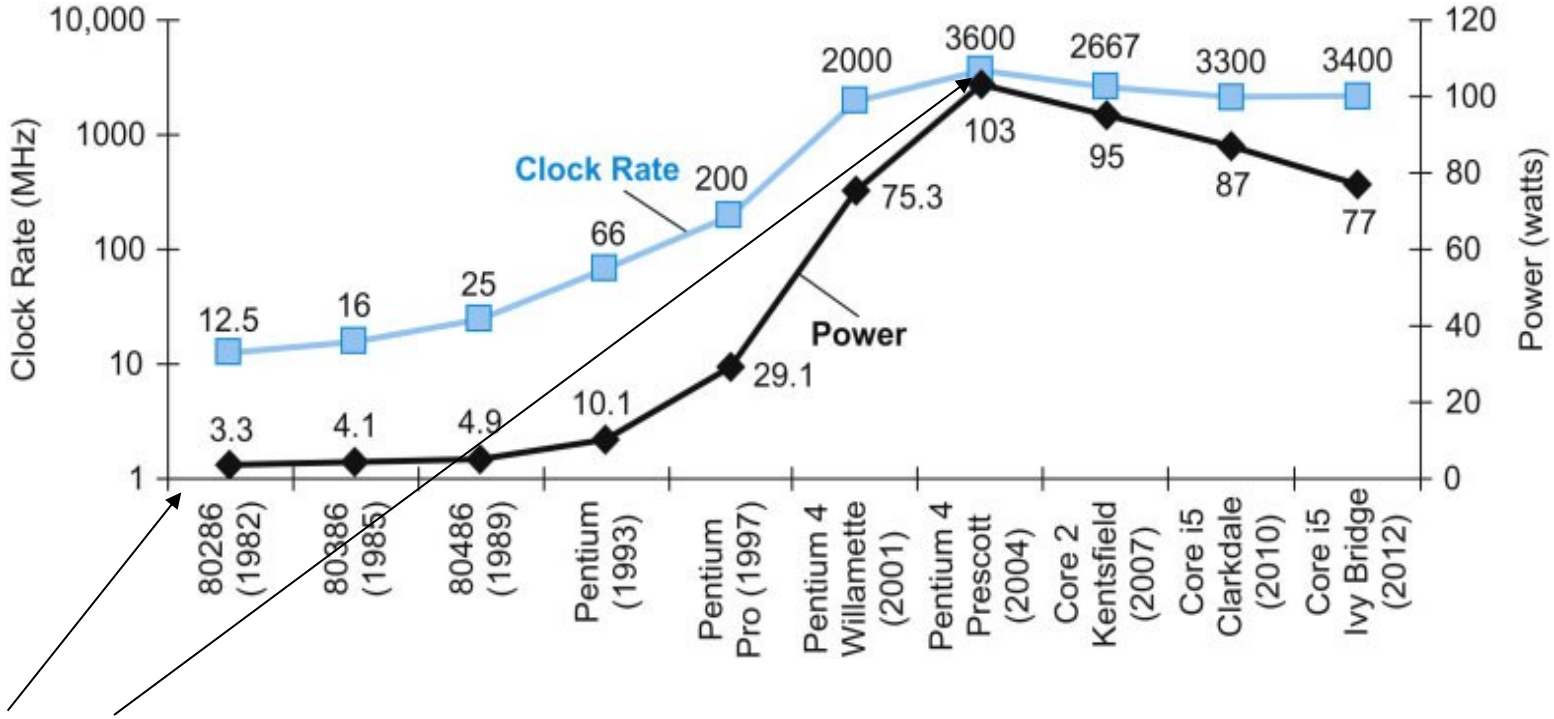
© 2026, R.Rozman - FRI

2.3.2.1 Frekvenca ure procesorjev



© 2026, R.Rozman - FRI

2.3.2.2 Frekvenca ure in moč (poraba) procesorjev Intel x86 čez 10 generacij



1982-2004:

- 300x povečanje frekv. ure
- 30x povečanje moči (???)

Kako je to mogoče ? -> nižanje napajalne napetosti…

© 2026, R.Rozman - FRI

2.3.2.2 Frekvenca ure in moč (poraba) procesorjev Intel x86 čez 10 generacij

1982-2004:

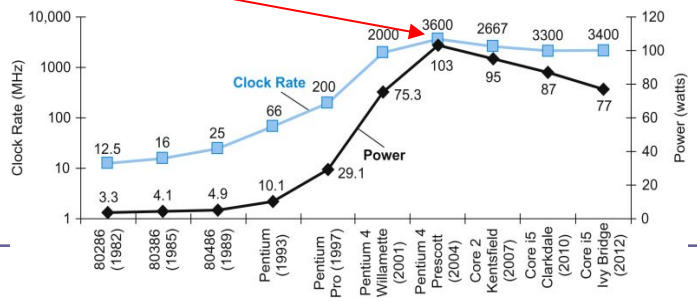
- 300x povečanje frekv. ure
- 30x povečanje moči (???)

Kako je to mogoče ? -> nižanje napajalne napetosti…

Za 10-kratno razliko mora C V^2 znašati ≈ 0.1,
Kar pomeni:

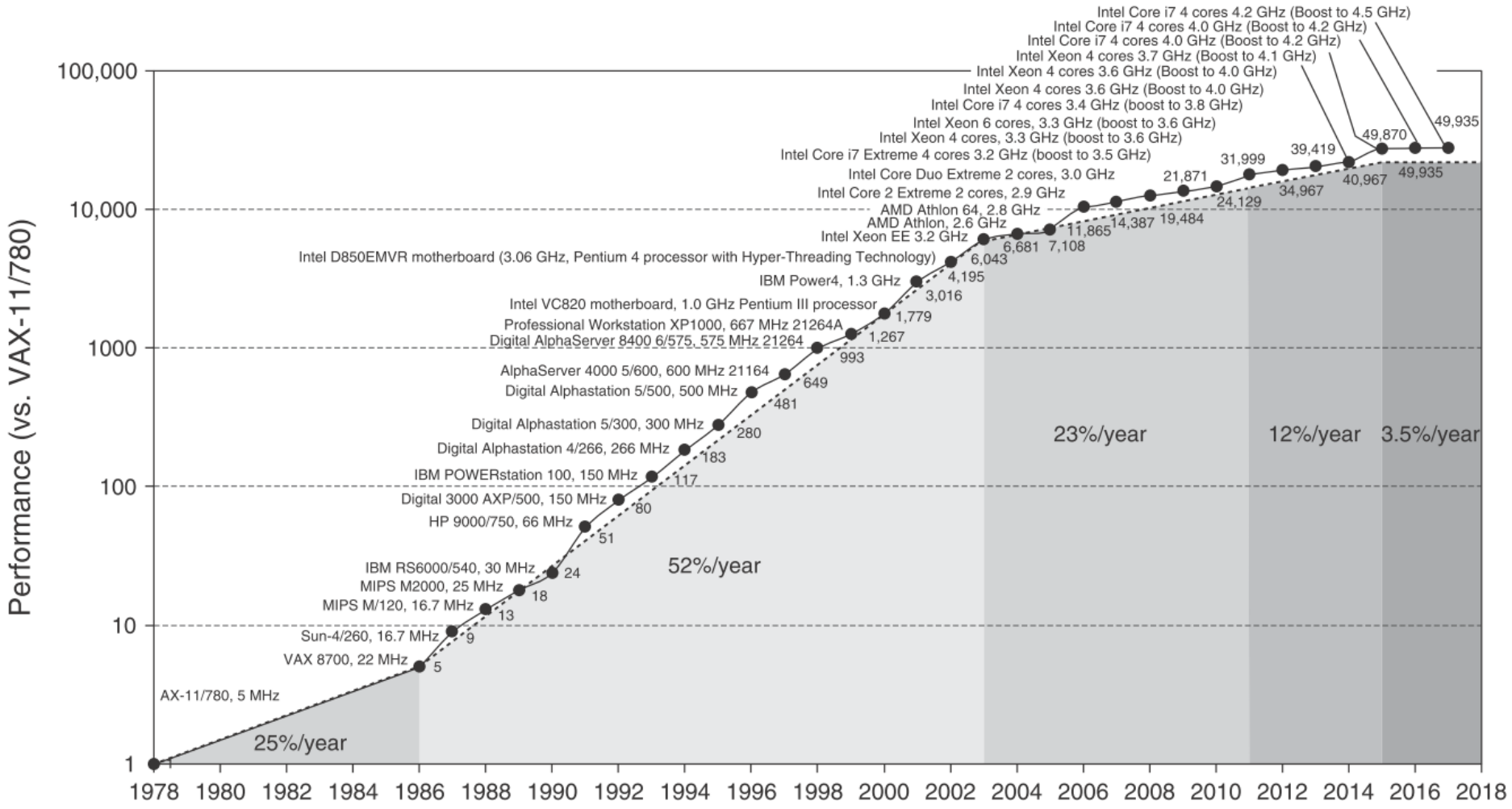
- zmanjšanje „V“ iz 5V (Intel 80286) na 1.4V (Intel Pentium 4), kar znese:ž
  - $(1.4 / 5)^2 = 0.078$, kar zadošča, ker se C ne spremeni veliko

Ko napetosti ni bilo več mogoče zmanjševati še naprej, se je ustavila tudi rast frekvence)



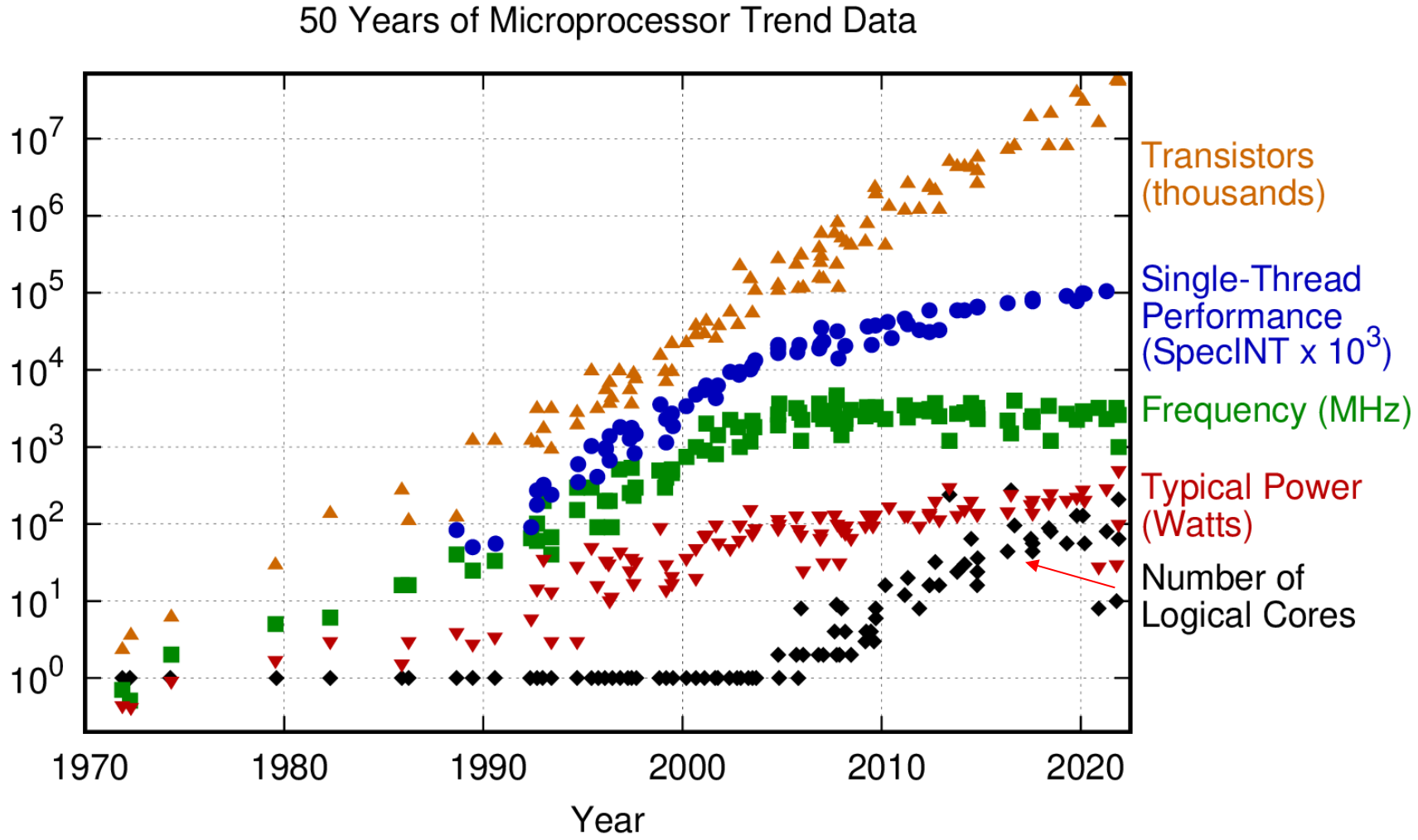
© 2026, R.Rozman - FRI

2.3.3 Naraščanje zmogljivosti procesorjev od leta 1986



© 2026, R.Rozman - FRI

2.3.4 Pojav paralelizma - analiza splošnih trendov



Vir: https://raw.githubusercontent.com/karlrupp/microprocessor-trend-data/master/50yrs/50-years-processor-trend.png

© 2026, R.Rozman - FRI

2.3.4 Pojav paralelizma

Zakaj ?

V zadnjih desetletjih:

- osnovna hitrost vezij (log.vrat) se poveča ?-krat
- št. elementov na čipu se poveča ?-krat

Večjedrni mikroprocesorji (multiprocesorji, multiračunalniki, …)

Procesor	Intel Core Nehalem	AMD Phenom II Thuban	Intel Core i7 Gulftown	IBM Power 6	Sun Ultra Sparc T2 Niagara 2	i9-7900X (09/2017)	Ryzen 5900X (2020)	i9-11900K (2021)	i9-13900K (2022)	Ryzen 7950X (2022)
Število jeder	4	6	6	2	8	10	12	8	24	16
Frekvenca ure	2,667 GHz	3,2 GHz	3,33 MHz	4,7 GHz	1,4 GHz	3.3-4.3 GHz	3.7-4.8 GHz	2.5-5.3 GHz	2.2-5.8	4.5-5.7
Moč (TDP)	~100 W	152 W	130W	~100 W ?	84 W	140 W	105 W	125W	125W	170W

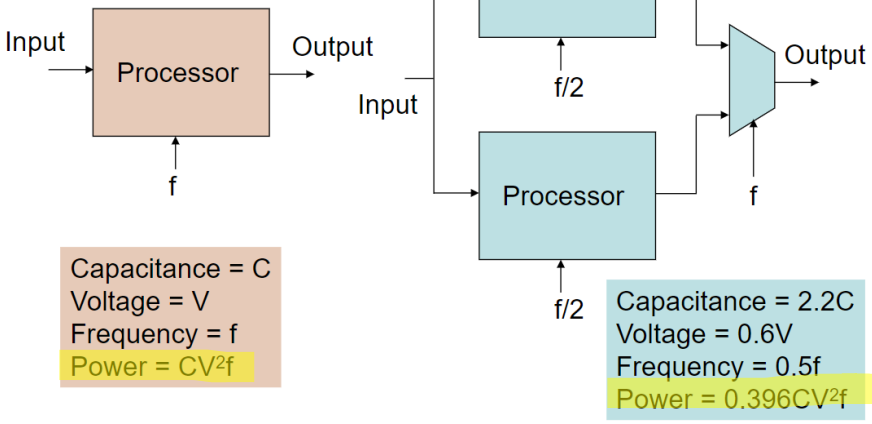
© 2026, R.Rozman - FRI

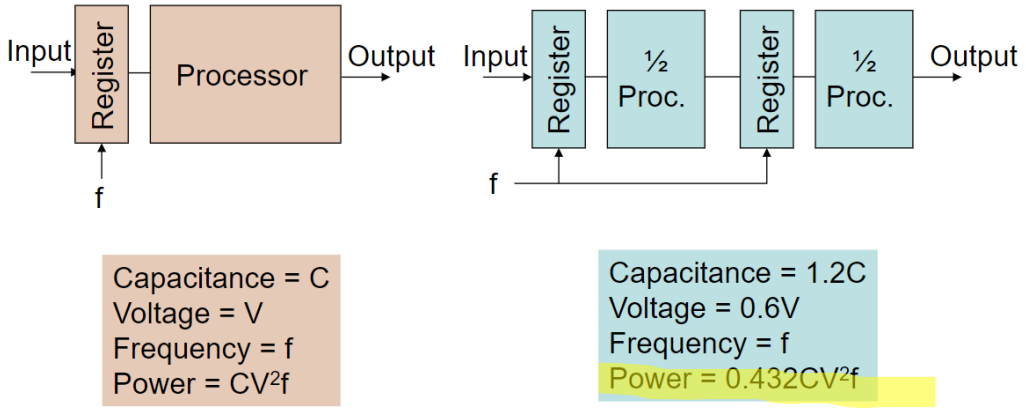
2.3.4 Pojav paralelizma

Poraba ?

„… Dve jedri porabita manj kot eno dvakrat hitrejše …“

Prednost :





© 2026, R.Rozman - FRI

Izbrane tehnološke novosti

Deep Learning at the Speed of Light

Lightmatter bets that optical computing can solve AI's efficiency problem



FEATURE

A Quantum Speedup for the Fast Fourier Transform

Quantum computers will turbocharge the algorithm that underpins much of modern tech

The Future of Deep Learning Is Photonic

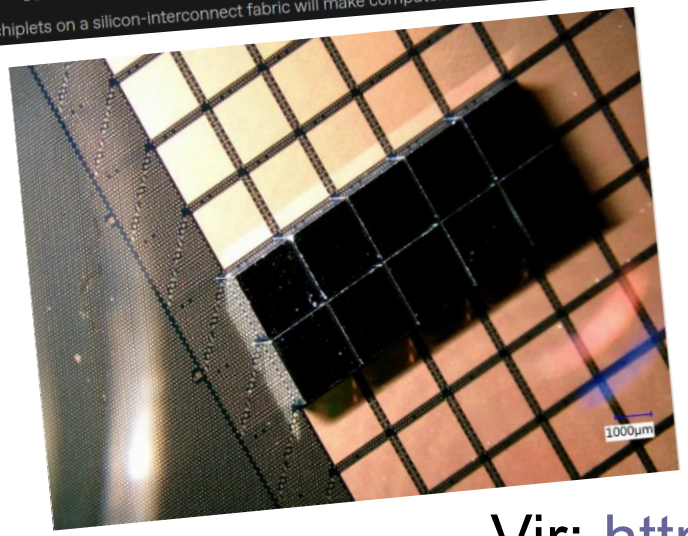
Reducing the energy needs of neural networks might require computing with light

New Optical Switch up to 1000x Faster Than Transistors › "Optical accelerator" devices could one day soon turbocharge tailored applications

BY CHARLES Q. CHOI | 15 OCT 2021 | 2 MIN READ |

GOODBYE, MOTHERBOARD. HELLO, SILICON-INTERCONNECT FABRIC

Bare chiplets on a silicon-interconnect fabric will make computers smaller and more powerful



Supersize AI

Cerebras's silicon-wafer-size chip boasts 2.6 trillion transistors



Name	Number of MOSFETs (in billions)
M1 Max	57
Colossus Mk2 GC200	59.4
GA100 Ampere	54
Samsung's V-NAND chip	2000
Wafer Scale Engine 2	2600

Vir: https://spectrum.ieee.org/magazine/

© 2026, R.Rozman - FRI

Viri in dodatna gradiva

- Dodatna literatura :
  - P. Bulič: Osnove digitalnih vezij
    - Zapiski pri predmetu ORS (Organizacija Računalniških Sistemov)

- Podatkovna listina: sn74ls00

- Prikaz načrtovanja in produkcije tiskanih vezij (PCB) - matičnih plošč
  - Complete PCB Cycle Design to Production (4 min)
  - How Motherboards Are Made (2019) (14min)

© 2026, R.Rozman - FRI

ORGANIZACIJA RAČUNALNIKOV

Dodatek

2. Osnove digitalnih vezij

© 2026, R.Rozman - FRI

Zanimivost

2.2.12 Neuporabljeni vhodi/izhodi

Pravila za neuporabljene vhode oziroma izhode:

- *neuporabljen vhod v vezje:*
  - **TTL in CMOS:** mora biti obvezno priključen na 0 ali 1.

- *cel element neuporabljen*
  - **TTL:** lahko nepovezan
  - **CMOS**: neuporabljene celotne elemente v CMOS vezjih moramo povezati na 0 ali 1

© 2026, R.Rozman - FRI