



ORGANIZACIJA RAČUNALNIKOV

6 Prenosne poti in vrste prenosov (informativna, dodatna vsebina)

Namen in cilji 6. poglavja:

- Večno vprašanje:
 - kako prenesti več podatkov v časovni enoti ?
- Poudarki :
 - asinhronski vs. sinhronski prenos
 - nadaljnje zgostitve podatkov:
 - eksplozijski, protokolski, izvorno sinhronski prenos
 - razumevanje navideznega paradoksa:
 - prevlada hitrih serijskih povezav
- Izbrani primeri :
 - PCI vodilo (plug'n'play)
 - PCI Express, USB
 - Intel: QPI, „DDR Memory Bus“

6. Prenosne poti in vrste prenosov

Prenosne poti :

- povezujejo: CPE, predpomn., gl.pomn. in V/I naprave
- vplivajo na zmogljivost računalnika:

Količino prenesene informacije lahko povečamo:

- s **krajšim časom prenosa 1 enote**
 - včasih večji vpliv hitrosti elementov, danes bolj lastnosti povezovalnih linij
- **večjim številom hkrati prenesenih bitov (danes 8-256)**
 - prenos več sosednjih pomnilniških besed

Zaradi prenosnih poti oz. povezav imamo danes velike težave :

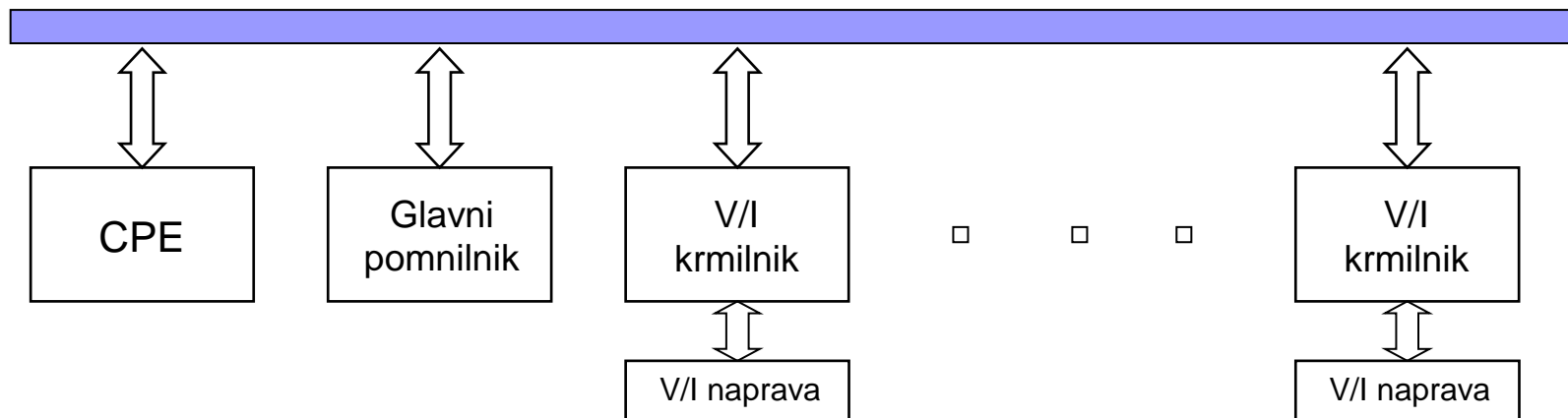
- višje hitrosti, gostote elementov
 - povezave tanjše, **zakasnitve v povezavah večji problem od zakasnitev v tranzistorjih...**

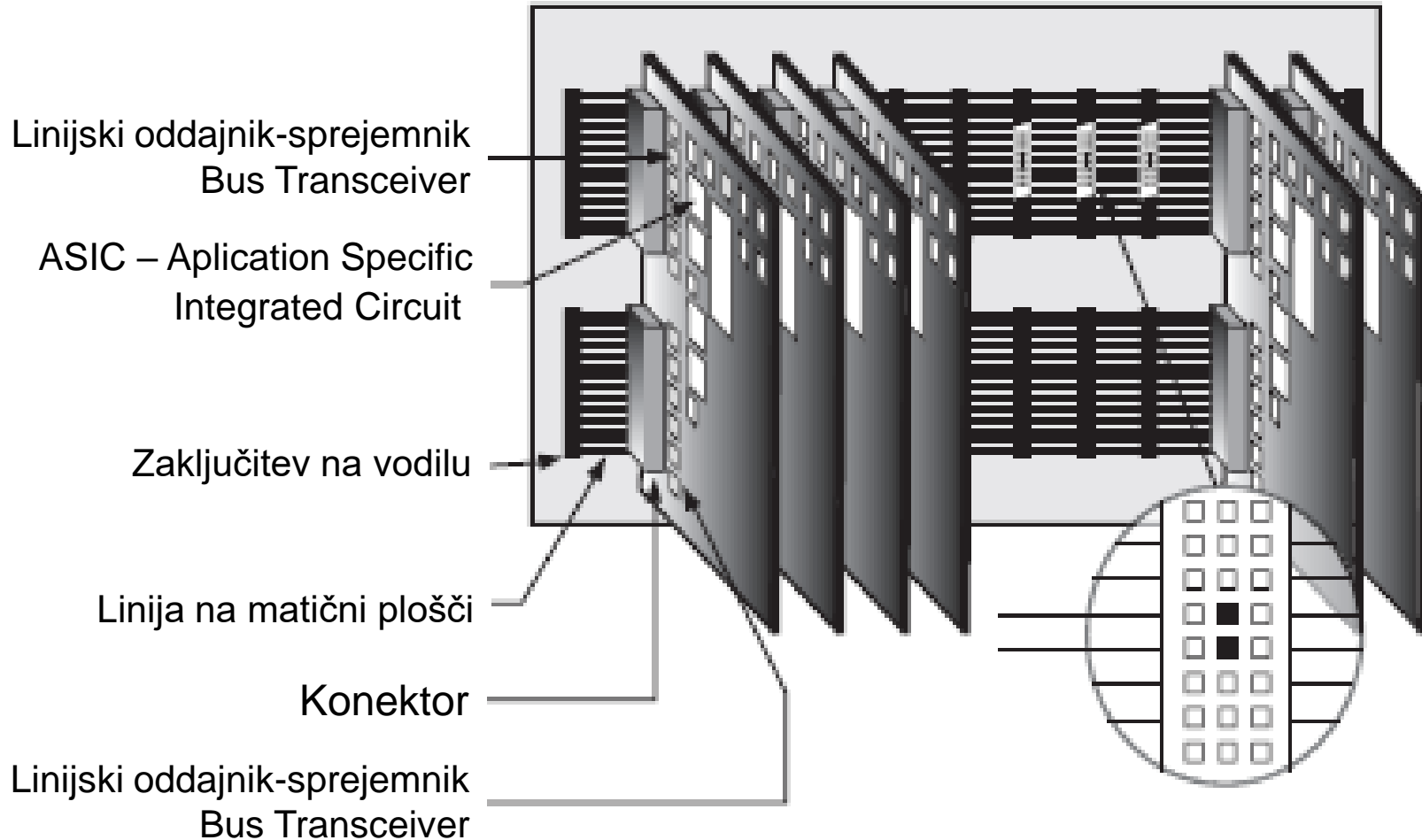
6.1 Povezovalne strukture

■ 6.1.1 Vodilo („bus“)

- Vodilo si delijo ...
- Fizično je vodilo množica paralelnih linij (žic), po katerih potujejo električni signali.
- Linije imajo odcepe, na katere so priključene enote
- Primerjava:
 - +vsi poslušajo, enostavno dodajamo/odvzemamo naprave
 - hkrati samo 1 prenos („half duplex“), nujnost arbitraže, omejeno št. odcepov

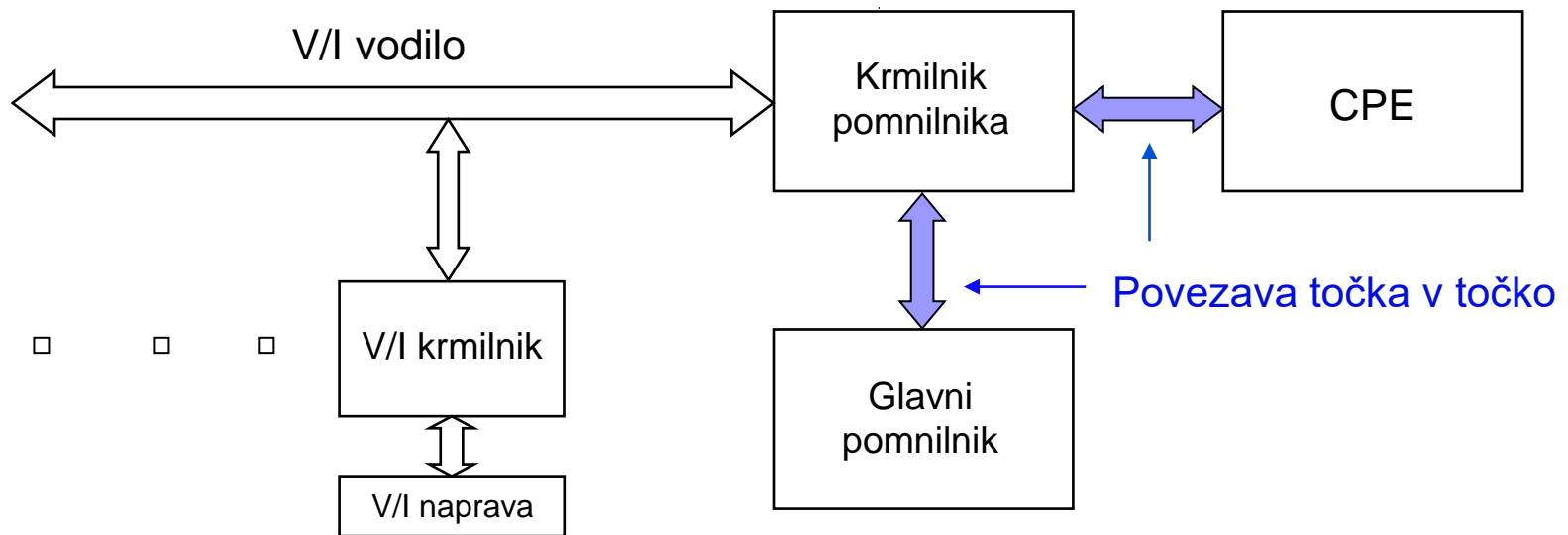
vodilo – povezuje več naprav





6.1 Povezovalne strukture

- 6.1.2 P2P - Povezava točka v točko (angl. „point to point“ ali „P2P“)
 - Prenosna pot, ki povezuje samo dve napravi
 - + neodvisna od ostalih povezav
 - + ni odcepov -> hitrejša
 - potrebnih več P2P povezav



„Klasična“ hierarhična zgradba povezav

Običajna rešitev:

- **P2P za bolj kritične povezave** (grafika)
- **vodila za počasnejše povezave** (V/I naprave)

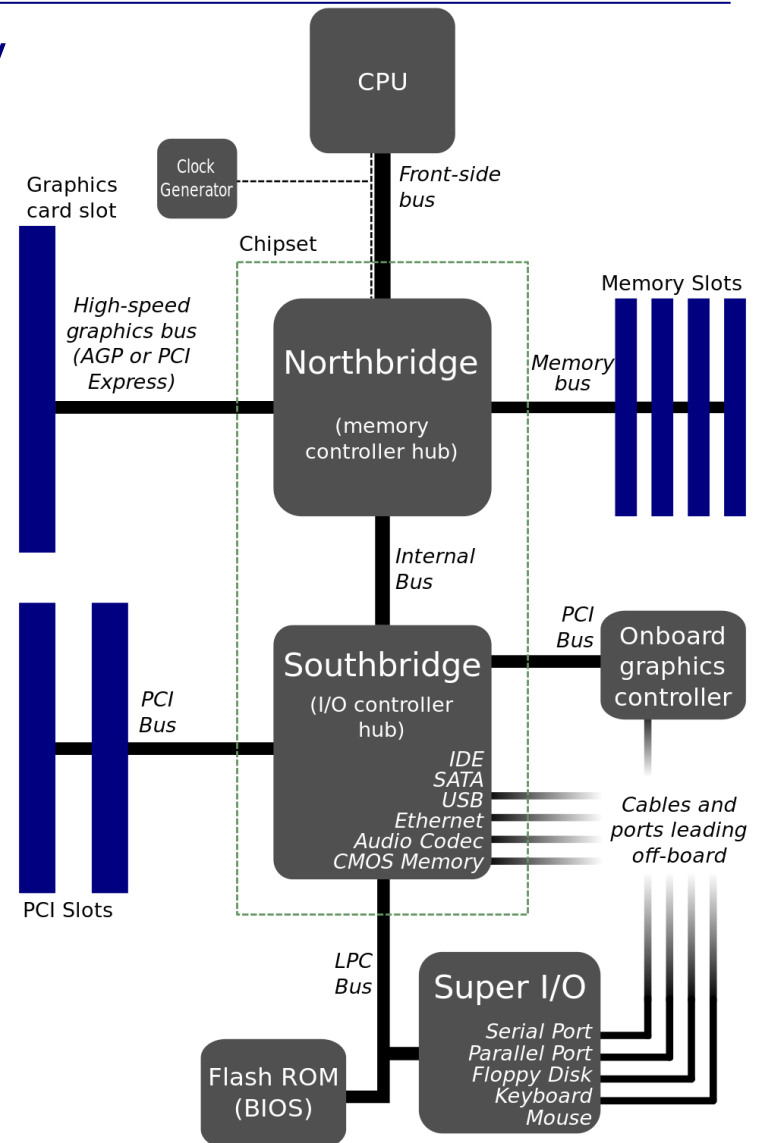
„ChipSet“ vsebuje:

MCH – Memory Controller Hub - „NorthBridge“

- **FSB – Front Side Bus**
 - vmesnik za povezavo s procesorjem
- **Memory Bus**
 - krmilnik za DRAM pomnilnike
- **AGP, PCI Express** (običajno 16x):
 - vmesnik za grafično kartico
- **DMI – Direct Media Interface (Internal Bus)**
 - vmesnik za povezavo z ICH - V/I krmilnikom

ICH – I/O Controller Hub - „SouthBridge“

- **PCI vodilo** (PCI kartice, grafika)
- Diski: **IDE, SATA**
- »Super V/I«: **USB, Serijski port,...**



6.2 Osnovne vrste prenosov

Prenosno pot sestavlja določeno število povezovalnih linij, po katerih se prenašajo štiri vrste signalov:

■ Podatkovni signali

□ širina prenosne poti :

- število podatkovnih signalov (linij) je enako številu bitov, ki se naenkrat prenašajo

■ Naslovni signali

- Določajo **naslov pomnilniške besede ali V/I naprave** (registra v krmilniku) na katero se nanaša prenos.
- **velikost naslovnega prostora** : je določena s številom naslovnih signalov (bitov).

■ Kontrolni signali

- Določajo **smer prenosa** (branje ali pisanje), **število prenesenih bitov** in **časovno zaporedje** dogodkov pri prenosu

■ Urin signal

- Imamo 2 fronti – prehodi ob „aktivni“ fronti
- Fronte morajo biti **karseda sočasne** !

■ Razširitve:

- paritetni signali
- multipleksiranje

Zaporedje dogodkov pri prenosu

Gospodar („master“):

- vodi prenos od začetka do konca s signali na prenosnih poteh

Suženj (“slave“)

- se odziva na zahteve gospodarja

Glede na način določanja začetka in konca prenosa ločimo:

- sinhronski prenos
- asinhronski prenos

6.2.1 Sinhronski prenos – bralni prenos

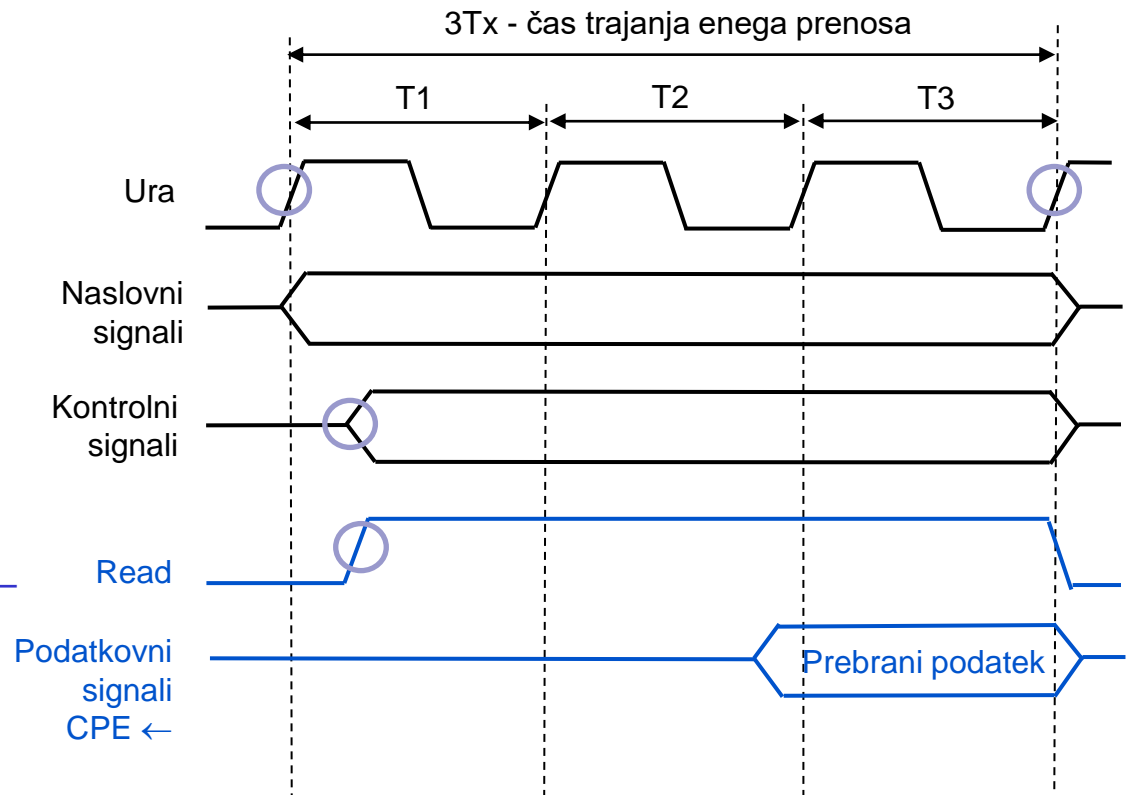
Prednosti, slabosti:

+ čas prenosa enak

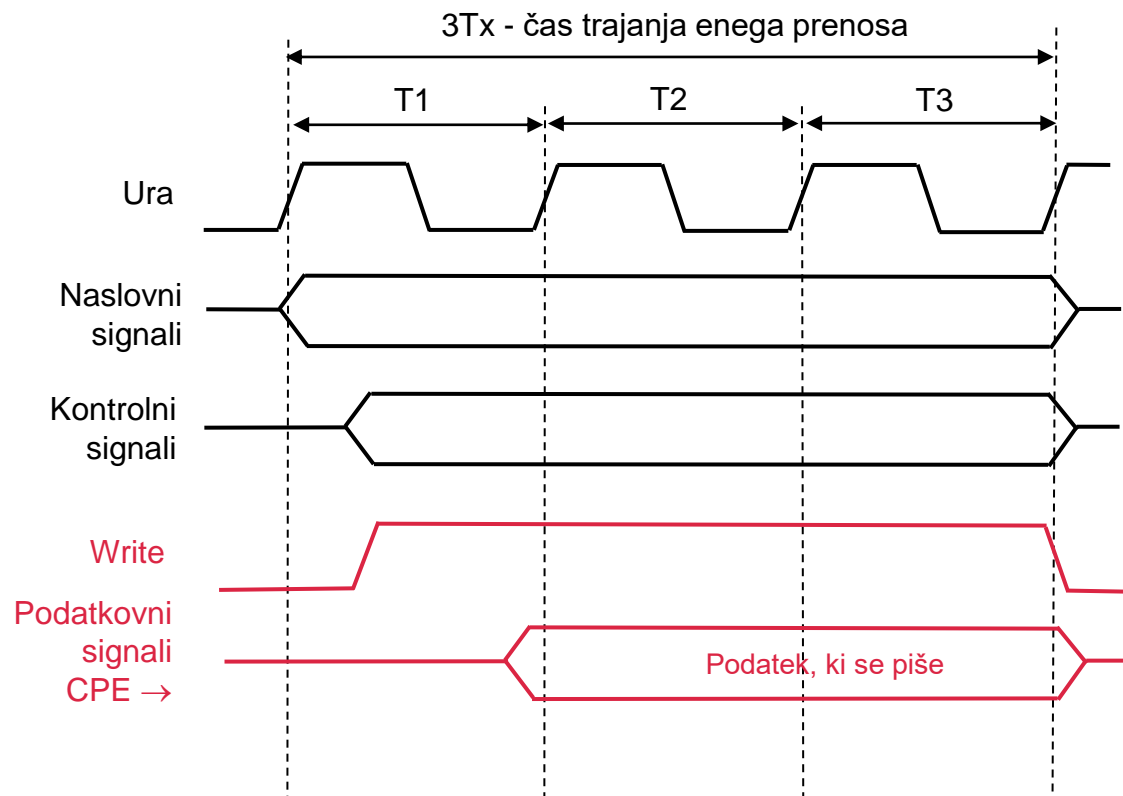
- prilagoditev najpočasnejši napravi

Potek:

- **1.aktivna fronta** pomeni začetek – T1
- **2.gospodar vzpostavi** (T1)
 - najprej naslovne in potem kontrolne sig.
 - pri pisanju še podatk. signale
- **3.enota ima čas** do zaklj. Fronte – T3
- **4.po koncu** še »držalni čas« morajo biti signali stabilni (T3)



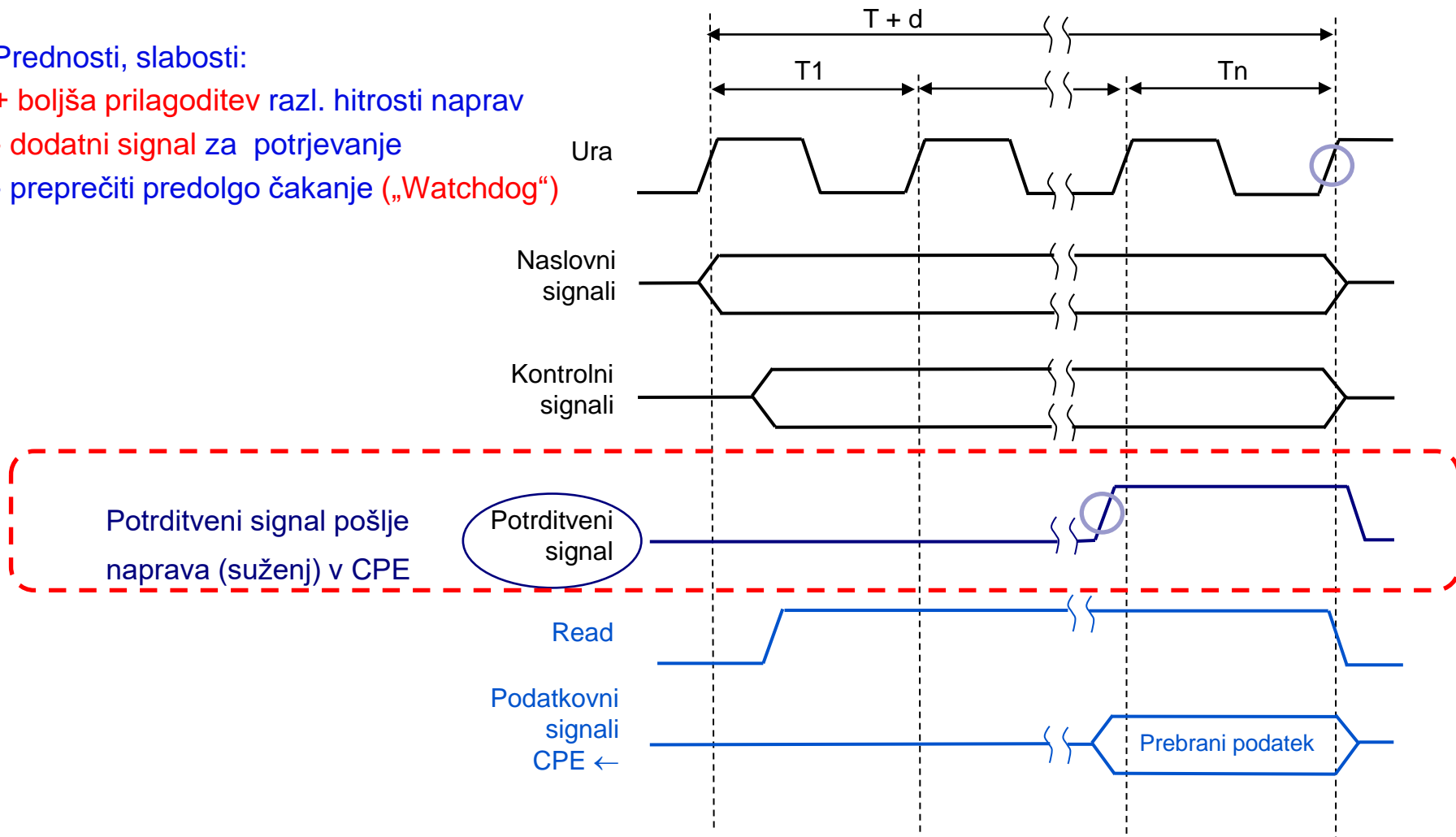
6.2.1 Sinhronski prenos – pisalni prenos



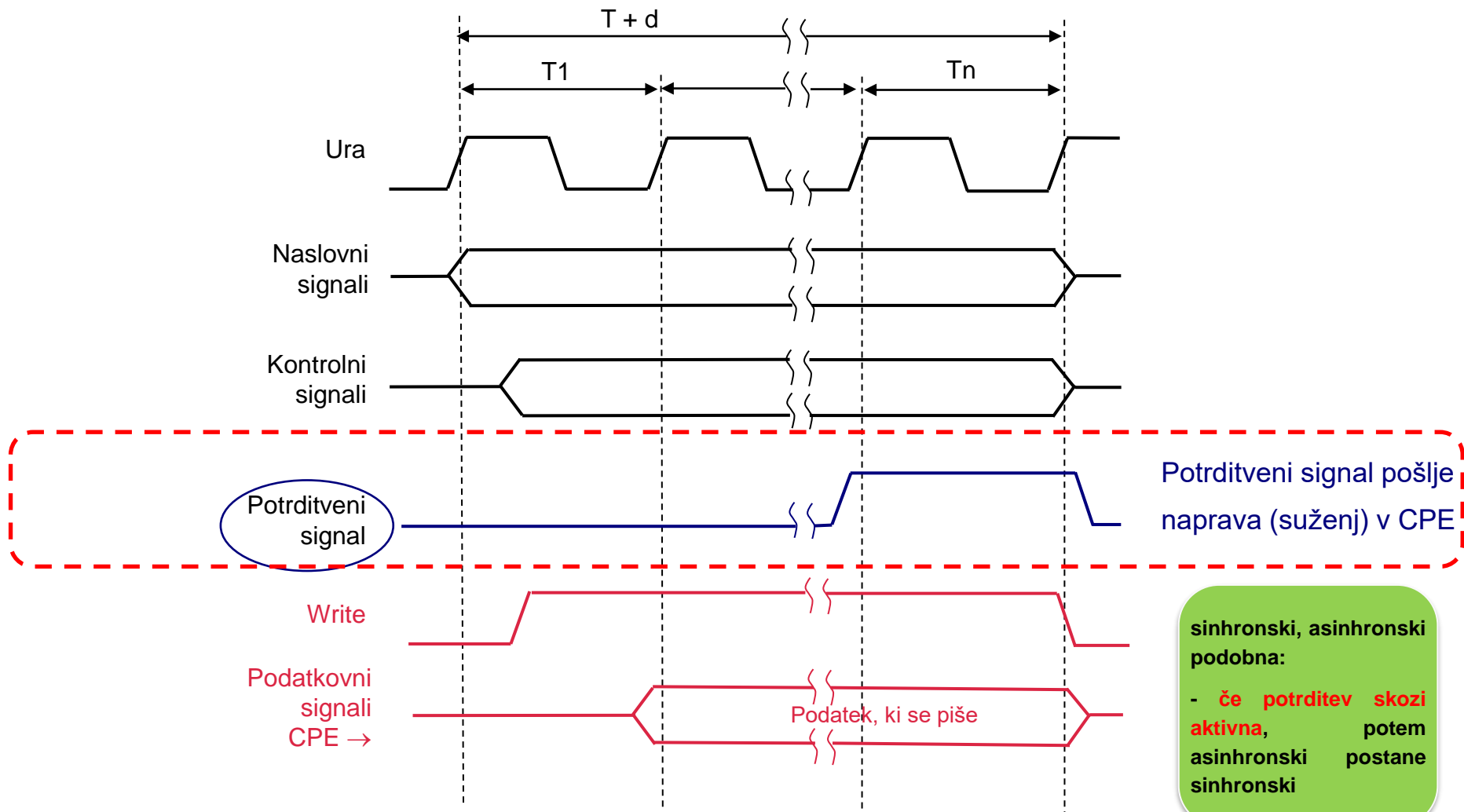
6.2.2 Asinhronski prenos – bralni prenos

Prednosti, slabosti:

- + boljša prilagoditev razl. hitrosti naprav
- dodatni signal za potrjevanje
- preprečiti predolgo čakanje („Watchdog“)



6.2.2 Asinhronski prenos – pisalni prenos



6.2.3 Časovni parametri pri prenosu

Zakasnitveni čas (angl. *propagation time*) (začetek - t_1):

- čas, ki preteče od začetka periode prenosa do vzpostavitve naslovnih in kontrolnih signalov (zakasnitev v digitalnih vezjih)

Čas dostopa (angl. *access time*) ($t_1 - t_2$):

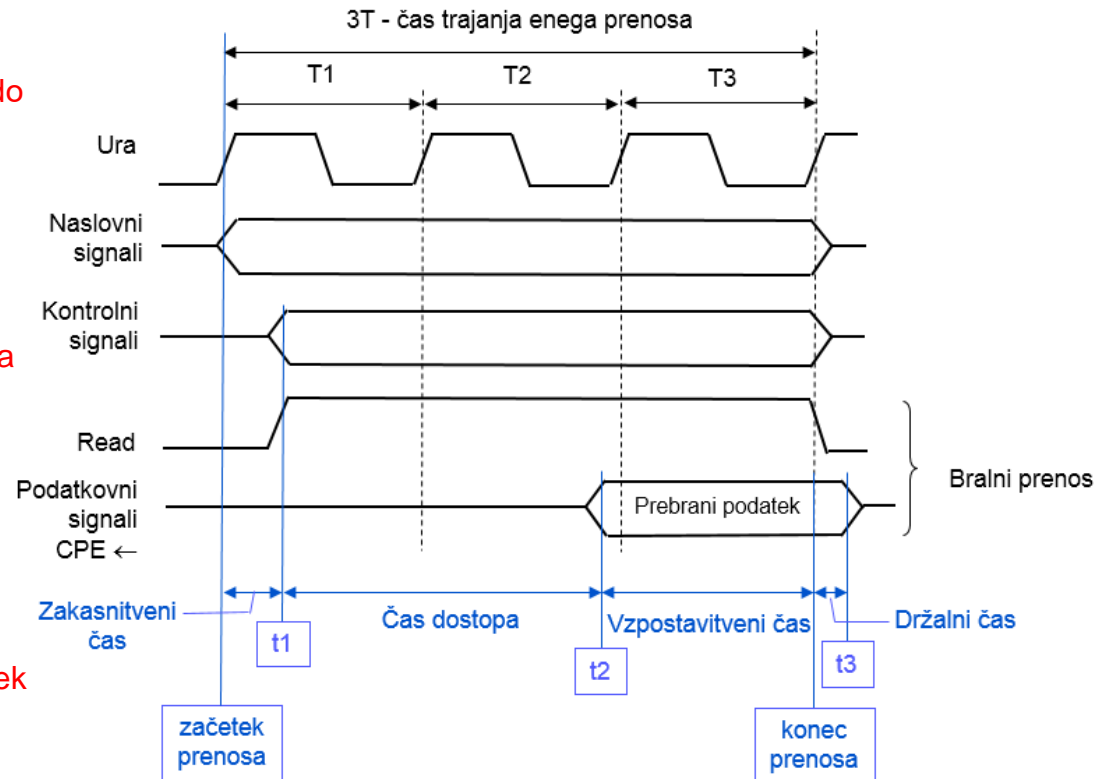
- čas, ki preteče od vzpostavitve naslovnih in kontrolnih signalov do trenutka ko naslovljena enota da podatke na podatkovne signale.

Vzpostavitveni čas (angl. *setup time*) (t_2 - konec):

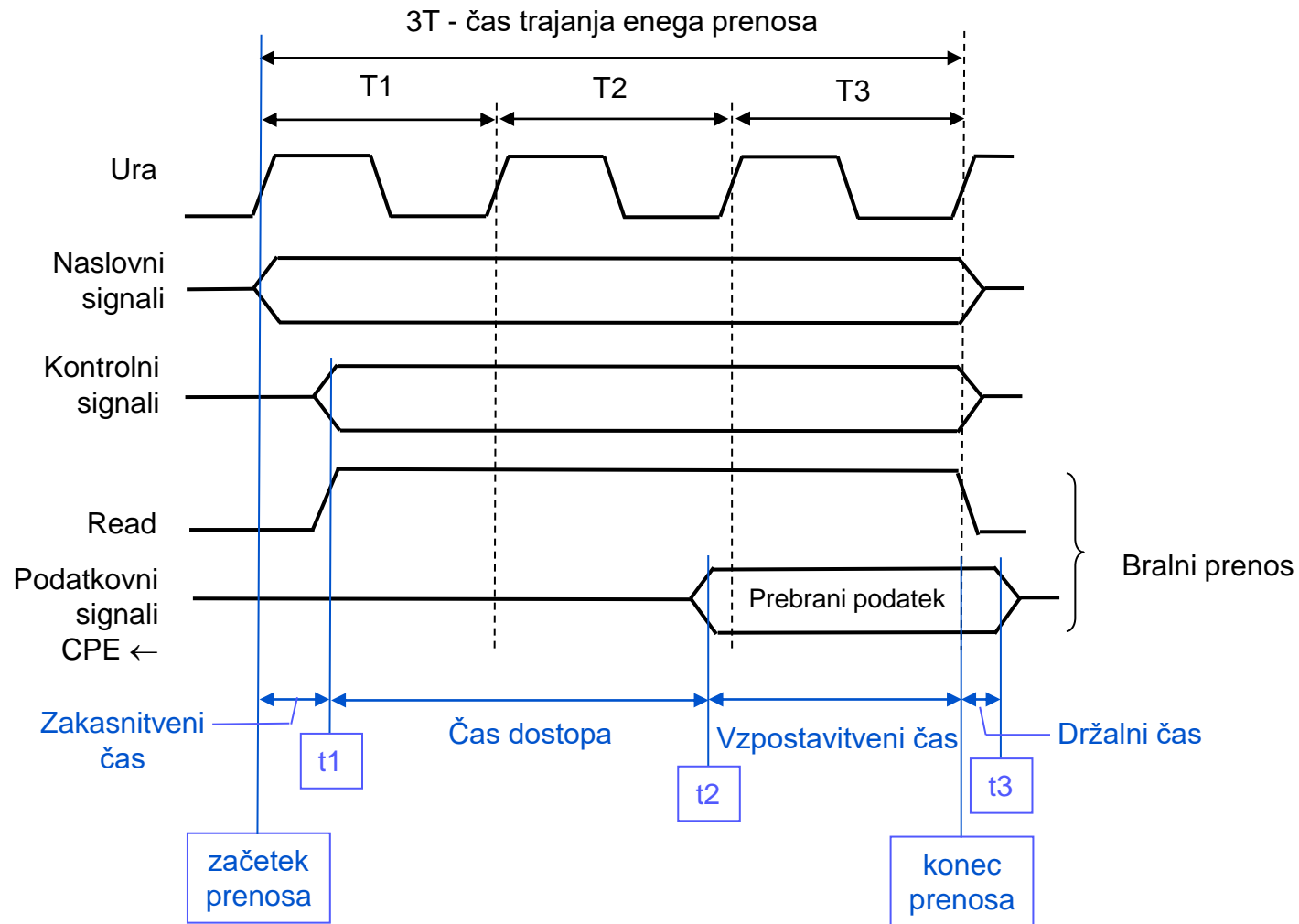
- enota, ki sprejema informacijo, mora imeti pred koncem prenosa na svojih podatkovnih signalih (vhodih) prisoten stabilen podatek nek minimalen čas.

Držalni čas (angl. *hold time*) (konec - t_3):

- čas po preteku zadnje aktivne fronte, ko morajo signali še biti stabilni
- običajno 0, vendar ga nekatere naprave zahtevajo.



6.2.3 Časovni parametri pri prenosu



- **Prenosni ali dostopni cikli**: ker se prenosi po prenosnih poteh ciklično ponavljajo, zato govorimo tudi o **prenosnih ali dostopnih ciklih**.
- **Kapaciteta prenosne poti**: največje **število prenesenih bajtov v sekundi**
- **Hiter računalnik** zahteva **prenosne poti z veliko kapaciteto**, kar še posebej velja za povezavo **CPE in glavnega pomnilnika**.
- Te hitre povezave so **običajno sinhronske**
 - (v nadaljevanju vzemimo, da **trajajo $2T$**)

Velikih hitrosti prenosov ni lahko doseči, saj moramo pri visokih hitrostih **upoštevati še čas potovanja električnih signalov:**

- za pravilen prenos mora biti vsota vseh časov manjša ali enaka času trajanja prenosa (v tem primeru $2T$)

$$t_{\text{potovanja}} + t_{\text{zakasnitev}} + t_{\text{dostopni}} + t_{\text{vzpostavitveni}} \leq 2T$$

pisanje samo 1τ , branje 2τ
vzamemo 2τ kot slabši
primer

$$t_{\text{potovanja}} = 2T = 2l\delta$$

$$2T + t_{\text{zakasnitev}} + t_{\text{dostopni}} + t_{\text{vzpostavitveni}} \leq 2T$$

- τ = čas potovanja signala po povezavi v eno smer
- $t_{\text{zakasnitev}}$.. vsota vseh zakasnitev v dig. vezjih (od zač. do t_1 , ostala dig. vezja)
- l = dolžina povezave [m]
- δ = zakasnitev signala na dolžini 1m, tipično $\delta \approx 7\text{ns/m}$

6.2.3 Časovni parametri pri prenosu

Primer: dolžina povezave 20cm:

$$2\tau = 2 * 0.2m * 7 \text{ ns/m} = 2.8 \text{ ns} \quad \rightarrow \quad 1/2.8\text{ns} = 357\text{MT/s} \quad (\text{idealni primer})$$

$\approx 200\text{MT/s}$ (realno z upoštevanjem ostalih časov)

2007: pojav rač. z 2000MT/s – kako?

Primer: dolžina povezave 20cm:

$2\tau = 2 * 0.2m * 7 ns/m = 2.8 ns$ $\rightarrow 1/2.8ns = 357MT/s$ (idealni primer)

$\approx 200MT/s$ (realno z upoštevanjem ostalih časov)

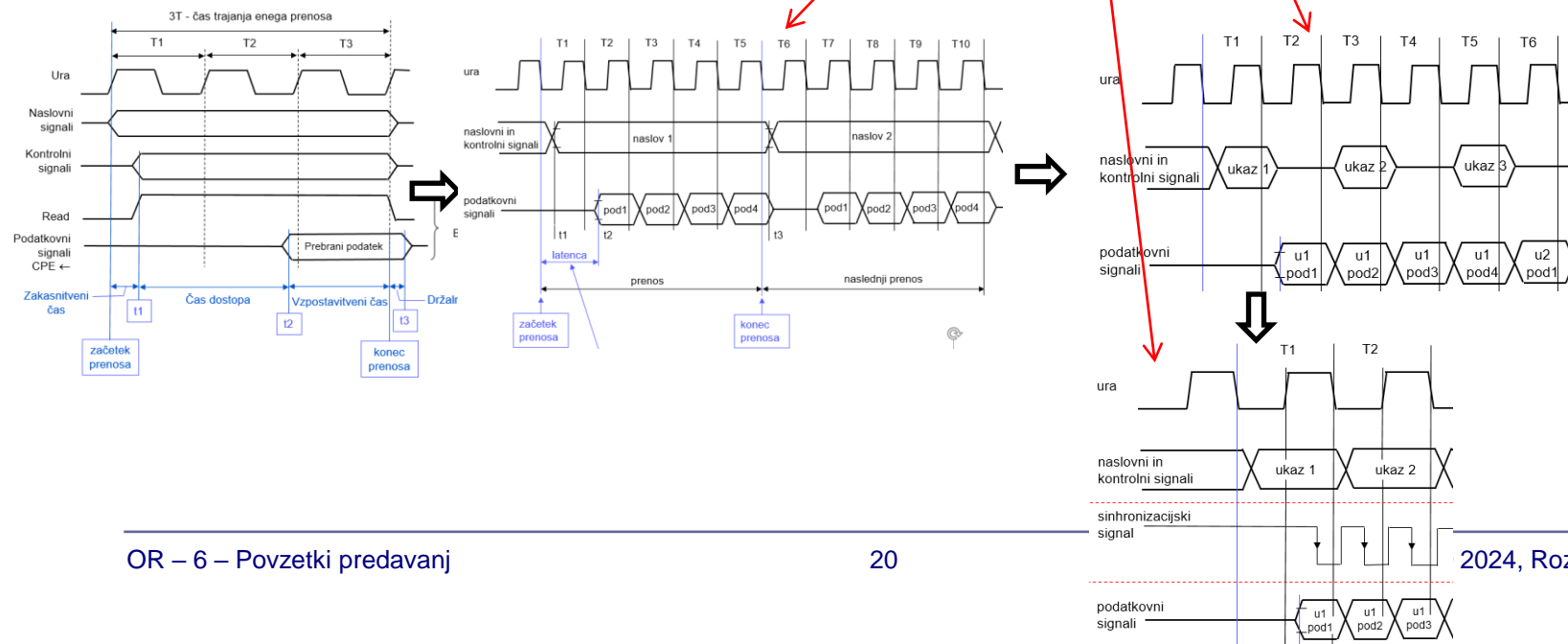
2007: pojav rač. z **2000MT/s** – kako?

- z drugačnimi načini prenosa
(zgostimo tok podatkov)

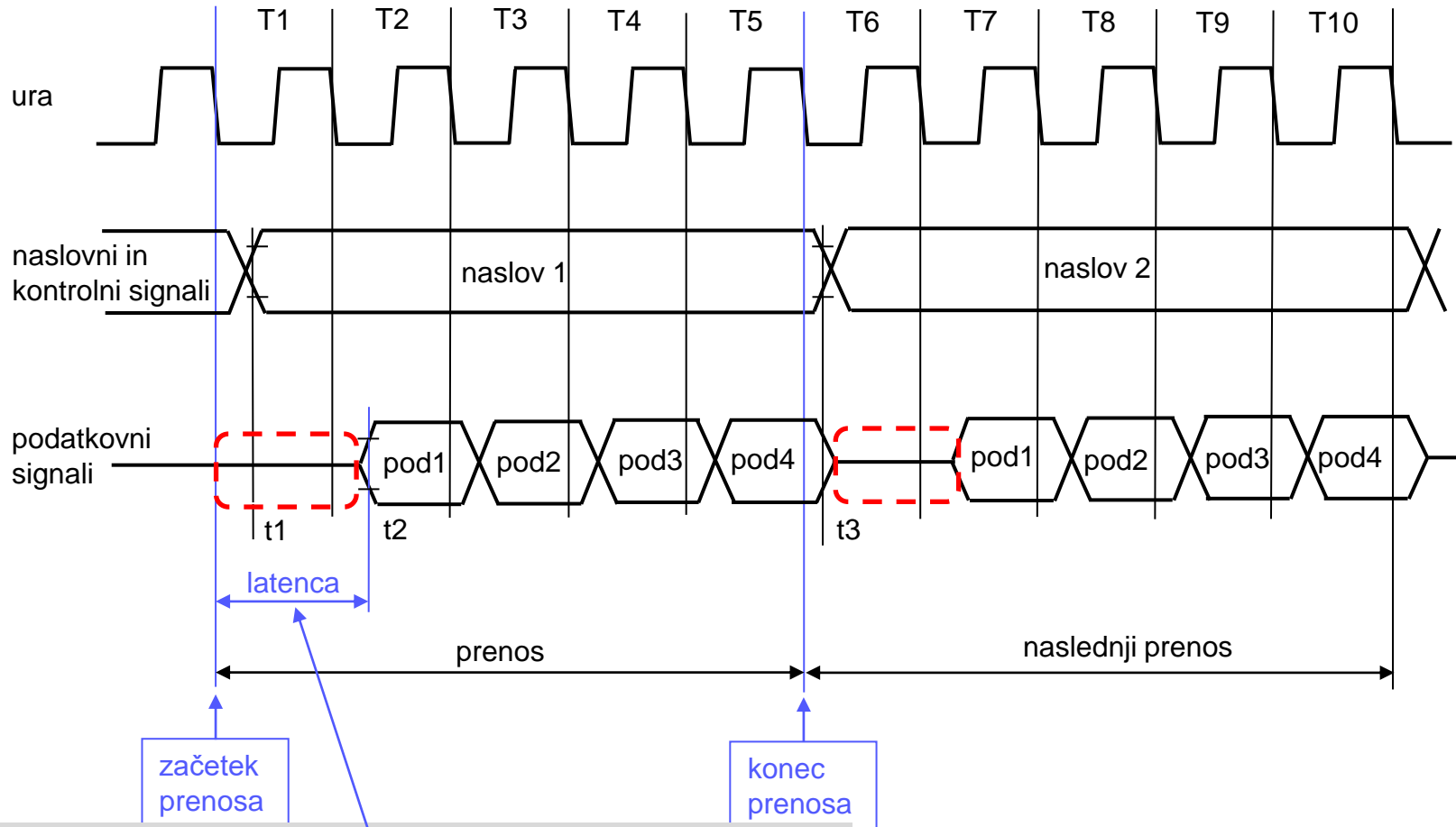
6.3 Eksplozijski in protokolski prenosi

Osnovna ideja je zgotoviti tok podatkov :

- zaporedni podatki (manj nasl.) -> eksplozijski prenos (p. 6.3.1)
- krajša začetna latenca -> protokolski prenos (p. 6.3.2)
- posebni urin signal -> izvorno sinhronski prenos (p. 6.4)
- urin signal „vtisnemo“ v sam podatkovni signal: (delno p. 6.5)
 - (SATA, PCIe, USB3, ...)



6.3.1 Eksplozijski prenos



latenca:

- čas potovanja signala ($t_{potovanja}$) in zakasnitev v vezjih ($t_{zakasnitev}$) vpliva samo na to prvo zakasnitev

- ideja: 1 naslov -> več podatkov zaporedno (hitrejše)

hitrost je lahko bistveno višja in je omejena :

$$t_{dostopni} + t_{vzpostavitevni} \leq nT$$

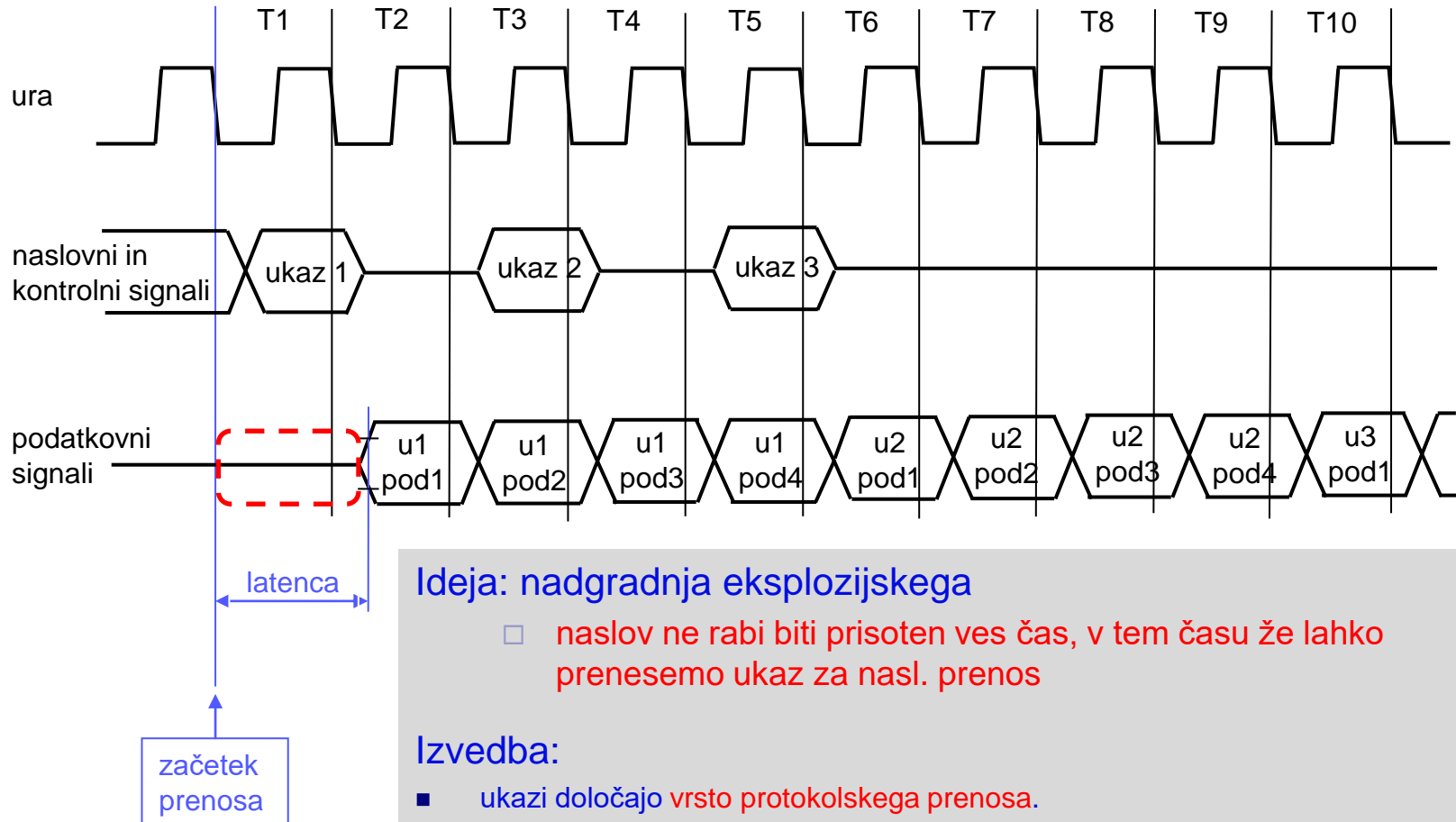
6.3.1 Eksplozijski prenos

- ideja: 1 naslov -> več podatkov zaporedno (hitrejše)
- izvedba:
 - naslov kaže na prvi podatek
 - smiselno za zaporedne (sosednje) besede
 - eksplozijski prenosi so sinhronski -> večja hitrost
 - latenca:
 - čas od začetka prenosa do sprejema prvega podatka (enak kot pri sinhronskem prenosu)
 - čas potovanja signala ($t_{\text{potovanja}}$) in zakasnitev v vezjih ($t_{\text{zakasnitev}}$) vpliva samo na to prvo zakasnitev
 - pri naslednjih podatkih v zaporedju pa je hitrost bistveno višja in je enaka:

$$t_{\text{dostopni}} + t_{\text{vzpostavitevni}} \leq T$$

- še posebej pomemben za:
 - dostope v DRAM (prenosi blokov)
 - zamenjavo blokov v predpomnilnikih (90% prenosov CPE <-> gl. pomnilnik)

6.3.2 Protokolski eksplozijski prenos



Ideja: nadgradnja eksplozijskega

- naslov ne rabi biti prisoten ves čas, v tem času že lahko prenesemo ukaz za nasl. prenos

Izvedba:

- ukazi določajo vrsto protokolskega prenosa.
- če ukazi prihajajo dovolj hitro, se lahko vsako urino periodo opravi en prenos.

6.3.2 Protokolski eksplozijski prenos

- Ideja: nadgradnja eksplozijskega
 - naslov ne rabi biti prisoten ves čas
 - v času po naslovu lahko prenesemo ukaz za nasl. prenos

Izvedba:

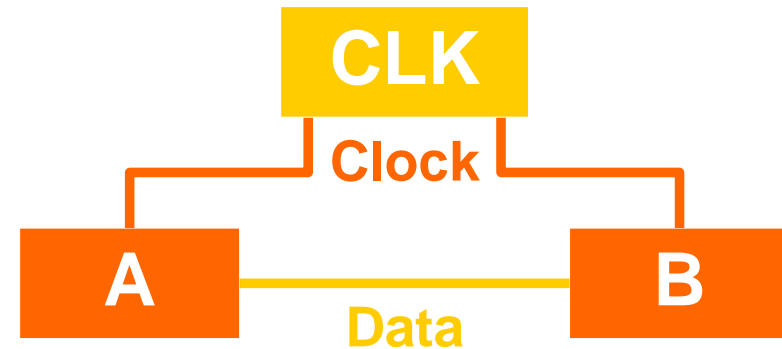
- ukazi določajo vrsto protokolskega prenosa.
- zaporedoma si sledijo eksplozijski prenosi brez presledkov.
- če ukazi prihajajo dovolj hitro, se lahko vsako urino periodo opravi en prenos.

Protokol je zbirka pravil, ki v našem primeru določa zgradbo in pomen ukazov za prenos.

6.3.3 Problem distribucije urinega signala

V praksi je čas trajanja prenosa T v resnici še krajši, kot smo do sedaj upoštevali

- **urin signal se generira centralno** in nato potuje po različnih poteh do različnih komponent. Ker razdalje v splošnem niso enake, tudi **fronta na različnih komponentah ne nastopi istočasno**.
- pri urinih periodah, ki so krajše od 5ns, pride do izraza **urin zamik** T_{zamik} (*clock skew*), ki skrajša čas T v enačbi :
 - **t_{zamik} je razlika med trenutkom nastopa najhitrejše in najpočasnejše urine fronte.**
- maksimalna frekvenca je določena z minimalnim časom urine periode, ki je omejen z maksimalnimi zakasnitvami.
- **t_{zamik} je lahko velik** – to slabost odpravlja izvorno sinhronski prenos (dodatni sinhronizacijski signal k podatkovnim)

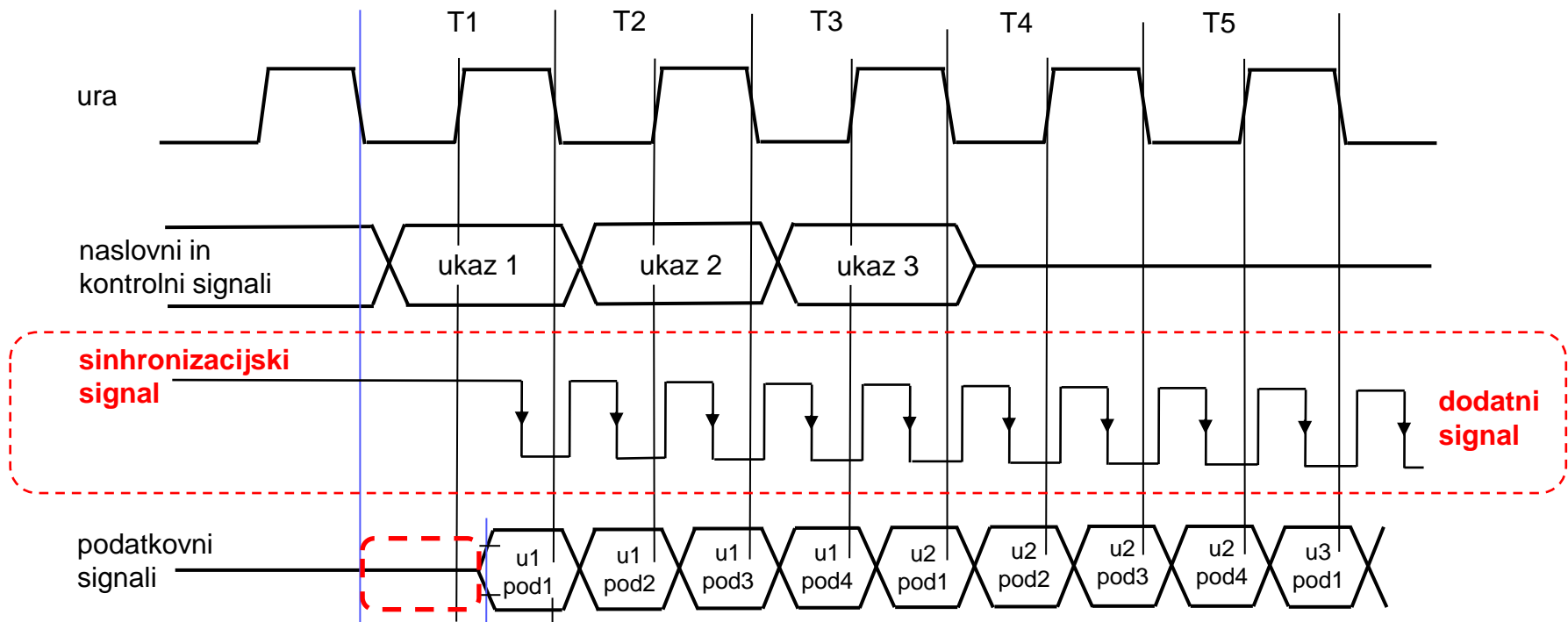


$$T_{dostopni} + T_{vzpostavitevni} \leq T_{min} - T_{zamik}$$

$$f_{max} = \frac{1}{(T_{min} - T_{zamik})}$$

6.4 Izvorno sinhronski prenos

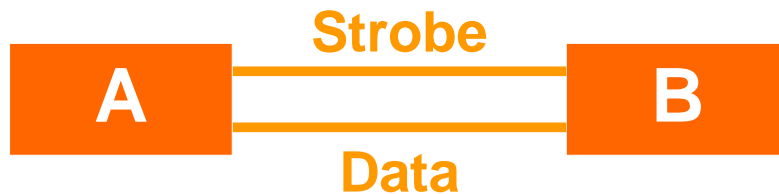
T_s .. perioda sinhronizacijskega signala
 Δt .. zamik med fronto podatkov in sinhronizacijskega signala
 $\Delta t \ll t_{zamik} !!!$



- hitrost prenosa določa sedaj sinhronizacijski signal, čigar perioda je $T_s = T/2$ ali splošno $T_s = T/n$ in ne več centralna ura

$$t_{dostopni} + t_{vzpostavitveni} \leq T_s - \Delta t$$
- med sinhronizacijskim signalom in podatki se lahko kljub vsemu pojavi zamik (Δt), vendar

$$\Delta t \ll t_{zamik} !!!$$
- pri nadaljnjem večanju hitrosti so spet težave ($T_s < 0.5ns, F > 2GHz$):
 - urin signal je potrebno „vtisniti“ v podatkovne signale (SATA, PCIe, USB3, ...)



T_s .. perioda sinhronizacijskega signala
 Δt .. zamik med fronto podatkov in sinhronizacijskega signala
 $\Delta t \ll t_{\text{zamik}} !!!$

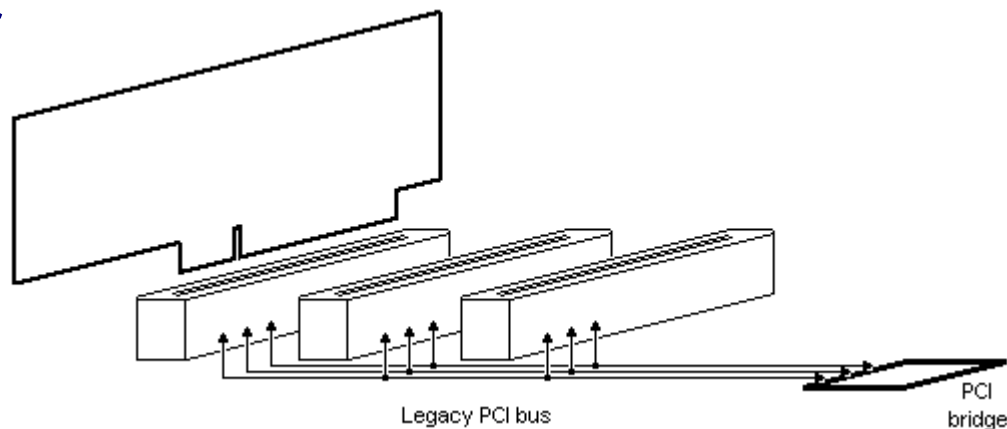
- hitrost prenosa določa sedaj sinhronizacijski signal, čigar perioda je $T_s = T/2$ ali splošno $T_s = T/n$ in ne več centralna ura
$$t_{\text{dostopni}} + t_{\text{vzpostavitevni}} \leq T_s - \Delta t$$
- med sinhronizacijskim signalom in podatki se lahko kljub vsemu pojavi zamik (Δt), ki pa je bistveno manjši kot zamik centralne ure.
- **hitrost lahko povečujemo z višanjem frekvence sinhroniz. signala:**
 - brez posega v urin signal
 - običajno več sinhronizacijskih signalov z nižjo frekvenco (namesto enega z višjo)
 - Primer: Intel „QuadPump“
- pri nadaljnem večanju hitrosti so spet težave ($T_s < 0.5 \text{ ns}$, $F > 2 \text{ GHz}$):
 - urin signal je potrebno „vtisniti“ v sam podatkovni signal (SATA, PCIe, USB3, ...)
 - razlaga sledi v opisu hitrih serijskih povezav (6.5.2)

6.5 Primeri povezovalnih struktur

6.5.1 Primer paralelnega vodila: PCI

■ Primer naraščanja potreb:

- „SD“ ekran $1024 \times 768 \times 3B / \text{točka} \times 30 \text{slik/s} = 76.5 \text{MB/s}$
(135MB/s , 2 hkrati preko pomn.)
- „Full HD“ ekran
 $1920 \times 1080 \times 3B / \text{točka} \times 30 \text{slik/s} \approx 155 \text{MB/s}$
(310MB/s , 2 hkrati preko pomn.)



Razvoj:

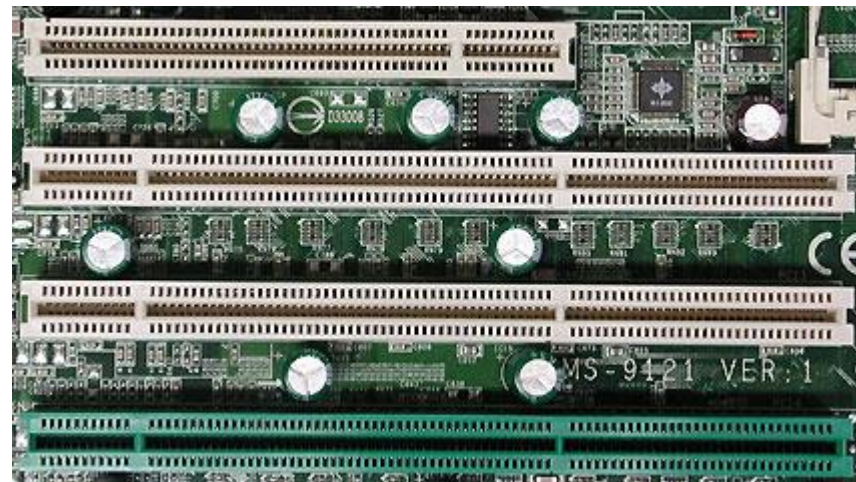
- **1990: PCI (Peripheral Component Interconnect bus)** 33Mhz, 32bitov/cikel $\approx 133 \text{ MB/s}$
Intel patentira in da v javno uporabo -> zato postane popularen
- **1995: PCI 2.1:** do 66Mhz in 64bitov/cikel $\approx 528 \text{ MB/s}$
ni dovolj za »memory bus«, zato se pojavijo delne rešitve:
 - z več vodili in
 - dvema povezovalnima čipoma („North Bridge“ in „South Bridge“)podpira 2 napajalni napetosti: 3.3V in 5V
- **Konec 90.let: PCI ne zadošča** več -> se pojavi **AGP (»Accelerated Graphics Port«)**:
 - **AGP1.0: 264MB/s,**
 - **AGP3.0: 2.1GB/s**

6.5 Primeri povezovalnih struktur

6.5.1 Primer paralelnega vodila: PCI

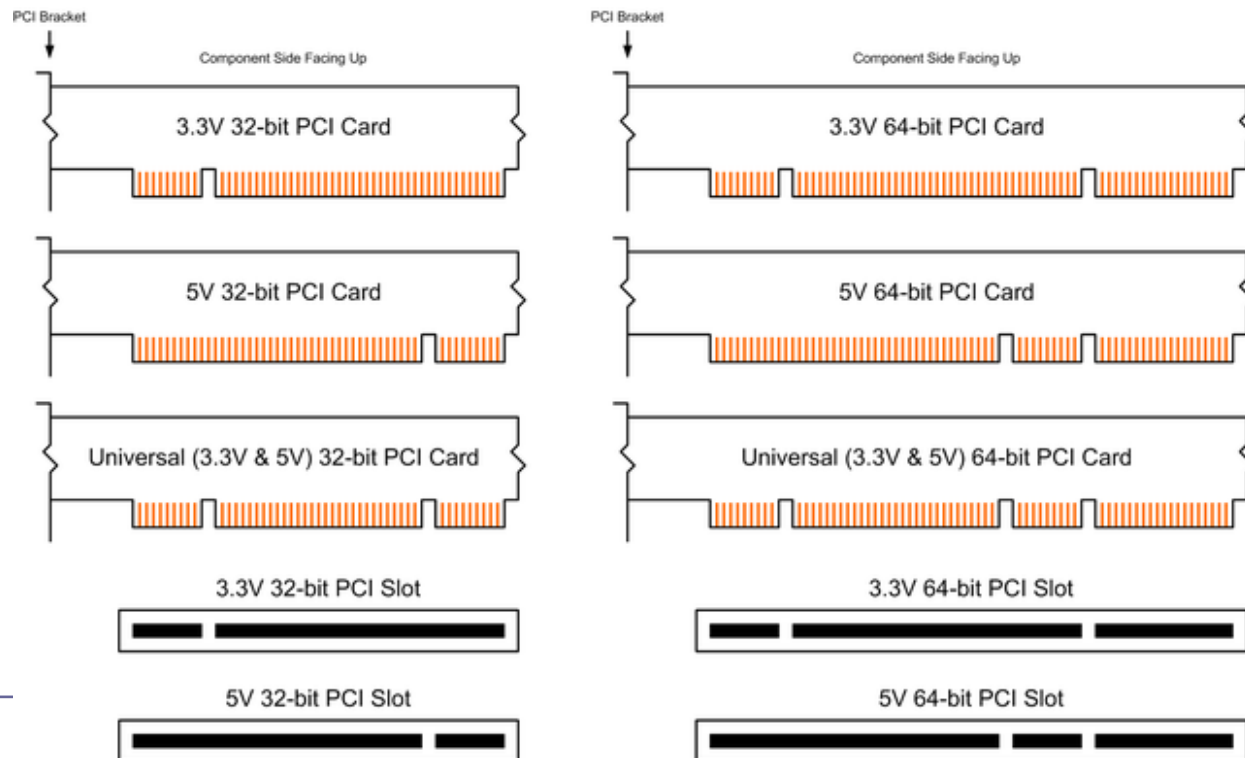
Značilnosti PCI vodila:

- sinhronsko vodilo
- nasl. in podatkovni signali multipleksirani:
 - **dobro:** manj pinov
 - **slabo:** daljši prenosi, vsaj 3 cikle !!!
- prenosi **master <-> slave**
- arbitražna centralizirana (vsaka naprava 2 signala REQ# in GNT#)



PCI signali :

- **obvezni**
 - za 32bitne prenose, postavi master, slave
- **neobvezni**
 - predvsem razširitev na 64 bitov, prekinitve, multiprocesorska podpora



PCI vodilo: arbitraža in signali

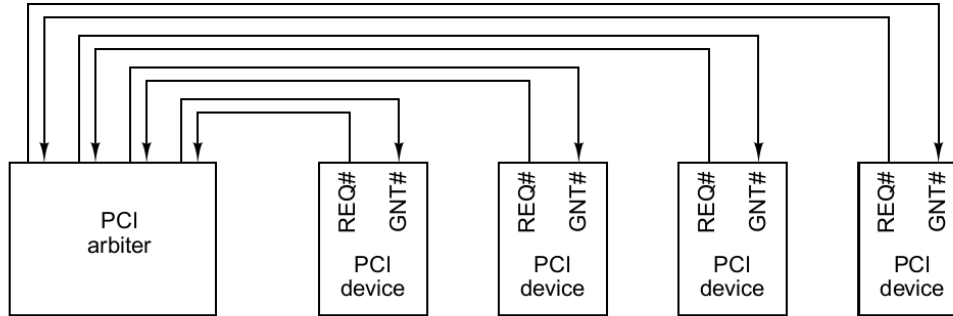


Figure 3-51. The PCI bus uses a centralized bus arbiter.

Signal	Lines	Master	Slave	Description
CLK	1			Clock (33 MHz or 66 MHz)
AD	32	×	×	Multiplexed address and data lines
PAR	1	×		Address or data parity bit
C/BE	4	×		Bus command/bit map for bytes enabled
FRAME#	1	×		Indicates that AD and C/BE are asserted
IRDY#	1	×		Read: master will accept; write: data present
IDSEL	1	×		Select configuration space instead of memory
DEVSEL#	1		×	Slave has decoded its address and is listening
TRDY#	1		×	Read: data present; write: slave will accept
STOP#	1		×	Slave wants to stop transaction immediately
PERR#	1			Data parity error detected by receiver
SERR#	1			Address parity error or system error detected
REQ#	1			Bus arbitration: request for bus ownership
GNT#	1			Bus arbitration: grant of bus ownership
RST#	1			Reset the system and all devices

(a)

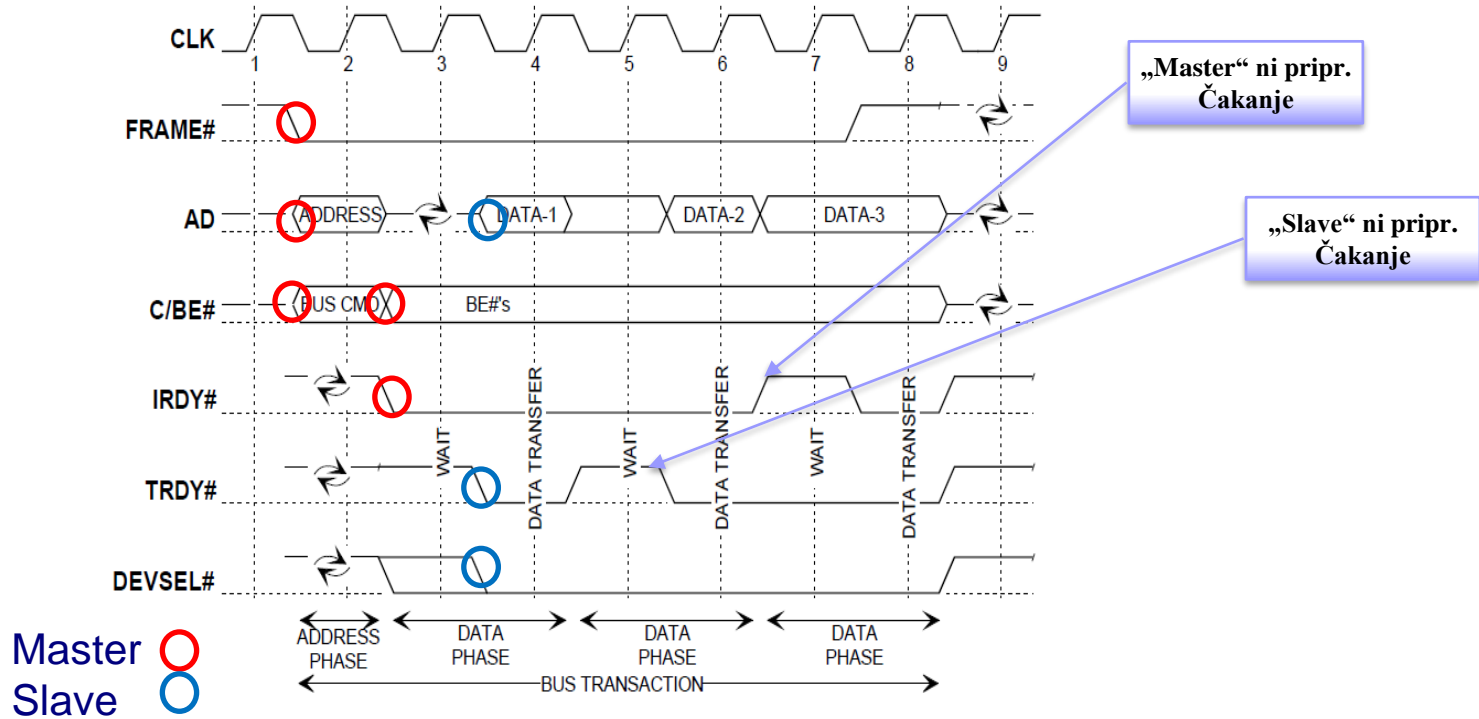
Sign	Lines	Master	Slave	Description
REQ64#	1	×		Request to run a 64-bit transaction
ACK64#	1		×	Permission is granted for a 64-bit transaction
AD	32	×		Additional 32 bits of address or data
PAR64	1	×		Parity for the extra 32 address/data bits
C/BE#	4	×		Additional 4 bits for byte enables
LOCK	1	×		Lock the bus to allow multiple transactions
SBO#	1			Hit on a remote cache (for a multiprocessor)
SDONE	1			Snooping done (for a multiprocessor)
INTx	4			Request an interrupt
JTAG	5			IEEE 1149.1 JTAG test signals
M66EN	1			Wired to power or ground (66 MHz or 33 MHz)

(b)

Figure 3-52. (a) Mandatory PCI bus signals. (b) Optional PCI bus signals.

Master 
Slave 

PCI vodilo: primer prenosov [PCI Spec.]



Branje (»Read«) – prvih nekaj ciklov ...

neg. fronta v T_1 - master:

- naslov na AD
- ukaz na C/BE#
- FRAME#<-0
- (začetek transakcije)

neg. fronta v T_2 - master:

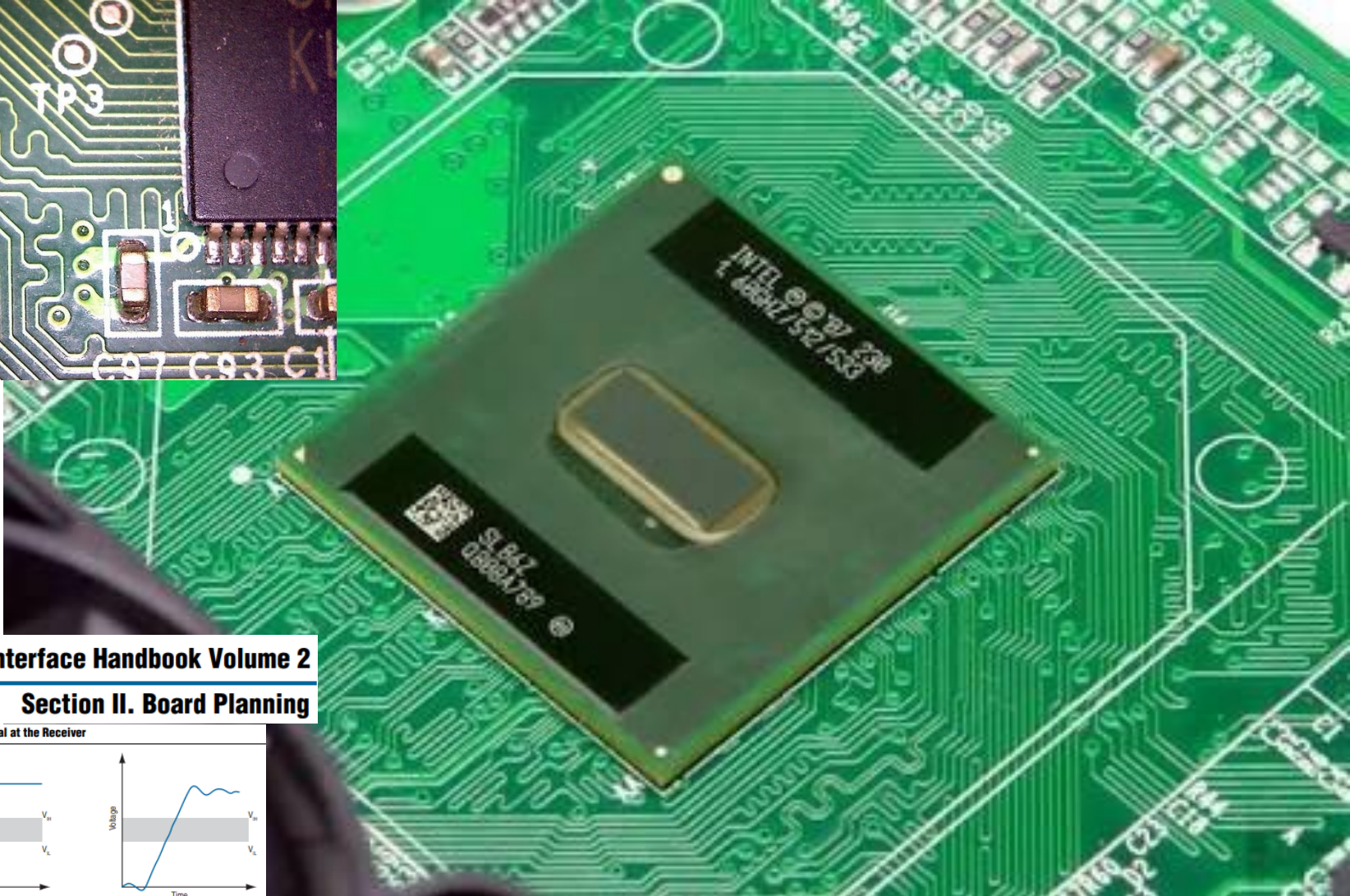
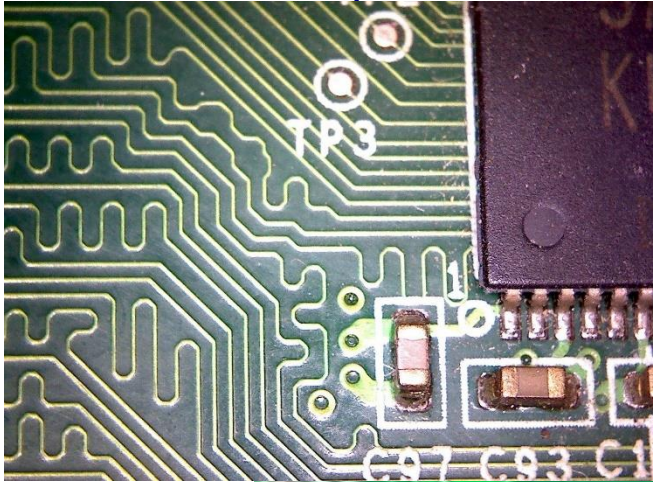
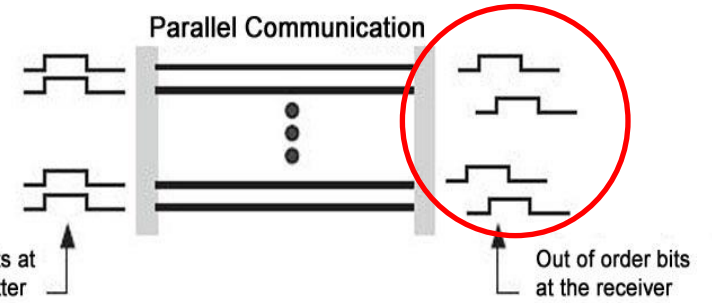
- sprosti AD
- aktivni bajti na C/BE#
- IRDY#<-0 (pripravljeno)

neg. fronta v T_3 - slave:

- podatek na AD
- DEVSEL#<-0 (se bo odzval)
- TRDY#<-0 (podatek pripravljen)

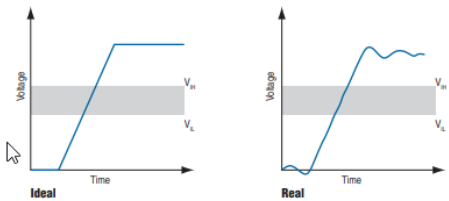
6.5.1 Paralelne povezave

Paralelne povezave – kompenzacije različnih dolžin povezav



External Memory Interface Handbook Volume 2 Section II. Board Planning

Figure 1-1. Ideal and Real Signal at the Receiver



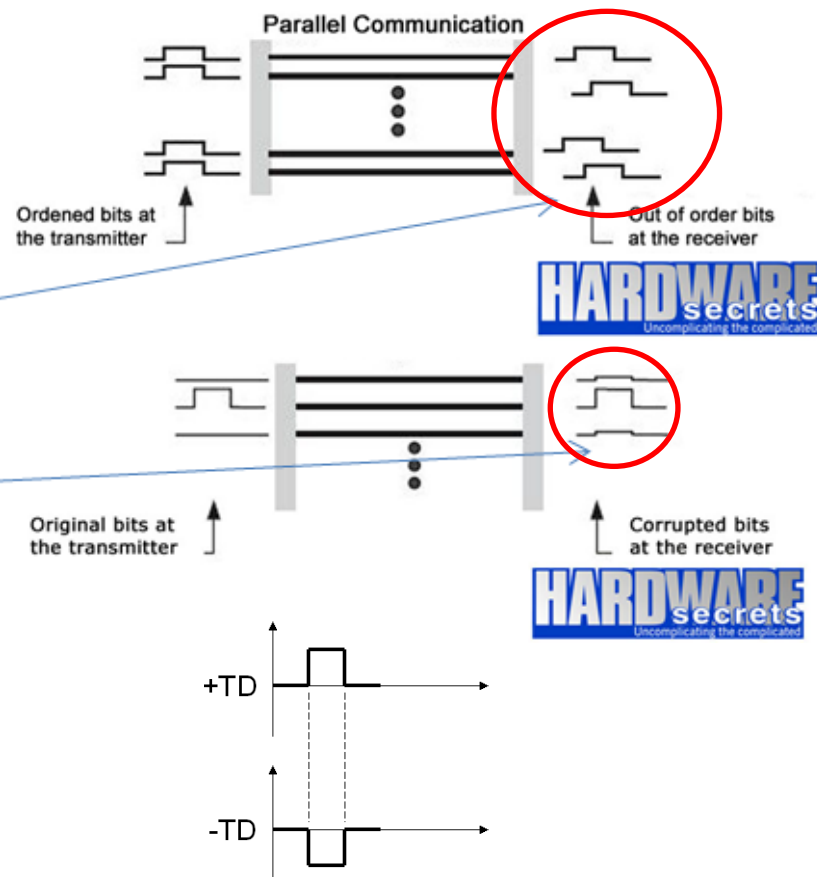
Paralelne in serijske povezave - primerjava

V zadnjem času se pojavlja vse več hitrih serijskih povezav:

- → PCI-Express, Serial-ATA, USB-3.0, FireWire (1394)

Zakaj? → Slabosti paralelnih povezav:

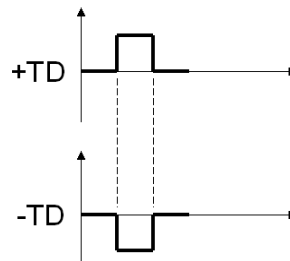
- → veliko število linij, več prostora, več ojačevalnikov/sprejemnikov, večji konektorji
- → omejene hitrosti zaradi različnih zakasnitev signalov na paralelnih linijah
 - → tip. nekaj ns → BW le nekaj 100 MHz!
- → občutljivost na presluh oz. motnje (povezave so antene!)
- → »half-duplex«



6.5.2 Serijske povezave

Serijske povezave točka-v-točka (P2P) imajo pri hitrih povezavah pomembne prednosti pred paralelnimi:

- ni razl. zakasnitev:
 - urin signal v podatkovnem signalu -> **BW več GHz!!**
- običajno bolj ekonomične kot paralelne
 - zasedejo manj prostora na tiskanem vezju
 - porabijo manj energije pri enaki pasovni širini (kapaciteti).
- večja fleksibilnost:
 - hitrejšim napravam več povezav(npr. PCIE 16x), počasnejšim manj
- boljša odpornost na motnje
 - t.i. diferencialni prenos



6.5.2 Serijske povezave

Primerjava povezav ob **enaki kapaciteti 10Gb/s:**

■ Paralelna:

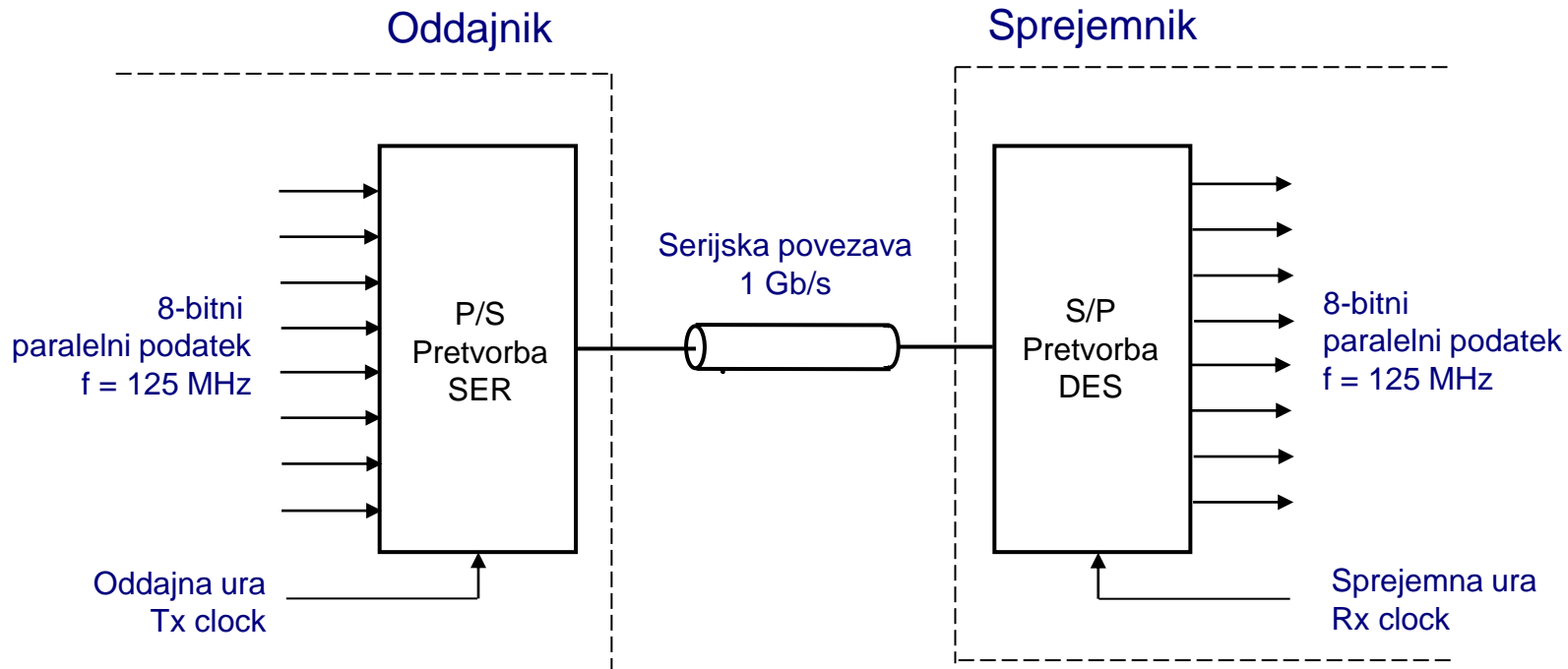
- **128-bitna** dvosmerna povezava (full-duplex) s **f=78MHz** ima:
 - kapaciteto **10Gb/s** (v eno smer) in
 - zasede **256 linij na tiskanem vezju.**

■ Serijska:

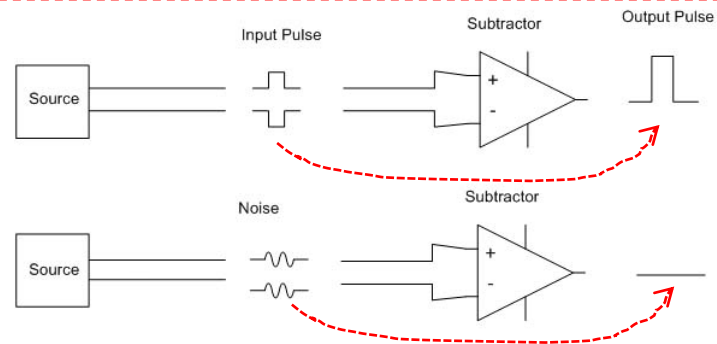
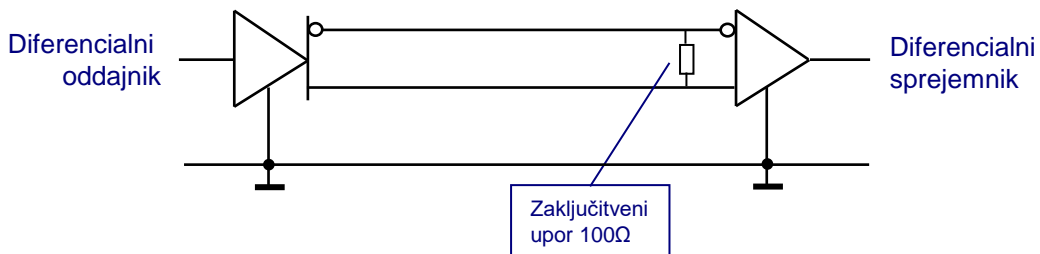
- **4 serijskimi kanali** s kapaciteto po 2,5Gb/s ($4 \times 2,5\text{Gb/s} = 10\text{Gb/s}$)
- zasedejo samo **16 linij na tiskanem vezju.**

SERDES – SERIALizer – DESerializer

Za prenos po serijskih povezavah potrebujemo še pretvorbo med serijsko in paralelno obliko podatkov



Enosmerna simetrična (diferencialna) povezava - simplex

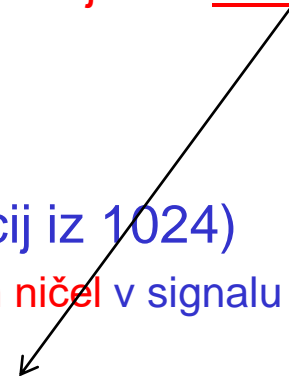


■ Pri večini serijskih prenosov:

- se urin signal ne prenaša od oddajnika k sprejemniku,
- se na sprejemni strani restavrira iz sprejetih podatkov („clock recovery“):
 - spremembe stanja v sprejetem signalu morajo biti dovolj pogoste

Primer rešitve: **Kodiranje 8b/10b**

- se 8 bitov preslika v 10 bitov (256 kombinacij iz 1024)
 - s tem se omeji nesorazmerje med številom enic in ničel v signalu in tako zagotovi enosmerno uravnoteženje signala (DC- balance)
 - omeji se število enakih bitov (ni spremembe nivoja) v signalu – največ pet zaporednih enic ali ničel.
- uporaba: **PCI Express, SATA, Firewire, Gigabit ETH, DVI,HDMI**



Kodiranje 8b/10b

objavljeno leta 1983 v reviji IBM Journal of Research and Development in se uporablja pri veliko različnih standardnih serijskih povezavah:

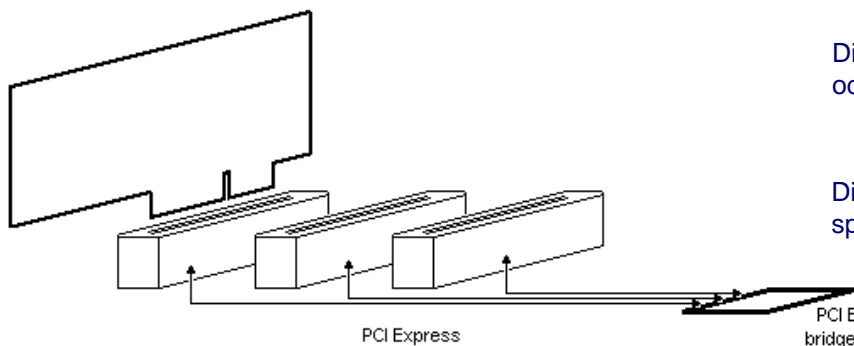
- PCI Express
- SATA
- IEEE 1394 (Firewire)
- Gigabit Ethernet
- DVI in HDMI
- ...

6.5.2.1 Povezava PCI Express

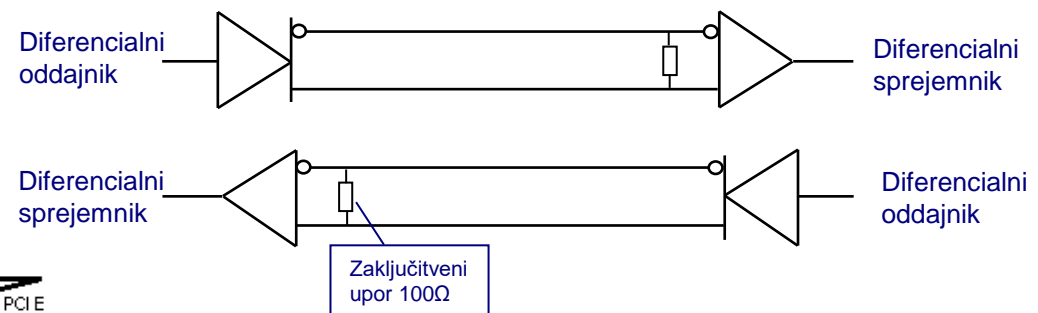
PCIe v1.x (f=2.5GHz):

- teoretično bi vsak kanal imel **2.5Gbps**
- zaradi **8b/10b** kodiranja vsak kanal **2Gbps**
 $2,5\text{Gb/s} * 8/10 = 2\text{Gb/s} = 250\text{MB/s}$

- **PCI Express je hitra serijska povezava točka-v-točko (P2P)**
- čeprav se smatra da je **PCI Express naslednik PCI vodila**, nima nič skupnega s PCI vodilom razen imena (marketing!)
- **osnovno povezavo PCI Express (PCIe) sestavljata**
 - dve simetrični (diferencialni) povezavi z LVDS (Low Voltage Differential Signaling) signalizacijo, vsaka v eno smer (full duplex).



PCIe x1 enojna dvosmerna povezava - full-duplex



PCI Express (v1.x) podpira več širin povezav (hitrost v eni smeri):

PCIe	Št. povezav	Max. BW	Eff. BW
PCIe x1	2 enosm. pov.	2,5Gb/s	250 MB/s
PCIe x2	4 enosm. pov.	5 Gb/s	500 MB/s
PCIe x4	8 enosm. pov.	10 Gb/s	1 GB/s
PCIe x8	16 enosm. pov.	20 Gb/s	2 GB/s
PCIe x16	32 enosm. pov.	40 Gb/s	4 GB/s
PCIe x32	64 enosm. pov.	80 Gb/s	8 GB/s

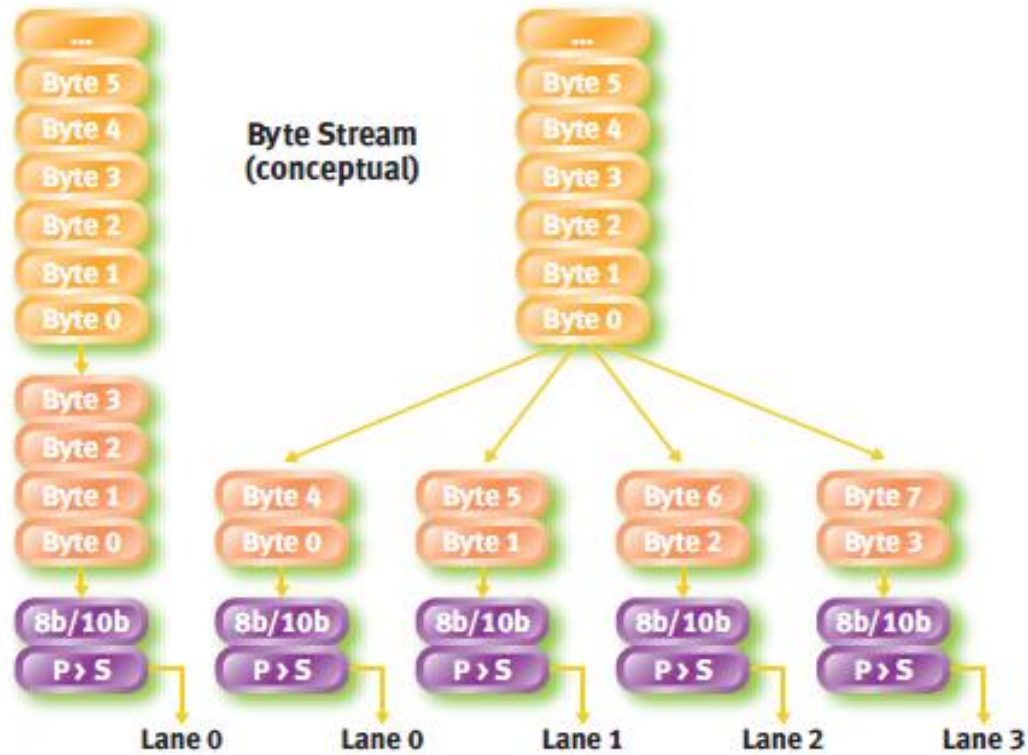
PCI Express protokol:

- **ni glavne ure** – integrirana v tok podatkov:
 - prenos se lahko začne kadarkoli
- **ni kontrolnih signalov**, se nadomestijo **s paketi (»header«)**

PCI Express – Razvoj

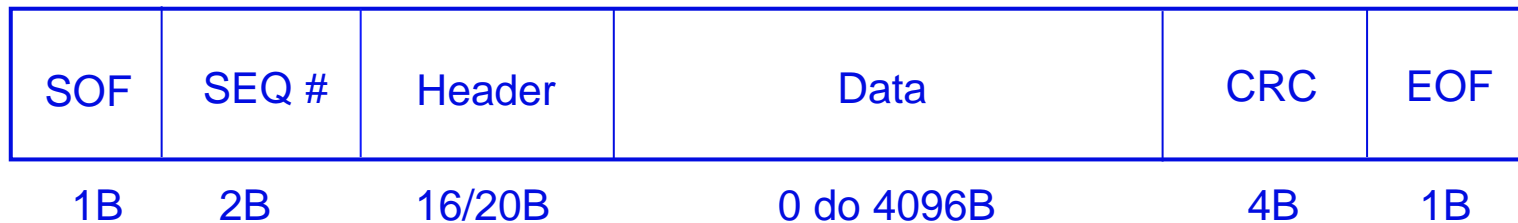
Version	Introduced	Line code	Transfer rate per lane ^{[1][2]}	Throughput ^{[1][2]}				
				x1	x2	x4	x8	x16
1.0	2003	<u>8b/10b</u>	2.5 <u>GT/s</u>	0.250 <u>GB/s</u>	0.500 GB/s	1.000 GB/s	2.000 GB/s	4.000 GB/s
2.0	2007	8b/10b	5.0 GT/s	0.500 GB/s	1.000 GB/s	2.000 GB/s	4.000 GB/s	8.000 GB/s
3.0	2010	<u>128b/130b</u>	8.0 GT/s	0.985 GB/s	1.969 GB/s	3.938 GB/s	7.877 GB/s	15.754 GB/s
4.0	2017	128b/130b	16.0 GT/s	1.969 GB/s	3.938 GB/s	7.877 GB/s	15.754 GB/s	31.508 GB/s
5.0	2019	128b/130b	32.0 GT/s	3.938 GB/s	7.877 GB/s	15.754 GB/s	31.508 GB/s	63.015 GB/s
6.0	2022	242B/256B	64.0 GT/s 32.0 <u>GBd</u>	7.563 GB/s	15.125 GB/s	30.250 GB/s	60.500 GB/s	121.000 <u>GB/s</u>

PCI Express prenos po več neodvisnih linijah „Data stripping“



Podatki se prenašajo v obliki okvirjev, ki jih sestavljajo:

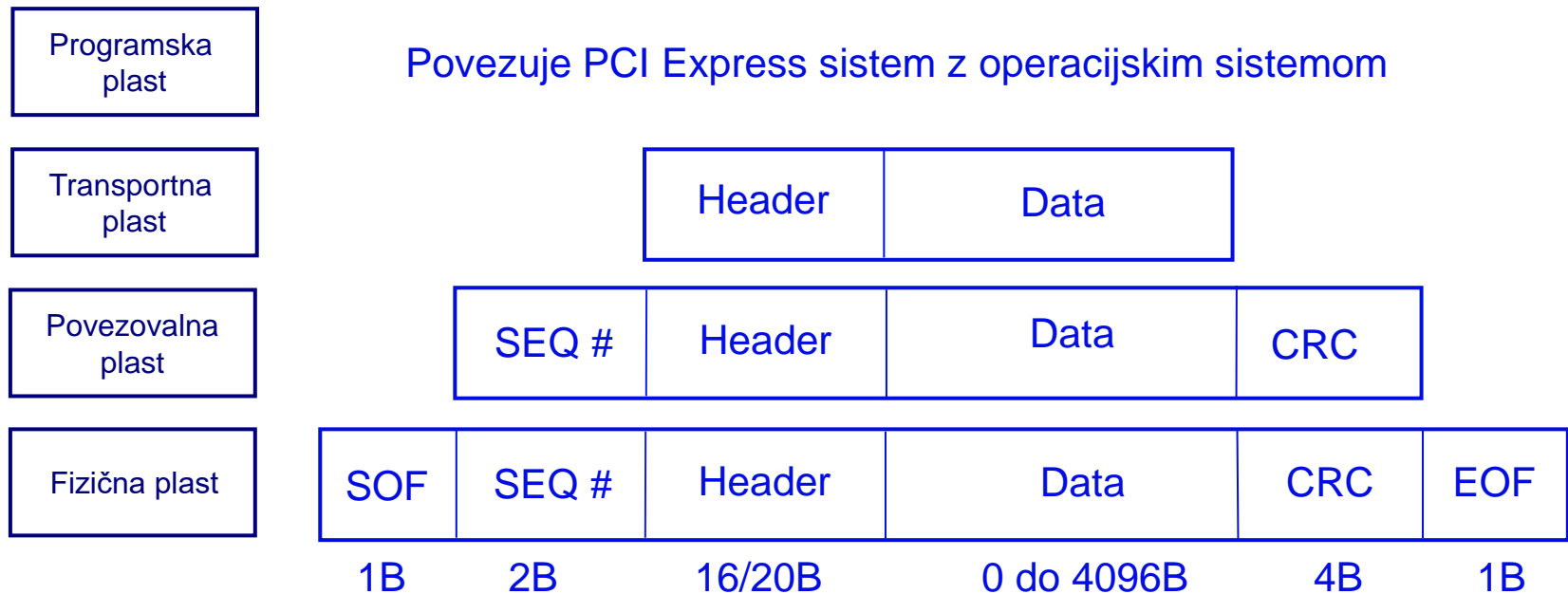
- Start bajt (Start of Frame - SOF)
- Zaporedna številka (Sequence Number - SEQ #)
- Glava Header)
- Podatki (Data)
- CRC - biti za detekcijo in korekcijo napak
- Konec okvirja (End of Frame - EOF)



Dejanska hitrost, če upoštevamo zgradbo okvirja z najdaljšim podatkovnim poljem 4096B je:

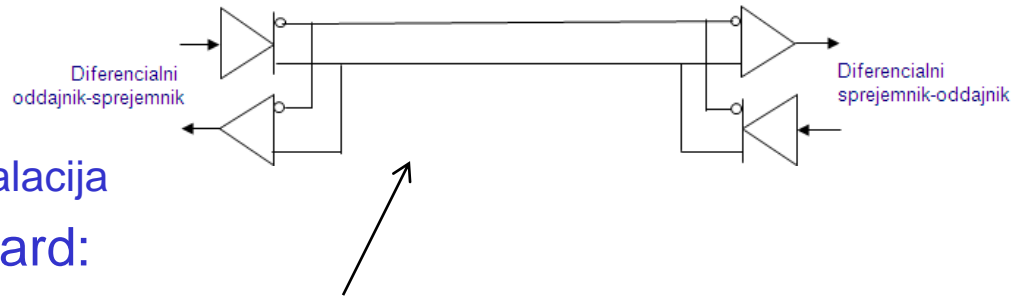
$$2,5\text{Gb/s} * 8/10 * 4096/4124 = 1,9864\text{Gb/s} = 248,3\text{MB/s}$$

PCI Express protokolski sklad



6.5.2.2 USB (Universal Serial Bus)

Simetrična (diferencialna) povezava - half-duplex



- Zakaj?
 - PCI kartice velike, zahtevna instalacija
- 1996: USB povezovalni standard:
 - serijska dvosmerna („half duplex“) povezava točka-v-točko
 - navzven deluje kot vodilo
- Cilji, ki so jih želeli doseči pri razvoju USB standarda:
 - **nastavljanje stikal** ali mostičev na kartici ali napravi **ne bo potrebno**
 - pri instalaciji novih V/I naprav **ne bo treba odpirati ohišja**
 - samo **ena vrsta kabla** za vse vrste naprav
 - V/I naprave naj dobijo **napajanje** po USB kablu
 - možnost priključitve **do 127 V/I naprav** na krmilnik
 - podpora napravam ki delujejo **v realnem času**
 - naprave naj bo možno instalirati **med delovanjem („hot plug“)**
 - **nizka cena**

USB

Technology	Rate		Year
USB 1.0 full speed	12 Mbit/s	1.5 MB/s	1996
USB 1.0 low speed	1.536 Mbit/s	192 kB/s	1996
USB 2.0 high speed	480 Mbit/s	60 MB/s	2000
USB 3.0 SuperSpeed (aka USB 3.1 Gen 1)	5 Gbit/s	500 MB/s	2010
USB 3.1 SuperSpeed+ (aka USB 3.1 Gen 2)	10 Gbit/s	1.212 GB/s	2013
USB 3.2 SuperSpeed+ ^[64] (aka USB 3.2 Gen 2x2)	20 Gbit/s	2.424 GB/s	2017
USB4 ^[65]	40 Gbit/s	5 GB/s	2019

Razvoj standarda USB:

- **USB 1.0 (1996)**
 - 1,5 Mb/s Low-speed – LS
- **USB 1.1 (1998) Bolj stabilno delovanje**
 - 12 Mb/s Full-speed – FS, 2 vmesnika : OHCI, UHCI
- **USB 2.0 (2000)**
 - 480 Mb/s High-speed – HS, dolžina povezave do 5m, s petimi razdelilniki (hubi) do 30m
 - obremenitev vodila pri +5V do 500mA
 - možno hkratno delovanje LS, FS in HS naprav
 - potreben gostiteljski krmilnik (Host controller), enotni vmesnik EHCI
- **USB OTG (USB On-the-Go,)**
 - dodatek k standardu USB 2.0, periferna naprava lahko prevzame vlogo gostiteljske naprave
 - novi konektorji, manjša poraba
- **USB 3.0 (2009)**
 - maksimalna teoretična hitrost 5Gb/s (realno 3,2 Gb/s) Super-speed - SS
 - dodatne 4 linije (2 x diferencialni signal), hkratni dvosmerni prenos („full-duplex“)
 - novi konektorji, kompatibilnost z USB 2.0
- **USB 3.1 (2013)**
 - maksimalna teoretična hitrost 10Gb/s Super-speed – SS+
- **USB 4 (2019)**

USB 2.0

Značilnosti :

- **topologija: drevo, promet vedno preko hub-a**
- **kabel 4 žice:**
 - **+5V in GND**
 - **2 podatkovni**
- **prenos:**
 - **NRZI kodiranje**
 - »0« kot fronta, »1« brez fronte),
 - „bit stuffing“ (vsaki 6. enici se avt. vstavi ničla)
- **nova naprava:**
 - **zazna se priklop**
 - **se vpraša kaj potrebuje**
 - **dodeli se naslov (1-127)**

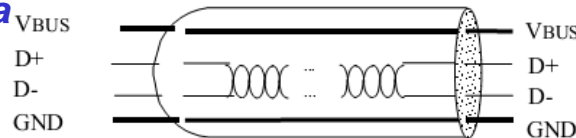
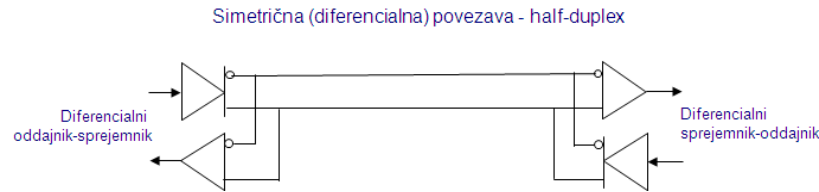
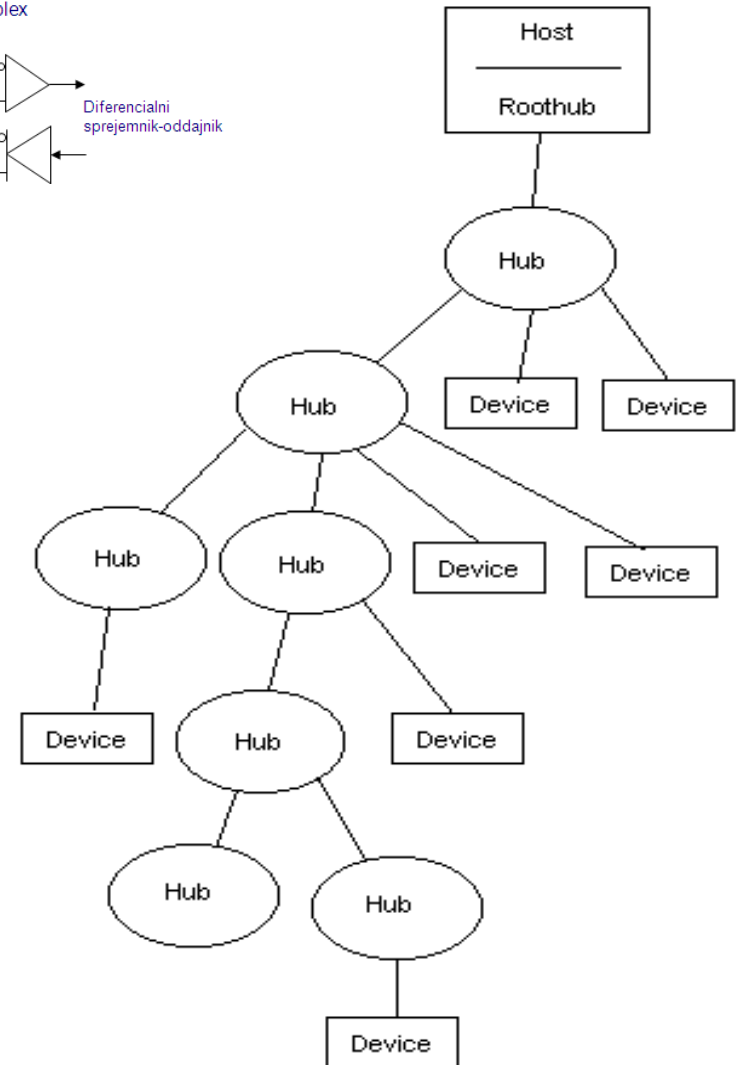
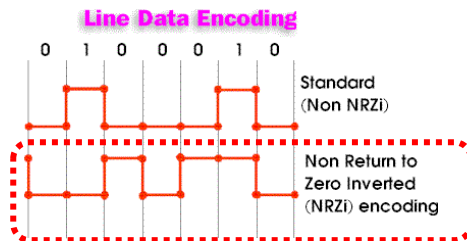


Figure 4-2. USB Cable



USB 2.0

half-duplex broadcast bus (vsi slišijo!)

root hub oddaja broadcast okvir SOF/uSOF vsako 1 ms:

- sinhronizacija vseh priključenih naprav
- okvir je sestavljen iz več paketov in je lahko:
 - prazen (samo SOF)
 - na napravo (OUT, DATA v napravo)
 - iz naprave (IN, DATA da naprava)

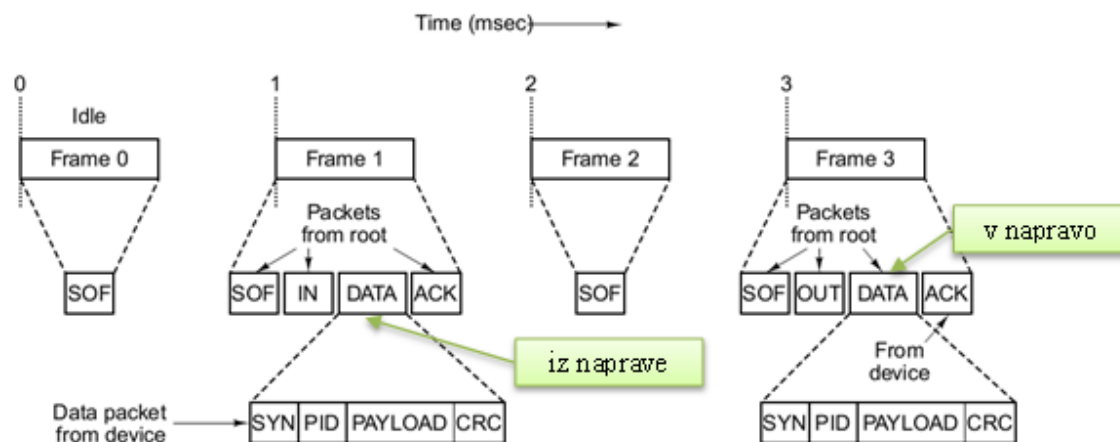
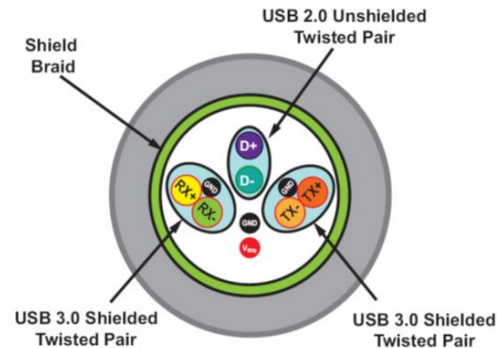


Figure 3-54. The USB root hub sends out frames every 1.00 msec.

USB 3.0



Dvosmerna hitra serijska povezava + USB 2.0 povezava

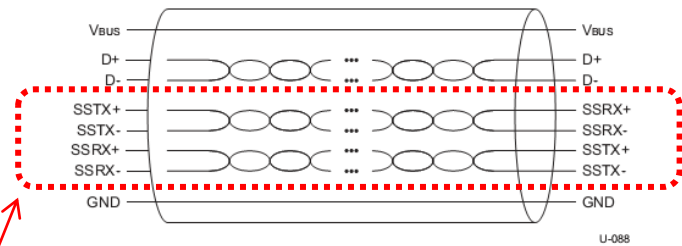


Figure 3-2. USB 3.0 Cable

Značilnosti:

- («SuperSpeed») je dual-simplex unicast vodilo, ki omogoča hkratni vhodno izhodni povezavi
- 8b|10b kodiranje
- **podpira tudi »burst« prenose – brez ACK**

Izboljšave od 2.0:

- **dodatno dvosmerno serijsko vodilo (4žice)**
- **asinhronski**, ni več polling broadcastov, naprava lahko sporoči sama
- **dvosmerni (full duplex)**

USB 4

Značilnosti:

- Temelji na Thunderbolt 3 protokolu
- Nazaj kompatibilen z USB 3.2 in 2.0

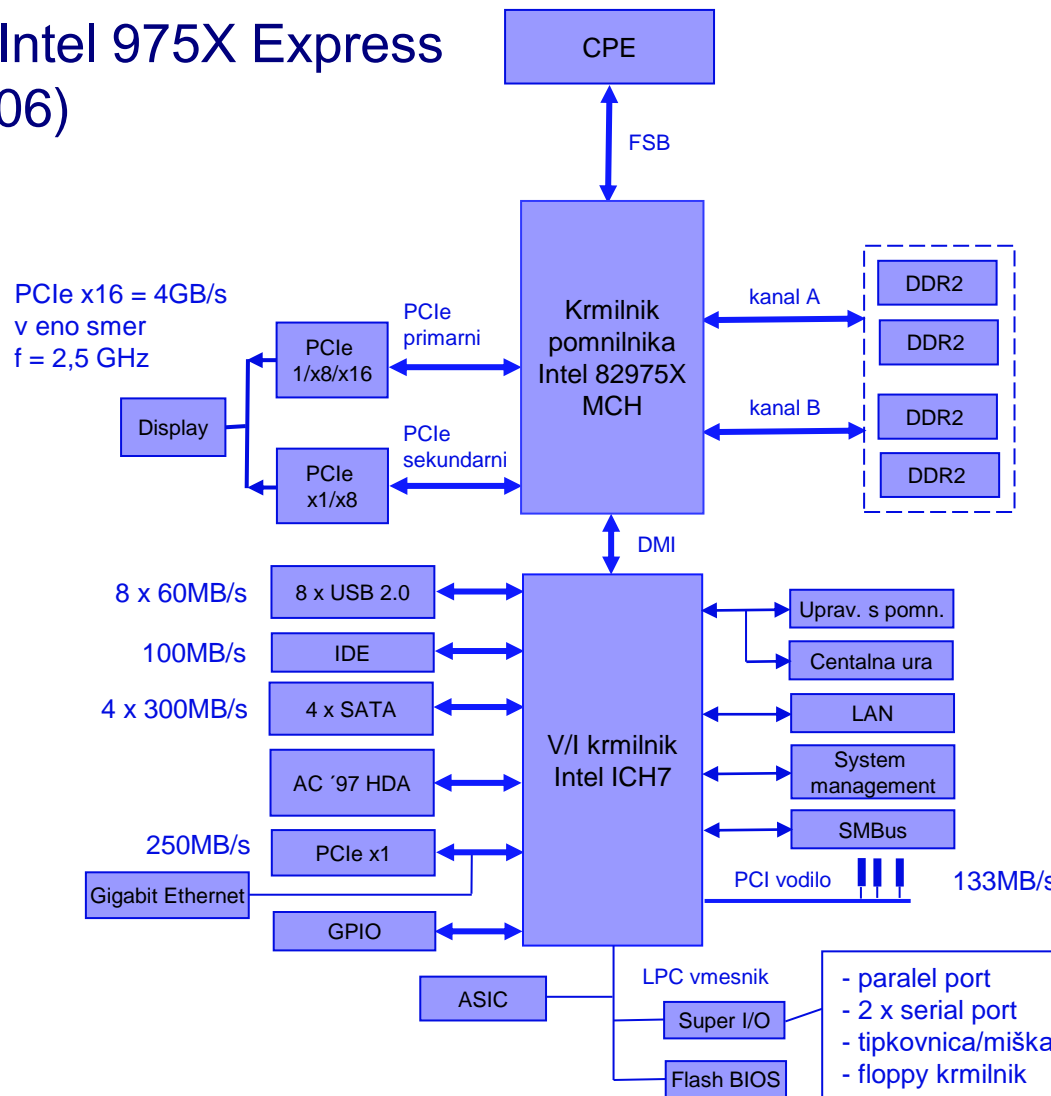
Podpora za :

Connection	Mandatory for		
	host	hub	device
USB 2.0 (480 Mbit/s)	Yes	Yes	Yes
USB4 Gen 2×2 (20 Gbit/s)	Yes	Yes	Yes
USB4 Gen 3×2 (40 Gbit/s)	No	Yes	No
DisplayPort	Yes	Yes	No
Host-to-Host communications	Yes	Yes	N/A
PCI Express	No	Yes	No
Thunderbolt 3	No	Yes	No
Other Alternate Modes	No	No	No

Značilnosti petih glavnih V/I standardov

	USB 2.0	Firewire	PCI Express	Serial ATA	Serial SCSI
Uporaba	Zunanja	Zunanja	Notranja	Notranja	Zunanja
Število naprav na kanal	127	63	1	1	4
Število signalnih linij	2	4	2	4	4
Teoretična kapaciteta	0,2 MB/s LS 1,5 MB/s FS 60 MB/s HS	50MB/s(Fw400) 100MB/s(Fw800)	x1 250 MB/s Gen1 x1 500 MB/s Gen2 x1 800 MB/s Gen3	300 MB/s	300 MB/s
Maks. dolžina	5 m	4,5 m	0,5 m	1 m	8 m
Standard	USB IF (Implement. Forum)	IEEE 1394	PCI SGI (Special Interest Group)	SATA-IO (International Organization)	Komite T10

Čip set Intel 975X Express (leto 2006)

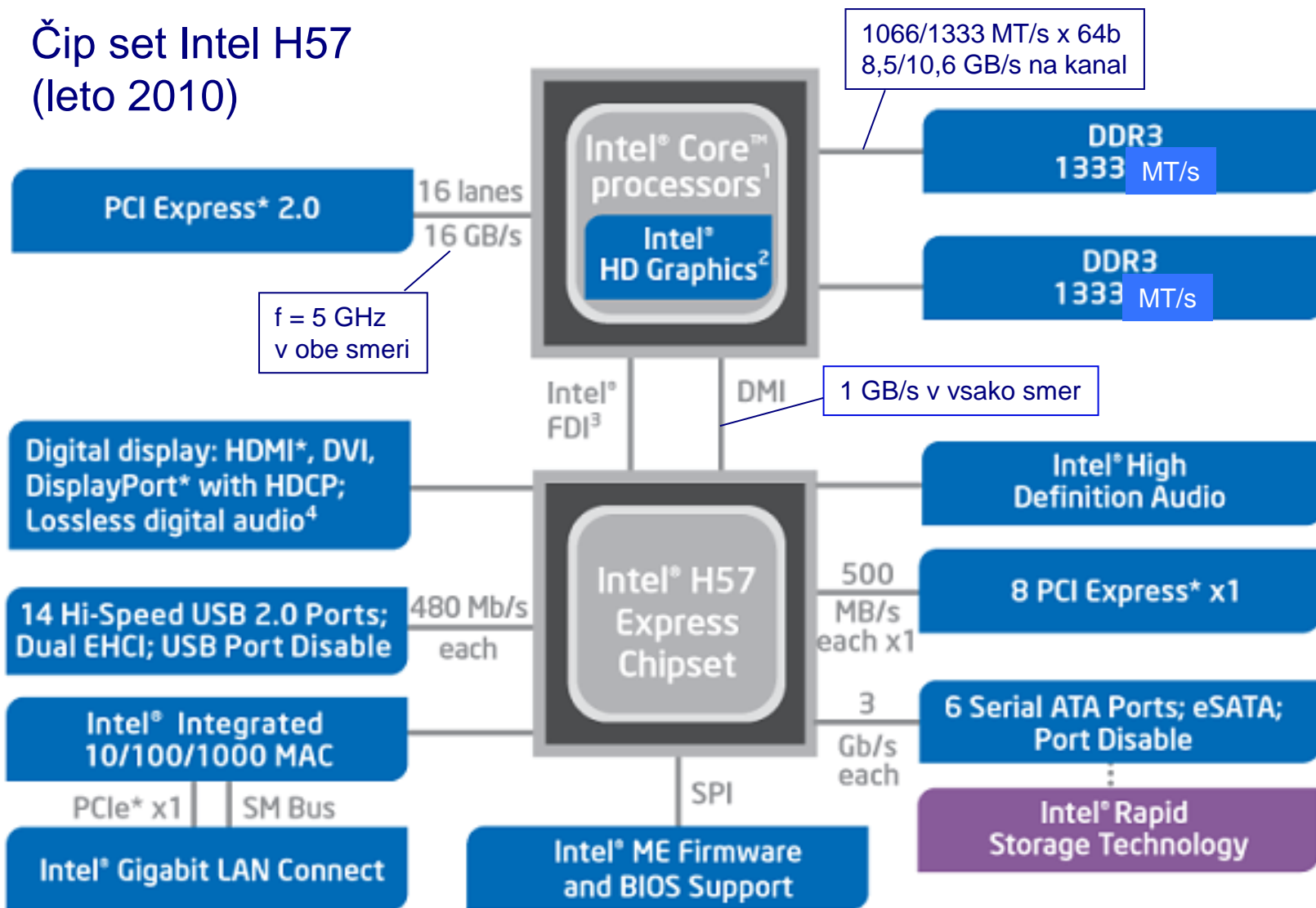


FSB - Front Side Bus
200/266MHz 4 prenosi/per 64b
800/1066MT/s =6,4GB/s/ 8,5GB/s

266/333MHz
533MT/s ali 667MT/s
širina 64b max 5,3GB/s

DMI - Direct Media Interface
→ 4 parice @ 2Gb/s
← 4 parice @ 2Gb/s
1GB/s v vsako smer

Čip set Intel H57 (leto 2010)



ASROCK X79 Extreme9:

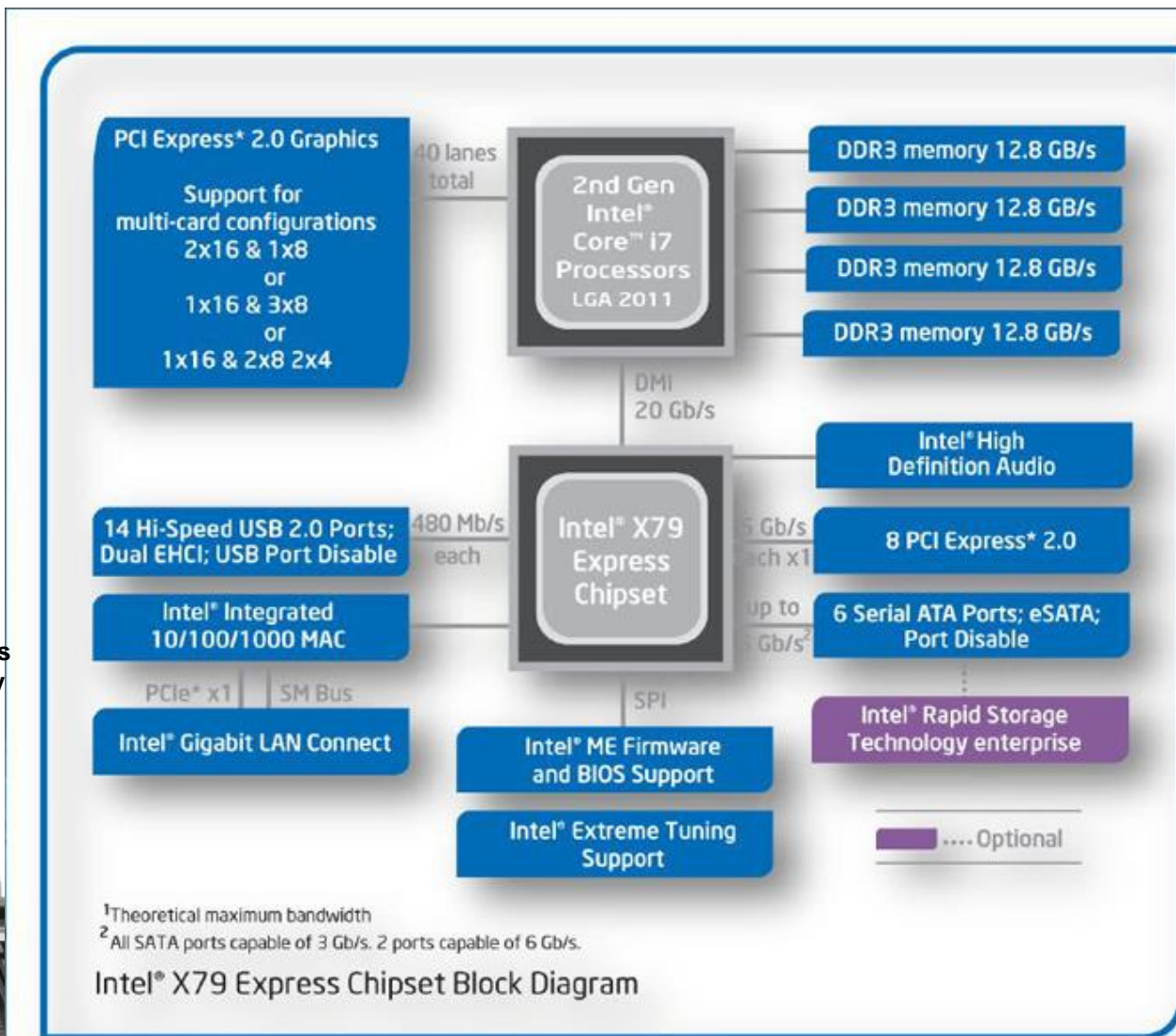
tip podnožja: LGA 2011
 tip procesorja: Intel Core i7 LGA2011
 hitrost zunanjega vodila: QPI
 vezni nabor: Intel X79
 število podnožij za pomnilnik: 8
 DDR standard: DDR-III 2400+/1866/1600/1333/1066

~~Cca 330 EUR~~

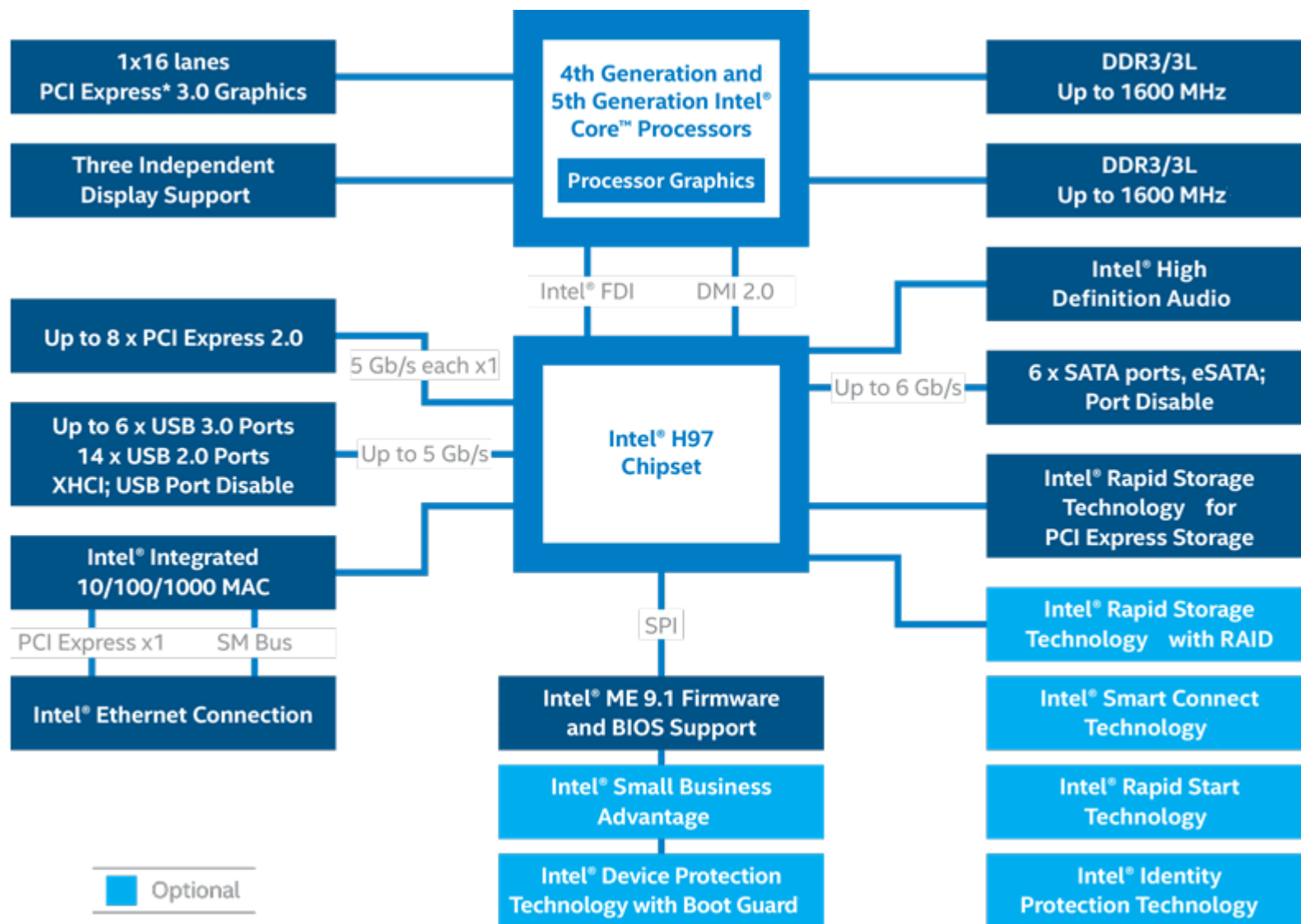
Intel Core i7 3970X 3,5 GHz:

model Intel Core i7 (6 jeder, 12 niti)
 podnožje 2011 (Intel)
 takt procesorja 3500 MHz (4000 MHz Turbo)
 predpomnilnik 15 MB
 tehnologija izdelave Sandy Bridge 2
 poraba 130 W
 vgrajene tehnologije **Advanced Vector Extensions**
EM64T technology Hyper-Threading technology
Virtualization technology (VT-x / VT-d)
Turbo Boost Technology 2.0

~~Cca 1000 EUR~~

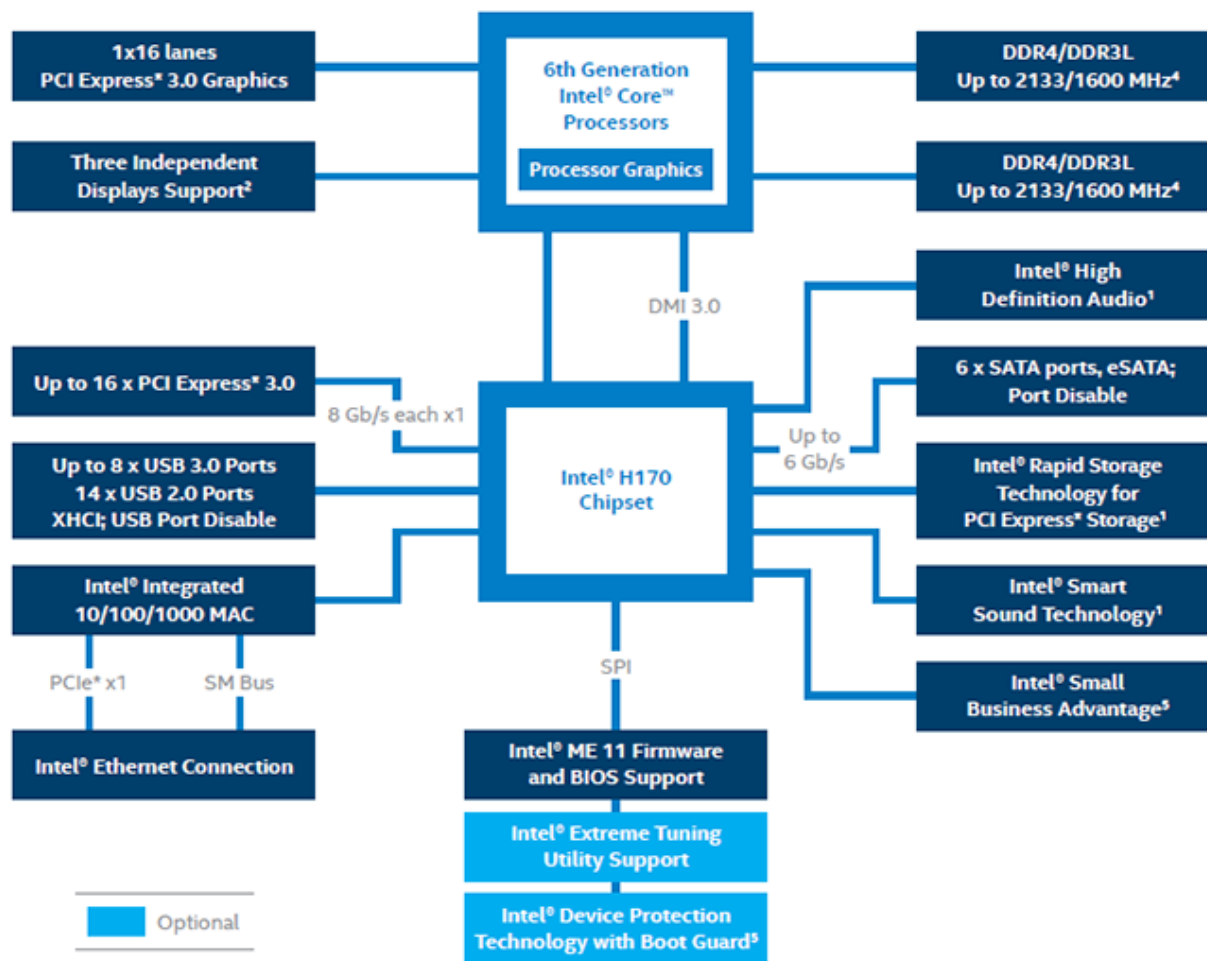


Čip set Intel H97 (2014)

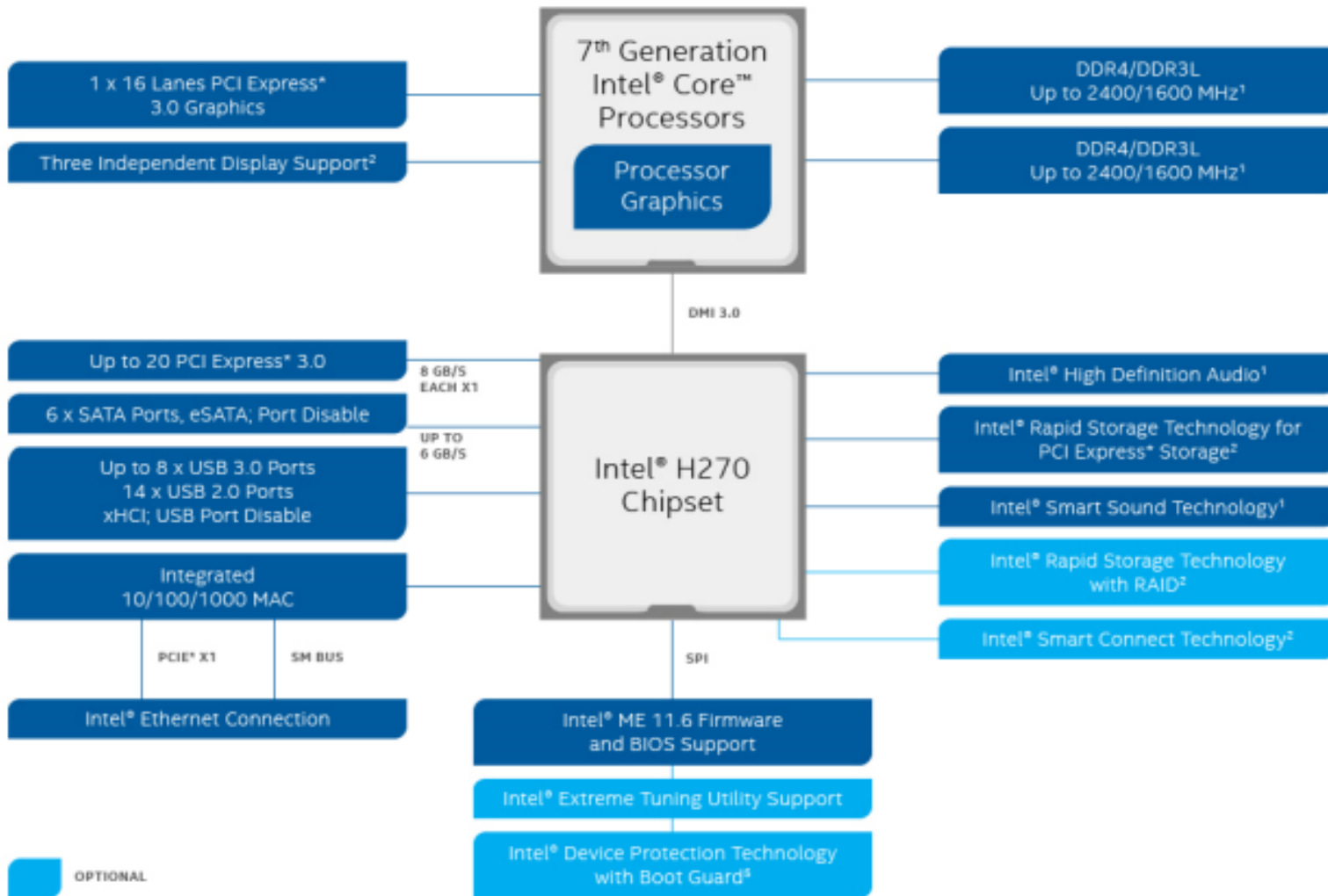


Čip set Intel H170 (2015)

Intel® H170 Chipset Block Diagram

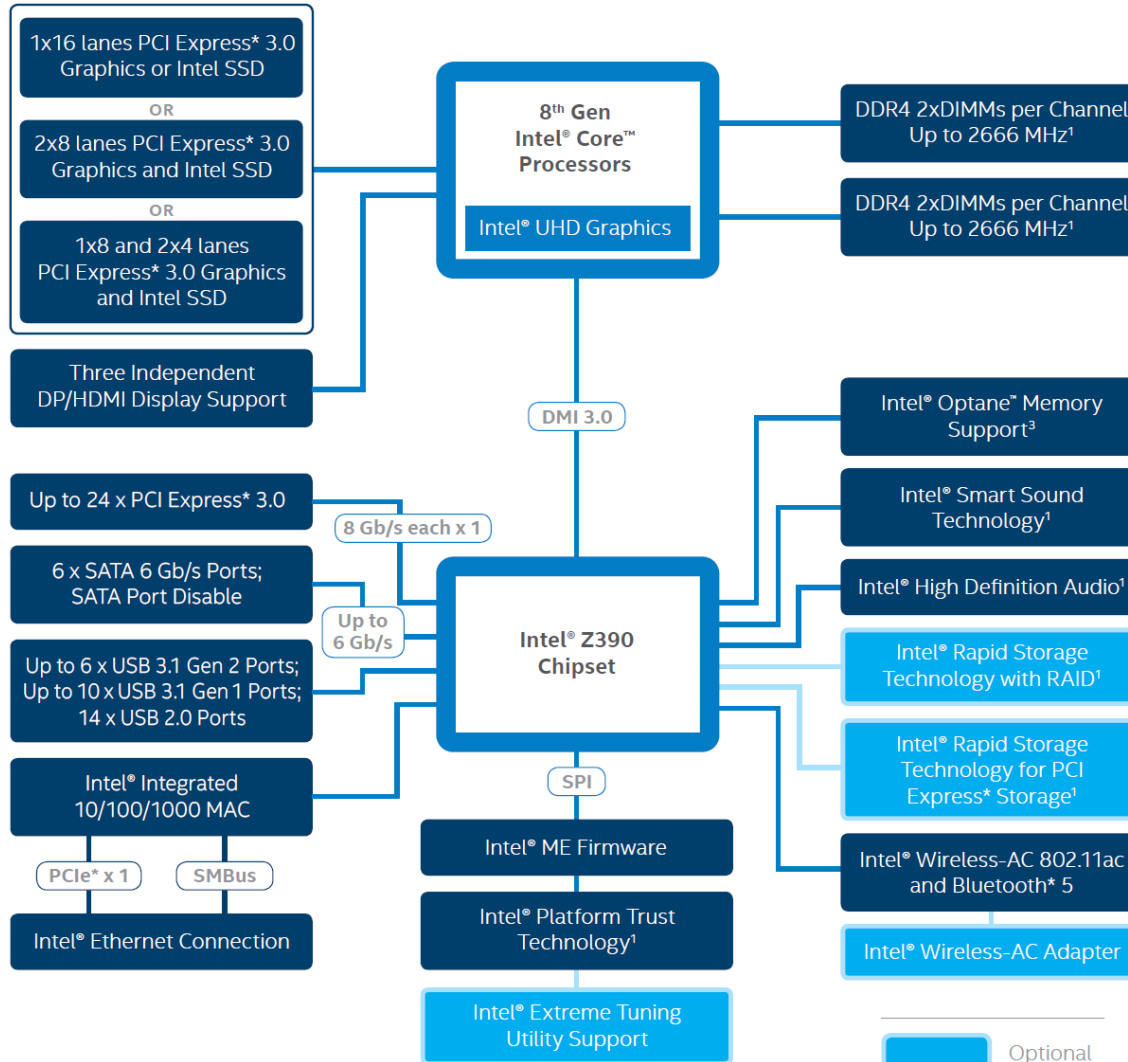


INTEL® H270 CHIPSET BLOCK DIAGRAM

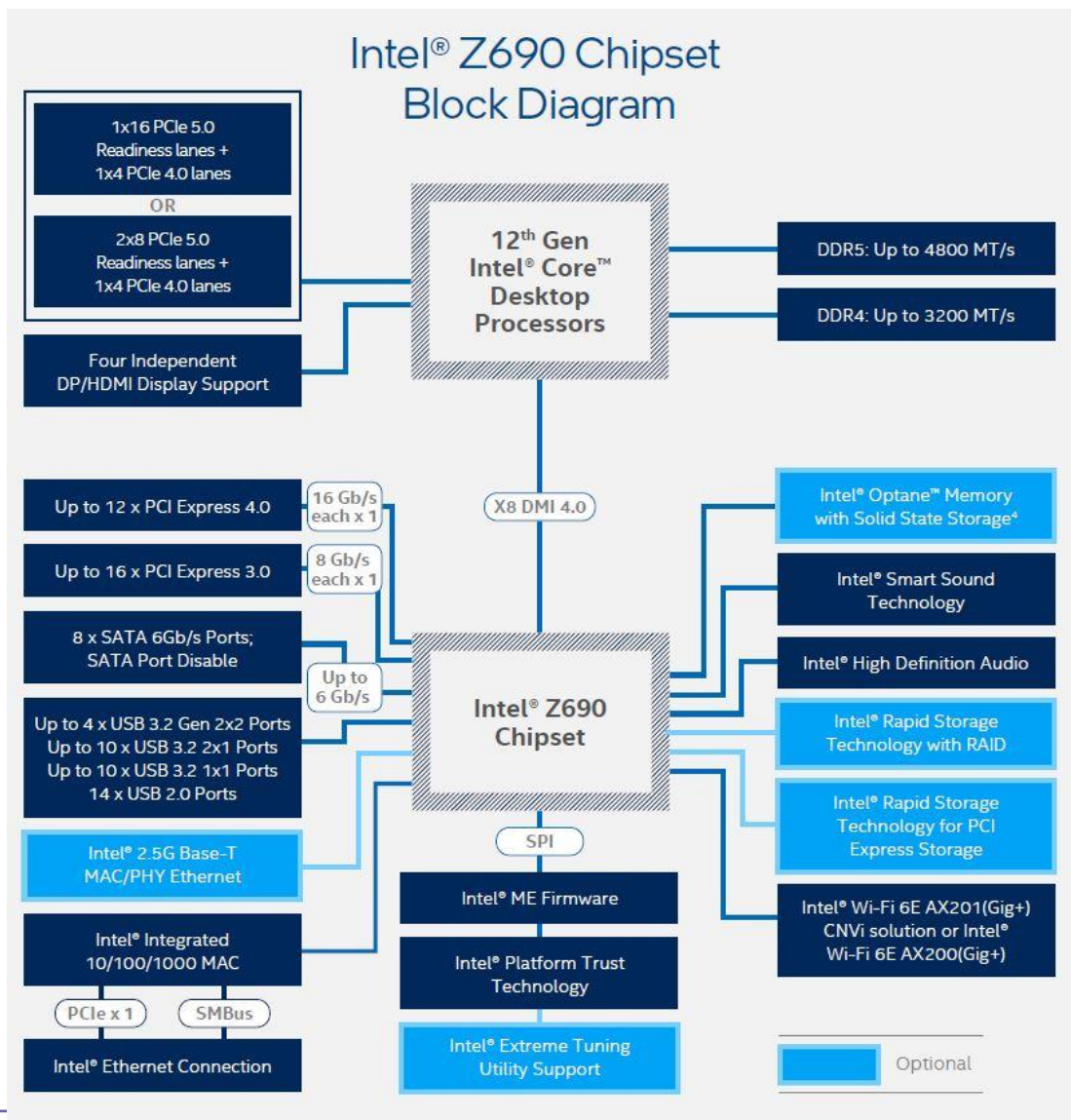


Čip set Intel Z390 (10/2018)

INTEL® Z390 CHIPSET BLOCK DIAGRAM



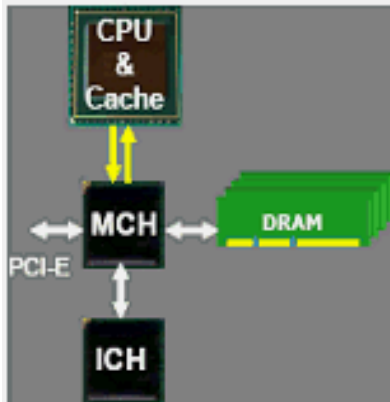
Čip set Intel Z690 (Q4/2021)



Razvoj povezav med procesorji, pomnilnikom, V/I

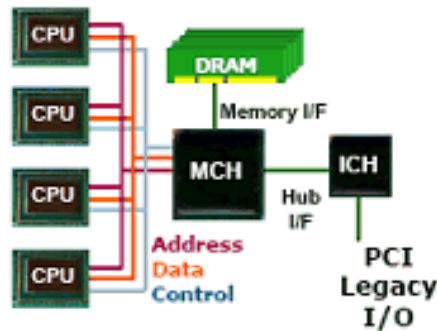
FSB vodilo („Front Side Bus“)

Intel QPI – Quick Path Interconnect

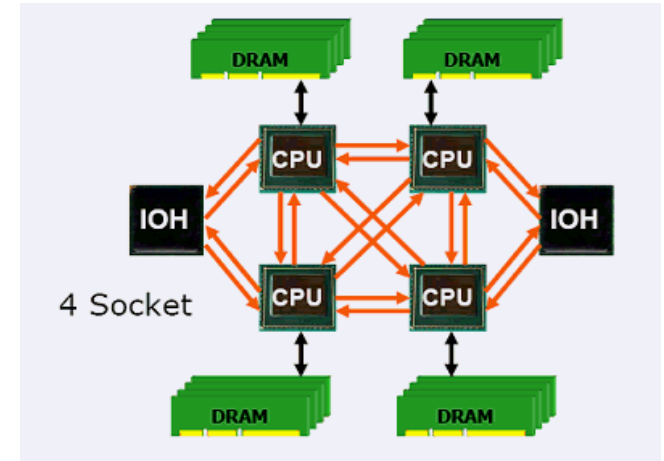


1. 1-procesorski računalnik

Multi Load FSB



2. 4-procesorski računalnik z enim FSB vodilo je omejitvev (800MT/s)

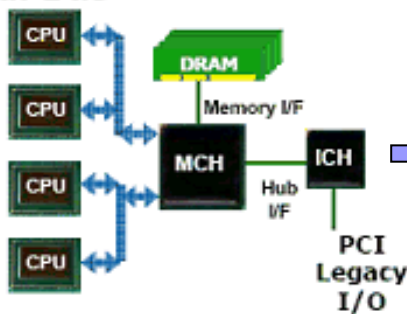


Rešitev:

Intel Quickpath tehnologija:

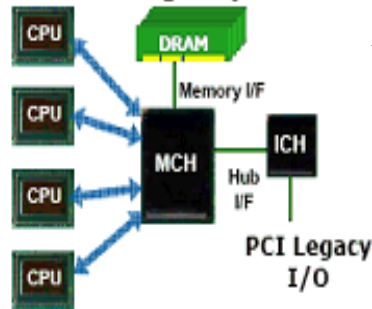
4-procesorski računalnik s hitrimi P2P povezavami

Dual Bus



3. 4-procesorski računalnik z dvema FSB podvojeno vodilo (1333MT/s)

Dedicated High Speed Bus

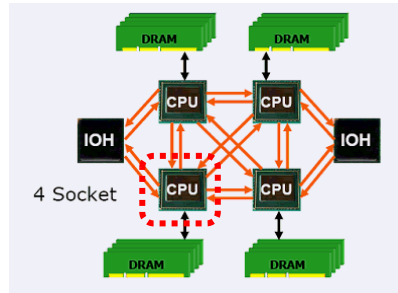


4. 4-procesorski računalnik s štirimi FSBji ogromno povezav (MCH ima 1500pinov!)

6.6.1 Arhitektura Intel QuickPath - QPI

Značilnosti :

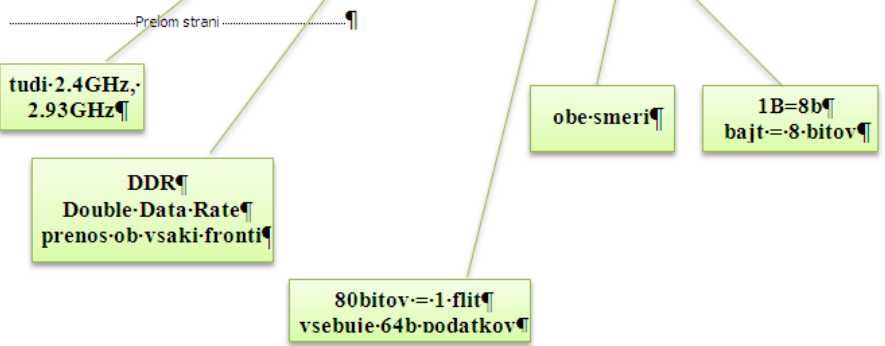
- krmilnik pomnilnika integriran v vsak procesor
- hitre serijske povezave med procesorji, I/O in pomnilnikom



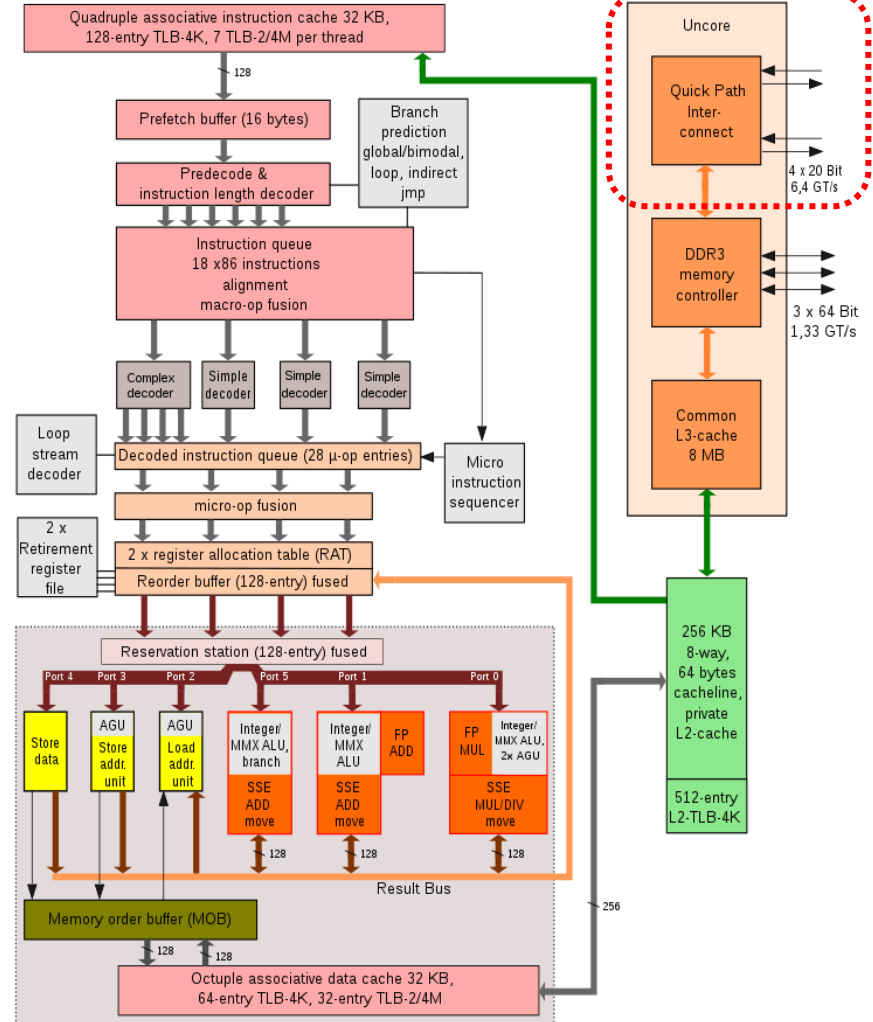
Vsaka-QPI-povezava:

- → 2x·20-povezav(20-v-eno-in-20-v-drugo-smer,-vključno-z-urinim-signalom)·□
- → ->42-signalov-+diferencialni-prenos->84-povezovalnih-žic□

$$BW = 3.2\text{GHz} \cdot 2\text{bit/Hz} \cdot 20 \cdot 64/80 \cdot 2 \cdot 8 = 25.6\text{GB/s}$$

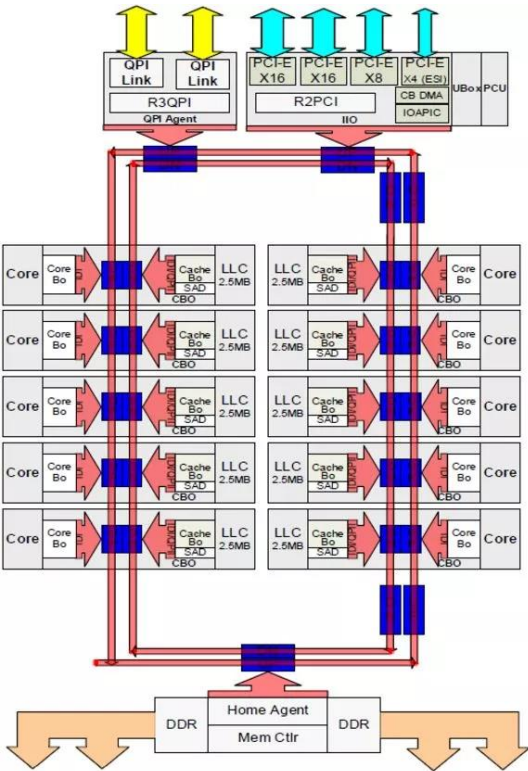


Intel Nehalem microarchitecture

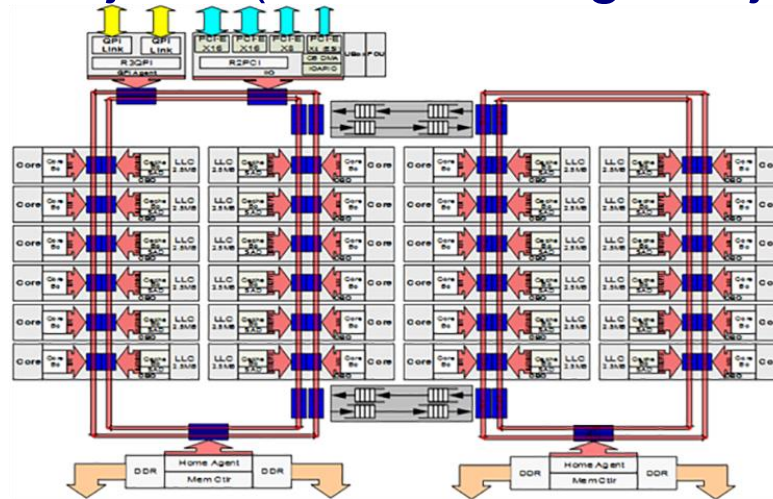


GT/s: gigatransfers per second

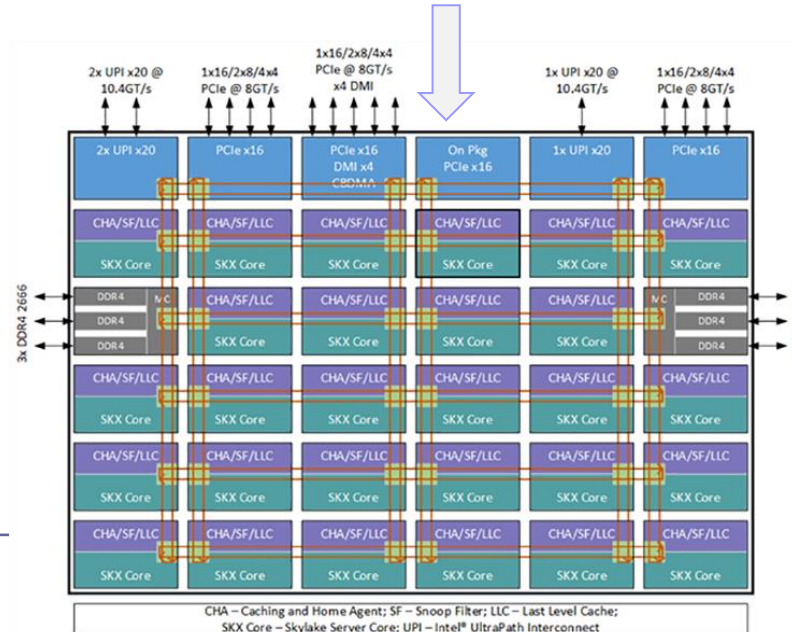
Razvoj povezav med jedri (do UPI nadgradnje 2017)



Intel Nehalem (2008): ring bus



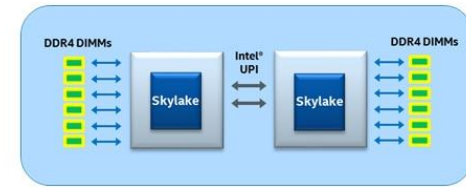
Broadwell (2014): dual ring bus



SkyLake (2016): mesh architecture

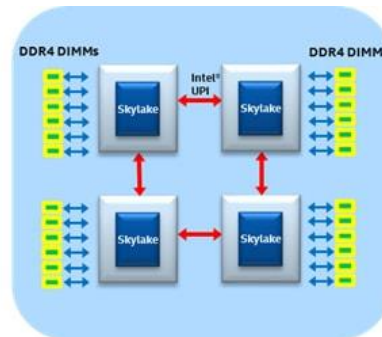
Arhitektura Intel Ultra Path Interconnect (UPI):

Nadgradnja QPI -> UPI (I. 2017+)



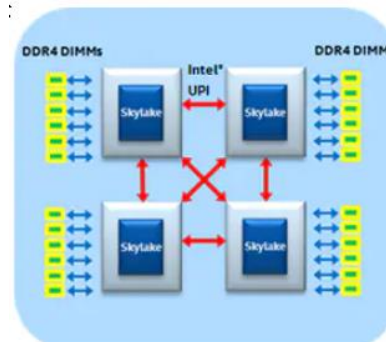
Typical two-socket configuration.

Ring

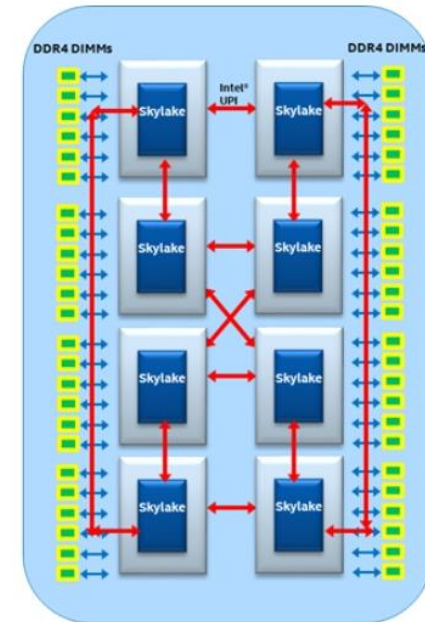


Typical four-socket ring configuration.

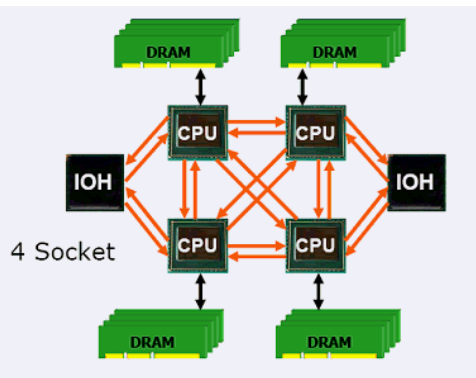
Crossbar



Typical four-socket crossbar configuration.

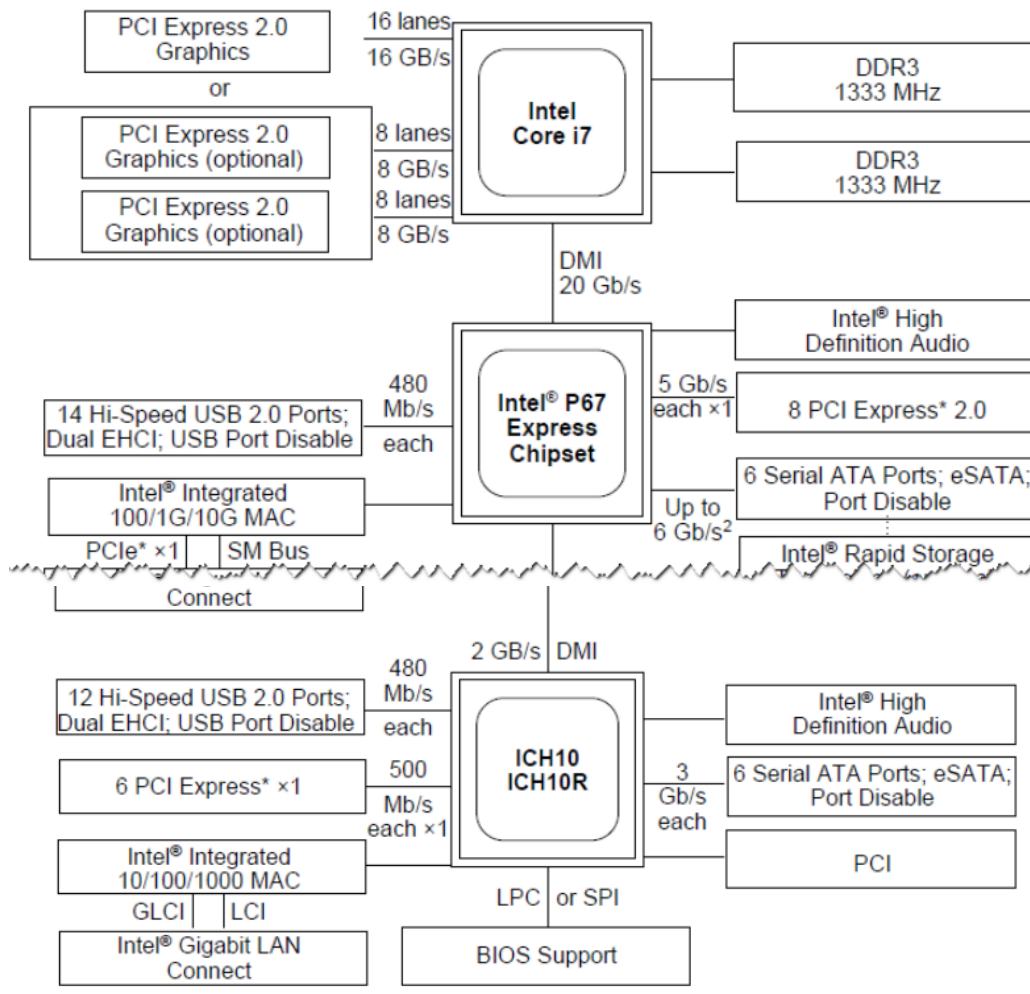
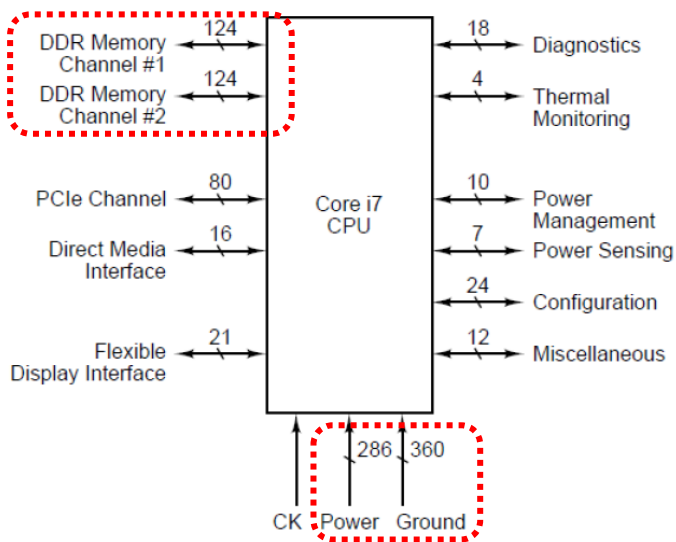


Typical eight-socket configuration.



Primer Core i7:

■ Razpored priključkov



„DDR Memory bus“

- cevovodni način procesiranja
- naenkrat se obdelujejo do 4 transakcije
- transakcija – 3 koraki:
 - „Activate“ – dostop do vrstice v DRAM-u
 - „Read/Write“ – dostop do posameznih besed v vrstici
 - „Precharge“ – zapre vrstico v DRAM-u, priprava za nasl. transakcijo

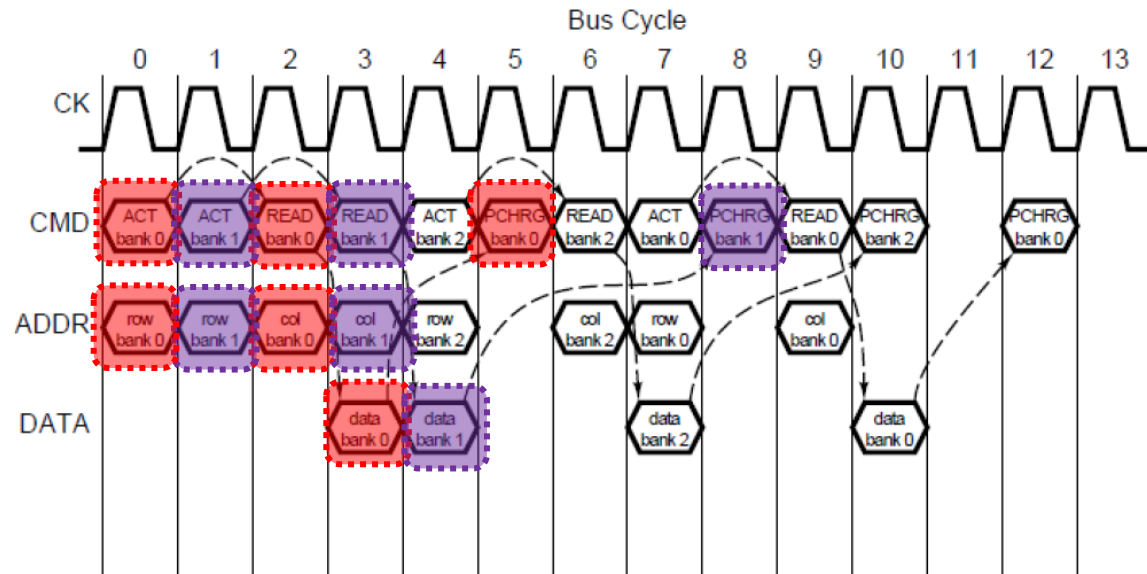


Figure 3-46. Pipelining memory requests on the Core i7's DDR3 interface.

Technology	Rate		Year				
PCI 64-bit/33 MHz	2.133 Gbit/s	266.7 MB/s	1993				
PCI 32-bit/66 MHz	2.133 Gbit/s	266.7 MB/s	1995	PCI Express 3.0 (x16 link)[49]	128 Gbit/s	15.75 GB/s [y]	2011
AGP 1x	2.133 Gbit/s	266.7 MB/s	1997	CAPI	128 Gbit/s	15.75 GB/s [y]	2014
PCI Express 1.0 (x1 link) ^[47]	2.5 Gbit/s	250 MB/s [z]	2004	PCI Express 2.0 (x32 link)[48]	160 Gbit/s	16 GB/s [z]	2007
RapidIO Gen1 1x	2.5 Gbit/s	312.5 MB/s		QPI (4.80GT/s, 2.40 GHz)	153.6 Gbit/s	19.2 GB/s	
HIO bus	2.560 Gbit/s	320 MB/s		HyperTransport 2.0 (1.4 GHz, 32-pair)	179.2 Gbit/s	22.4 GB/s	2004
GIO64 64-bit/40 MHz	2.560 Gbit/s	320 MB/s		QPI (5.86GT/s, 2.93 GHz)	187.52 Gbit/s	23.44 GB/s	
PCI Express 1.0 (x2 link) ^[47]	5 Gbit/s	500 MB/s [z]	2011	QPI (6.40GT/s, 3.20 GHz)	204.8 Gbit/s	25.6 GB/s	
PCI Express 2.0 (x1 link)[48]	5 Gbit/s	500 MB/s [z]	2007	QPI (7.2GT/s, 3.6 GHz)	230.4 Gbit/s	28.8 GB/s	2012
AGP 2x	4.266 Gbit/s	533.3 MB/s	1997	PCI Express 3.0 (x32 link)[49]	256 Gbit/s	31.51 GB/s [y]	2011
PCI 64-bit/66 MHz	4.266 Gbit/s	533.3 MB/s		PCI Express 4.0 (x16 link)[50]	256 Gbit/s	31.51 GB/s [y]	2018
PCI-X DDR 16-bit	4.266 Gbit/s	533.3 MB/s		CAPI 2	256 Gbit/s	31.51 GB/s [y]	2016
RapidIO Gen2 1x	5 Gbit/s	625 MB/s		QPI (8.0GT/s, 4.0 GHz)	256.0 Gbit/s	32.0 GB/s	2012
PCI 64-bit/100 MHz	6.4 Gbit/s	800 MB/s		QPI (9.6GT/s, 4.8 GHz)	307.2 Gbit/s	38.4 GB/s	2014
PCI Express 3.0 (x1 link)[49]	8 Gbit/s	984.6 MB/s [y]	2011	HyperTransport 3.0 (2.6 GHz, 32-pair)	332.8 Gbit/s	41.6 GB/s	2006
Unified Media Interface (UMI) (x4 link)	10 Gbit/s	1 GB/s ^[a]	2011	HyperTransport 3.1 (3.2 GHz, 32-pair)	409.6 Gbit/s	51.2 GB/s	2008
Direct Media Interface (DMI) (x4 link)	10 Gbit/s	1 GB/s [z]	2004	CXL Specification 1.x (x16 link)	512 Gbit/s	63.02 GB/s	2019
Enterprise Southbridge Interface (ESI)	8 Gbit/s	1 GB/s		PCI Express 5.0 (x16 link)[51]	512 Gbit/s	63.02 GB/s [y]	2019
PCI Express 1.0 (x4 link)[47]	10 Gbit/s	1 GB/s [z]	2004	NVLink 1.0	640 Gbit/s	80 GB/s	2016
PCI Express 2.0 (x2 link)[47]	10 Gbit/s	1 GB/s [z]	2007	PCI Express 6.0 (x16 link)	1024 Gbit/s	126 GB/s [y]	2020
AGP 4x	8.533 Gbit/s	1.067 GB/s	1998	NVLink 2.0	1.2 Tbit/s	150 GB/s	2017
PCI-X 133	8.533 Gbit/s	1.067 GB/s		Infinity Fabric (Max. theoretical)	4.096 Tbit/s	512 GB/s	2017
PCI-X QDR 16-bit	8.533 Gbit/s	1.067 GB/s					

Technology	Rate		Year
Apple Desktop Bus	10.0 kbit/s	1.25 kB/s	1986
PS/2 port	12.0 kbit/s	1.5 kB/s	1987
Serial MIDI	31.25 kbit/s	3.9 kB/s	1983
CBM Bus max ^{[61][62]}	41.6 kbit/s	5.1 kB/s	1981
Serial RS-232 max	230.4 kbit/s	28.8 kB/s	1962
Serial DMX512A	250.0 kbit/s	31.25 kB/s	1998
Parallel (Centronics/IEEE 1284)	1 Mbit/s	125 kB/s	1970 (standardized 1994)
Serial 16550 UART max	1.5 Mbit/s	187.5 kB/s	
USB 1.0 low speed	1.536 Mbit/s	192 kB/s	1996
Serial UART max	2.7648 Mbit/s	345.6 kB/s	
GPIO/HPIB (IEEE-488.1) IEEE-488 max.	8 Mbit/s	1 MB/s	Late 1960s (standardized 1976)
Serial EIA-422 max.	10 Mbit/s	1.25 MB/s	
USB 1.0 full speed	12 Mbit/s	1.5 MB/s	1996
Parallel (Centronics/IEEE 1284) EPP (Enhanced Parallel Port)	16 Mbit/s	2 MB/s	1992
Parallel (Centronics/IEEE 1284) ECP (Extended Capability Port)	20 Mbit/s	2.5 MB/s	1994
Serial EIA-485 max.	35 Mbit/s	4.375 MB/s	
GPIO/HPIB (IEEE-488.1-2003) IEEE-488 max.	64 Mbit/s	8 MB/s	
FireWire (IEEE 1394) 100	98.304 Mbit/s	12.288 MB/s	1995
FireWire (IEEE 1394) 200	196.608 Mbit/s	24.576 MB/s	1995
FireWire (IEEE 1394) 400	393.216 Mbit/s	49.152 MB/s	1995
USB 2.0 high speed	480 Mbit/s	60 MB/s	2000
FireWire (IEEE 1394b) 800 ^[63]	786.432 Mbit/s	98.304 MB/s	2002
Fibre Channel 1 Gb SCSI	1.0625 Gbit/s	100 MB/s	
FireWire (IEEE 1394b) 1600 ^[63]	1.573 Gbit/s	196.6 MB/s	2007
Fibre Channel 2 Gb SCSI	2.125 Gbit/s	200 MB/s	
eSATA (SATA 300)	3 Gbit/s	300 MB/s	2004
CoaXPress Base (up and down bidirectional link)	3.125 Gbit/s + 20.833 Mbit/s	390 MB/s	2009
FireWire (IEEE 1394b) 3200 ^[63]	3.1457 Gbit/s	393.216 MB/s	2007
External PCI Express 2.0 x1	4 Gbit/s	500 MB/s	
Fibre Channel 4 Gb SCSI	4.25 Gbit/s	531.25 MB/s	
USB 3.0 SuperSpeed (aka USB 3.1 Gen 1)	5 Gbit/s	500 MB/s	2010
eSATA (SATA 600)	6 Gbit/s	600 MB/s	2011
CoaXPress full (up and down bidirectional link)	6.25 Gbit/s + 20.833 Mbit/s	781 MB/s	2009
External PCI Express 2.0 x2	8 Gbit/s	1 GB/s	
USB 3.1 SuperSpeed+ (aka USB 3.1 Gen 2)	10 Gbit/s	1.212 GB/s	2013
External PCI Express 2.0 x4	16 Gbit/s	2 GB/s	
Thunderbolt	2 × 10 Gbit/s	2 × 1.25 GB/s	2011
USB 3.2 SuperSpeed+ ^[64] (aka USB 3.2 Gen 2×2)	20 Gbit/s	2.424 GB/s	2017
Thunderbolt 2	20 Gbit/s	2.5 GB/s	2013
External PCI Express 2.0 x8	32 Gbit/s	4 GB/s	
Thunderbolt 3 two links	40 Gbit/s	5 GB/s	2015
USB4 ^[65]	40 Gbit/s	5 GB/s	2019
External PCI Express 2.0 x16	64 Gbit/s	8 GB/s	

Module type	Chip type	Internal clock[a]	Bus clock	Bus speed[b]	Transfer rate	
PC2-9600 DDR2 SDRAM	DDR2-1200	300 MHz	600 MHz	1.2 GT/s	76.8 Gbit/s	9.6 GB/s
PC2-10000 DDR2 SDRAM	DDR2-1250	312 MHz	625 MHz	1.25 GT/s	80 Gbit/s	10 GB/s
PC3-10600 DDR3 SDRAM	DDR3-1333	167 MHz	667 MHz	1.333 GT/s	85.336 Gbit/s	10.667 GB/s
PC3-11000 DDR3 SDRAM	DDR3-1375	172 MHz	688 MHz	1.375 GT/s	88 Gbit/s	11 GB/s
PC3-12800 DDR3 SDRAM	DDR3-1600	200 MHz	800 MHz	1.6 GT/s	102.4 Gbit/s	12.8 GB/s
PC3-13000 DDR3 SDRAM	DDR3-1625	203 MHz	813 MHz	1.625 GT/s	104 Gbit/s	13 GB/s
PC3-14400 DDR3 SDRAM	DDR3-1800	225 MHz	900 MHz	1.8 GT/s	115.2 Gbit/s	14.4 GB/s
PC3-14900 DDR3 SDRAM	DDR3-1866	233 MHz	933 MHz	1.866 GT/s	119.464 Gbit/s	14.933 GB/s
PC3-16000 DDR3 SDRAM	DDR3-2000	250 MHz	1000 MHz	2 GT/s	128 Gbit/s	16 GB/s
PC4-17000 DDR4 SDRAM	DDR4-2133	267 MHz	1067 MHz	2.133 GT/s	136.5 Gbit/s	17 GB/s
PC3-17000 DDR3 SDRAM	DDR3-2133	267 MHz	1067 MHz	2.133 GT/s	136.528 Gbit/s	17.066 GB/s
PC3-17600 DDR3 SDRAM	DDR3-2200	275 MHz	1100 MHz	2.2 GT/s	140.8 Gbit/s	17.6 GB/s
PC3-19200 DDR3 SDRAM	DDR3-2400	300 MHz	1200 MHz	2.4 GT/s	153.6 Gbit/s	19.2 GB/s
PC4-19200 DDR4 SDRAM	DDR4-2400	300 MHz	1200 MHz	2.4 GT/s	153.6 Gbit/s	19.2 GB/s
PC3-21300 DDR3 SDRAM	DDR3-2666	333 MHz	1333 MHz	2.666 GT/s	170.5 Gbit/s	21.3 GB/s
PC4-21300 DDR4 SDRAM	DDR4-2666	333 MHz	1333 MHz	2.666 GT/s	170.5 Gbit/s	21.3 GB/s
PC3-24000 DDR3 SDRAM	DDR3-3000	375 MHz	1500 MHz	3.0 GT/s	192 Gbit/s	24 GB/s
PC4-24000 DDR4 SDRAM	DDR4-3000	375 MHz	1500 MHz	3.0 GT/s	192 Gbit/s	24 GB/s
PC4-25600 DDR4 SDRAM	DDR4-3200	400 MHz	1600 MHz	3.2 GT/s	204.8 Gbit/s	25.6 GB/s
PC5-41600 DDR5 SDRAM	DDR5-5200	650 MHz	2600 MHz	5.2 GT/s	332.8 Gbit/s	41.6 GB/s
PC5-51200 DDR5 SDRAM	DDR5-6400	800 MHz	3200 MHz	6.4 GT/s	409.6 Gbit/s	51.2 GB/

- Intel QuickPath:

- [Intel Quickpath.mp4](#)

- List of interface bit rates

- https://en.wikipedia.org/wiki/List_of_interface_bit_rates