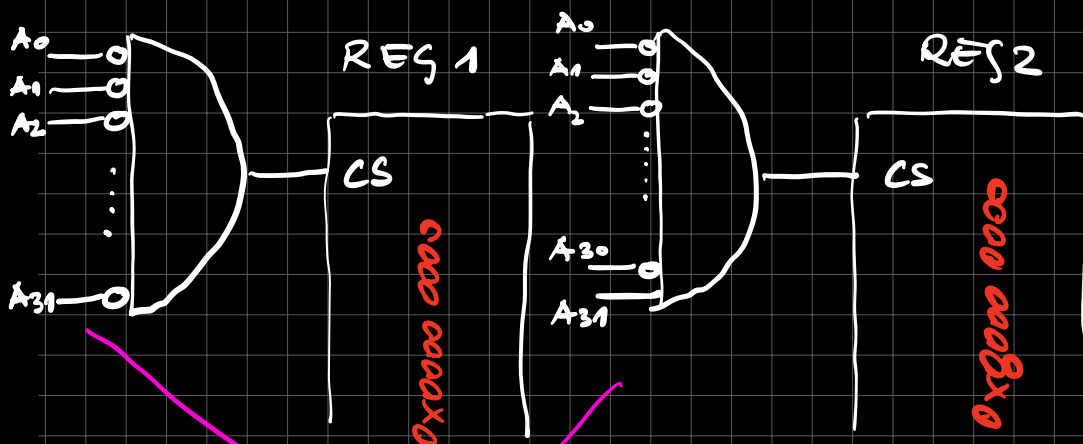


ORS, 9.10.2023

→ Dajmo sedaj v naslovni prostor CPE vstaviti 2 32-bitna registre. Enega na naslov 0x0000 0000, drugega na naslov 0x8000 0000

→ Da bo skica bolj enostavna in bolj berljiva, ne menoma ne risem naslovnik, podobnosti, CLK in R/W signala

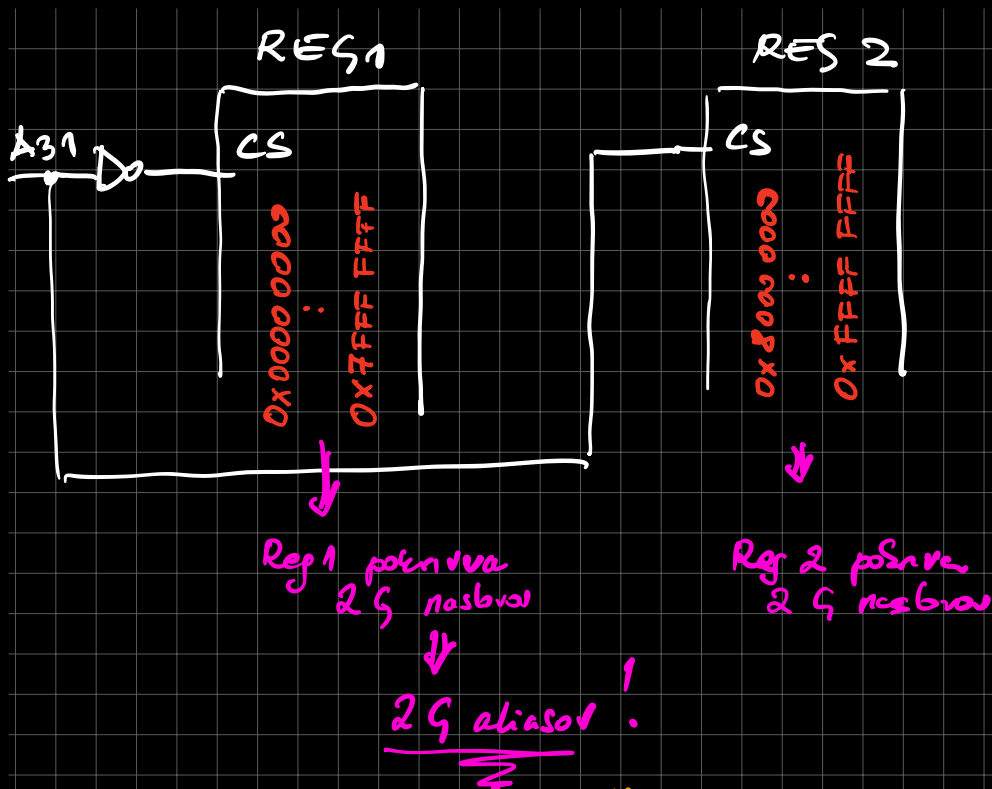
Osredotočimo se samo na CS signal:



Decoderska logika se razbije samo v bitu A₃₁

Kaj če imamo v sistemu le dva registre?

↓
V tem primeru bi lahko CS obeh registrov bil funkcija le enega naslovnega bita ⇒ A₃₁



NEPOPOLNO NASLOVNO DEKODIRANJE

⇒ V realnih rač. sistemih je naslovni prostor veliko večji kot je fizikalno prisotnih naslovnih besed

* 8 register v naslovni prostor na naslovih:

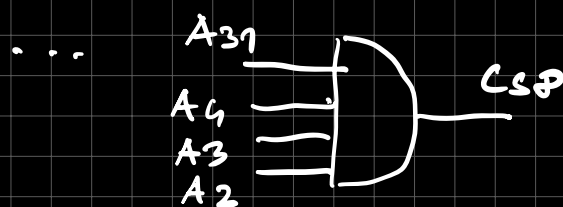
0x8000 0000
0x8000 0004

8
C
10
14
18
1C

ti biti se razlikujejo le v naslovnih bitih A₂, A₃, A₄

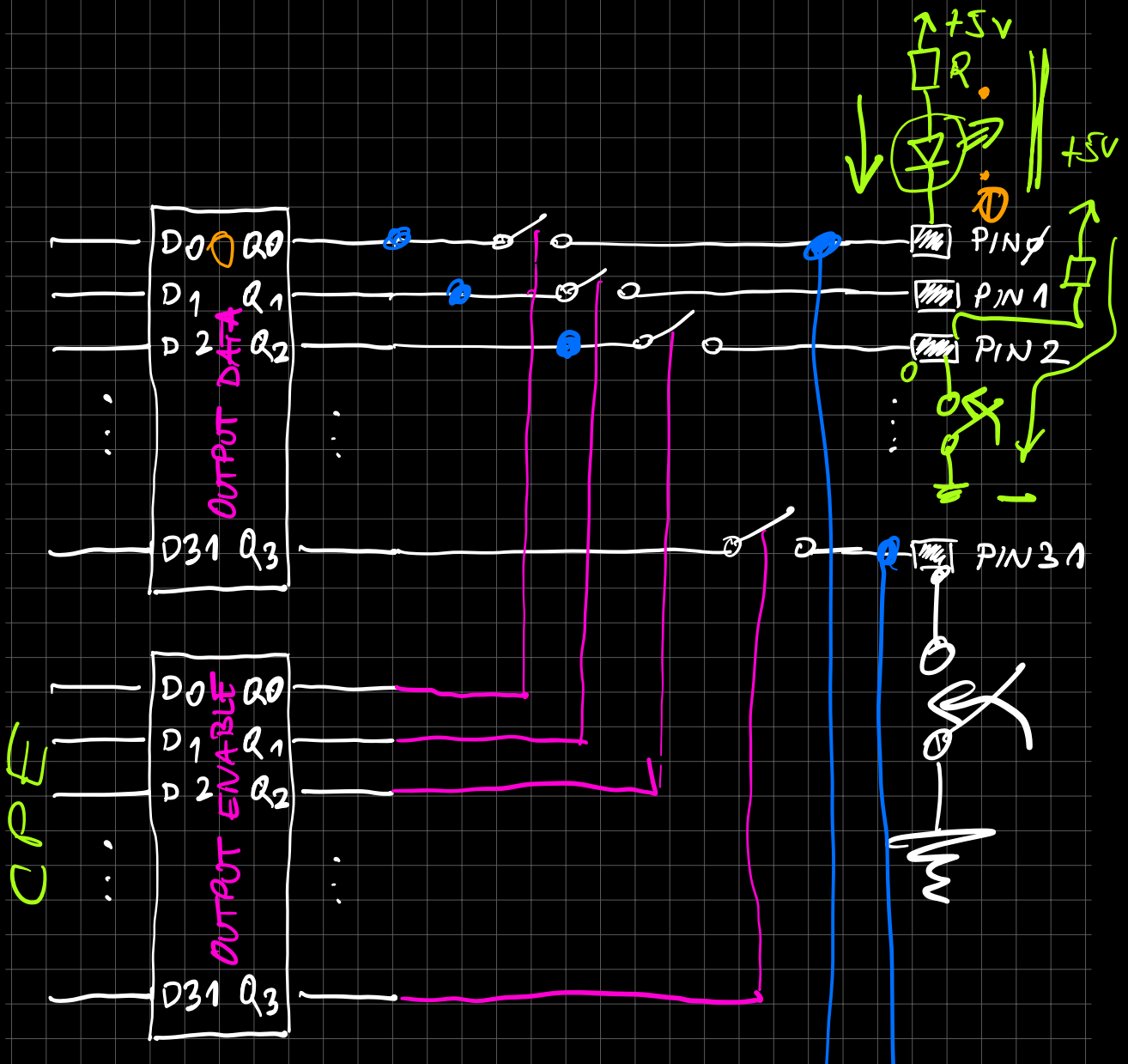
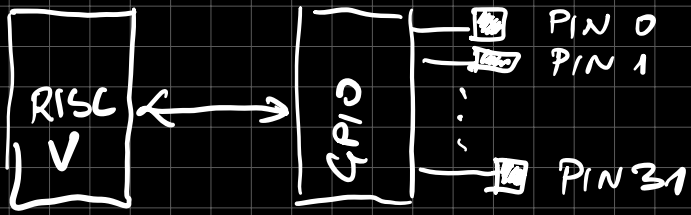
Nepopolno naslovno dekodiranje lahko uporabljamo, da se register postavi v pravo polovico naslovnega prostora

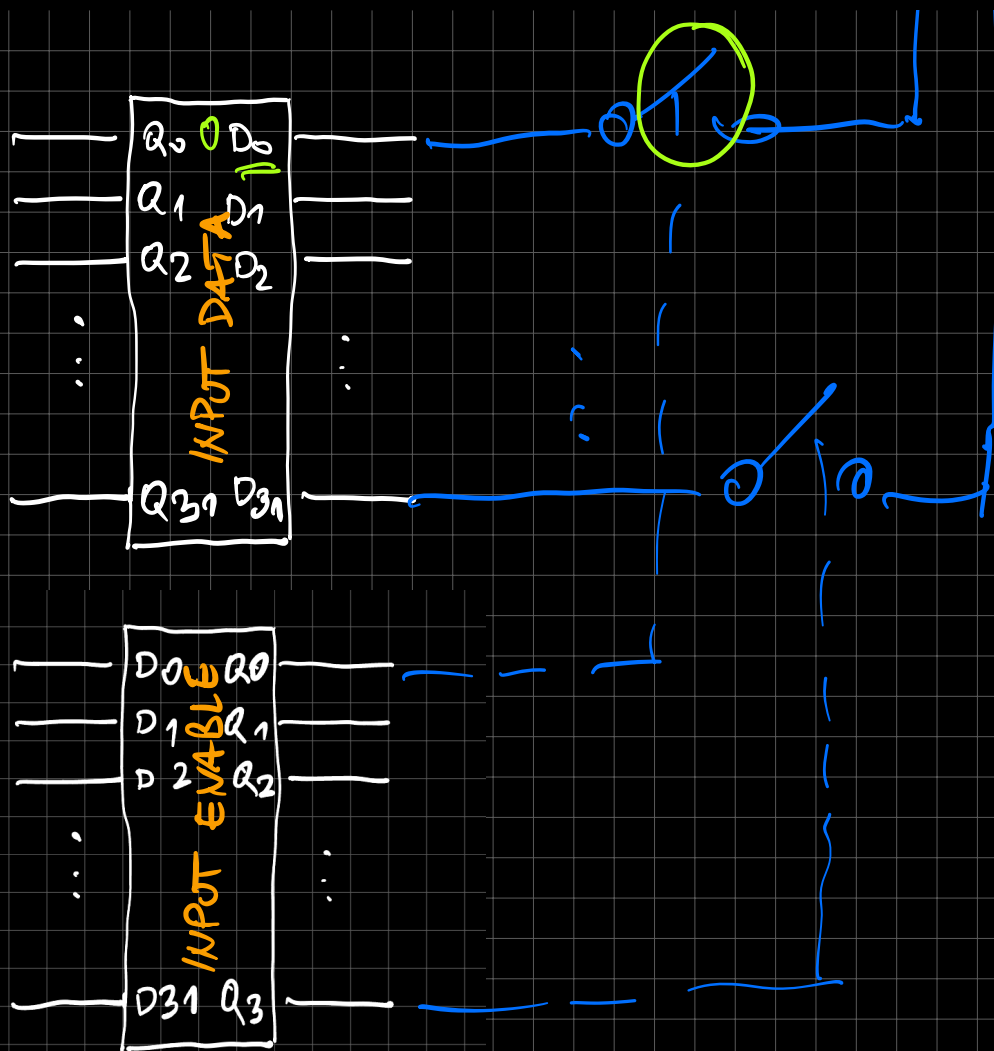
Popolno naslovno delodrezi' lahko razporedi
to kjer postavlja na zaporedne
naslove



A ₃₁	A ₃₀	...	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
1	x	...	x	0	0	0	x	x
1	x	...	x	0	0	1	x	x
1	x	...	x	0	1	0	x	x
1	x	...	x	0	1	1	x	x
1	x	...	x	1	0	0	x	x
1	x	...	x	1	0	1	x	x
1	x	...	x	1	1	0	x	x
1	x	...	x	1	1	1	x	x

GPIO vmeside v HiFive





Output Data Register: $0x \underline{1001200C}$

Output Enable Register: $0x 10012008$

Input Enable Register: $0x 10012004$

Input Data Register: $0x 10012000$

sep-1000-1000-1000