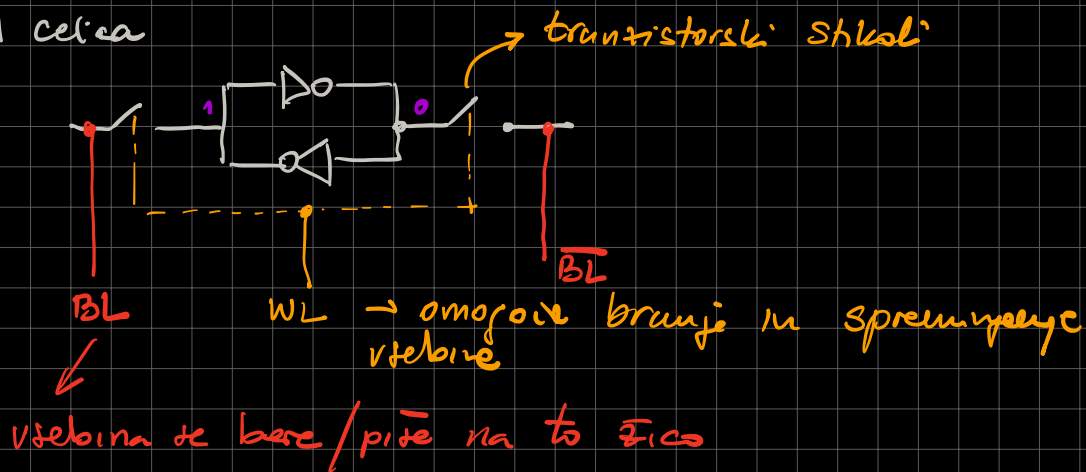


Dinamični RAM pomnilnik

SRAM celica

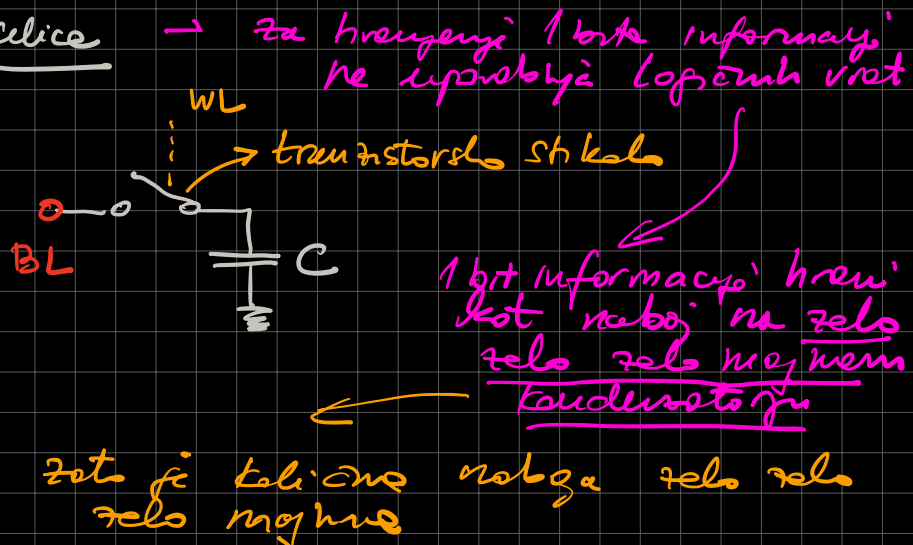


Lastnosti:

- hitri dostop
- velika in potrebna (energijska)
 - ↓
 - 6T → "draga"
- uporablja se za implementacijo SRAM pomnilnikov (-registri v CPE, -predpomnilniki)

za majhne in hitre pomnilnike

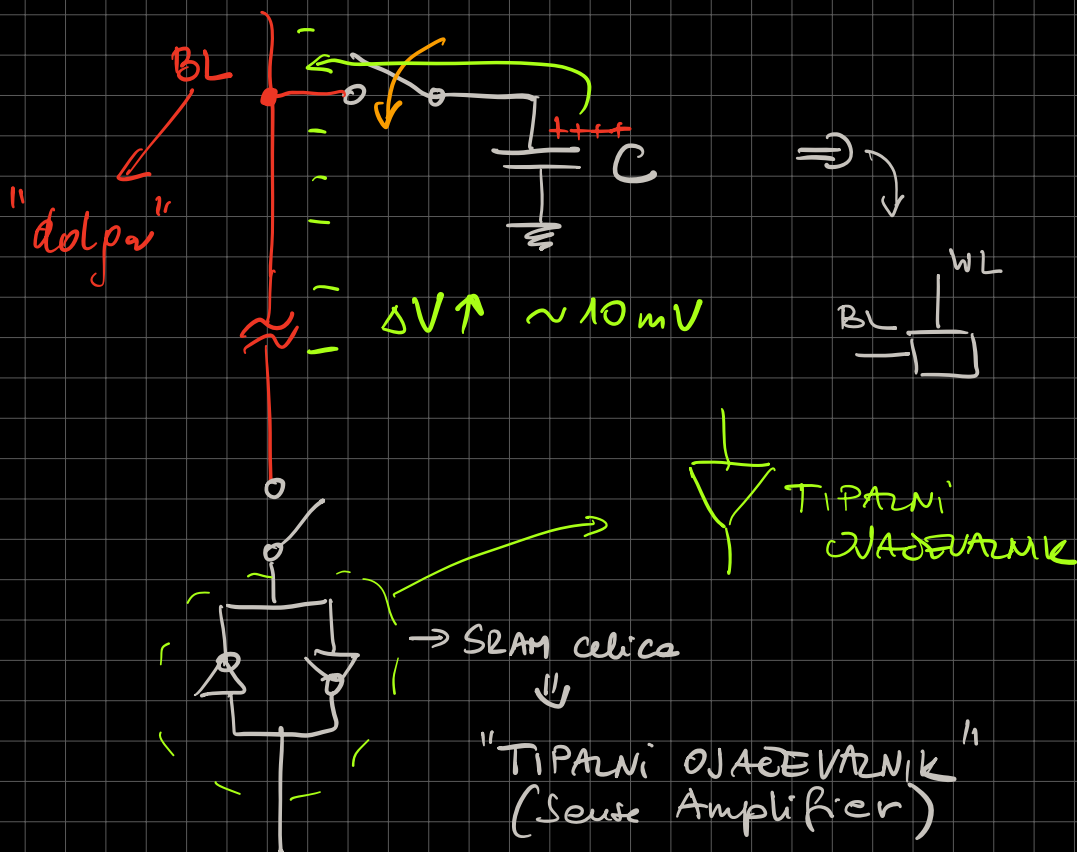
DRAM celica



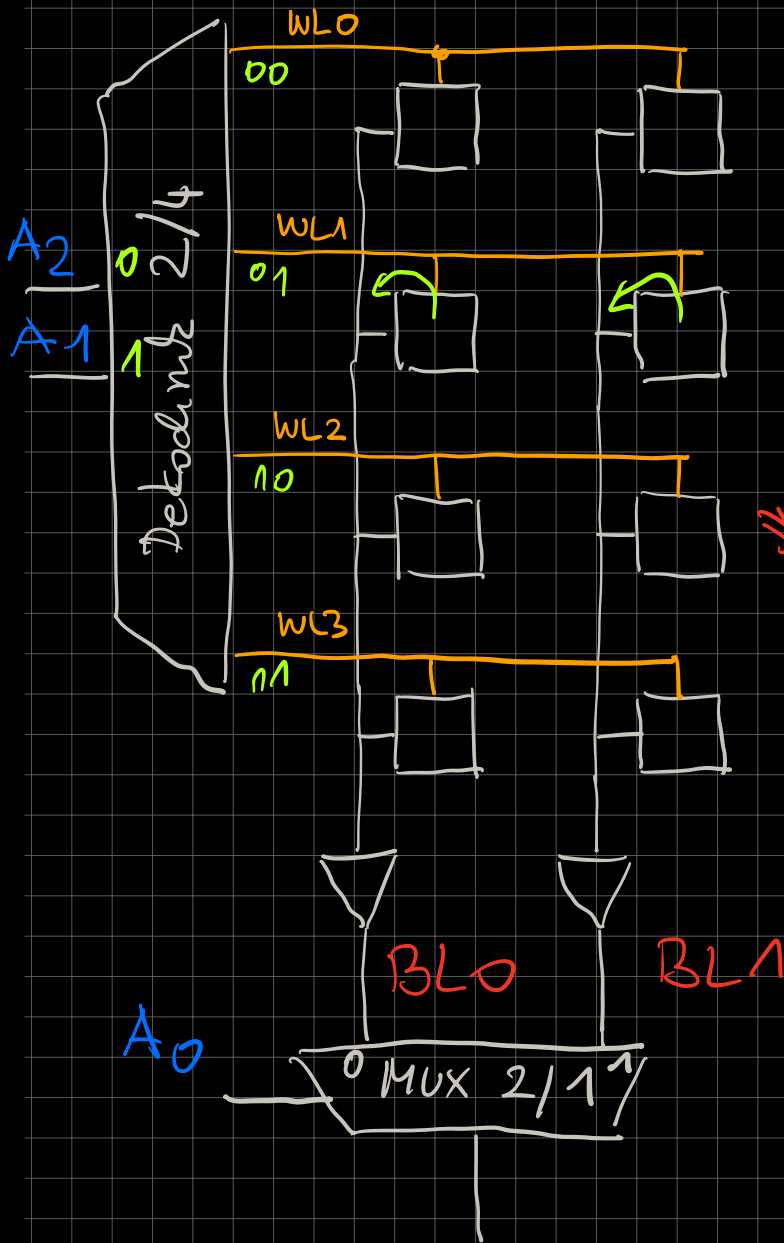
Lasnost: DRAM celice

- zelo majhna ☺
- je zelo počasna $\Rightarrow$ ker operaciji branja in pisanja temeljita na polnjenju / praznjenju kondenzatorja
 - $\downarrow$
 - $t \sim C^2$
- VSAKO BRANJE JE DESTRUKTIVNO
 - izgubimo informacijo, ker nam ob branju naboji vrede iz kondenzatorja
- ☹ je počasni!

Branje iz DRAM celice



DRAM 4 x 2 bit :



DRAM polje

DRAM pomeni 4 organizacija
kot 2D polje:

$\begin{cases} \rightarrow R \text{ vrstic} \\ \rightarrow C \text{ stolpcov} \end{cases}$
 zato, da programo bolje
 razume

Posledice

→ naravnost dostopamo (preberemo) do vseh celic v eni vrstici

hijihova vsebina se vpiše v
tipalne ojačevalnike, ki so v bistvu
sram celice

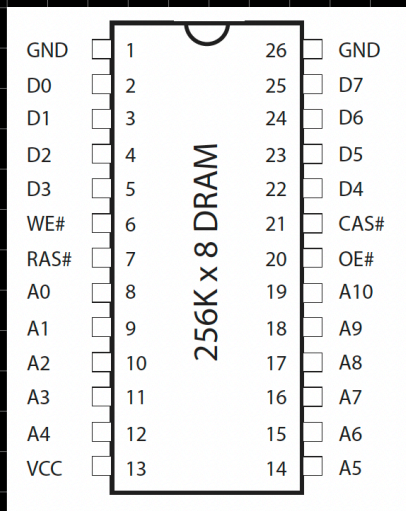
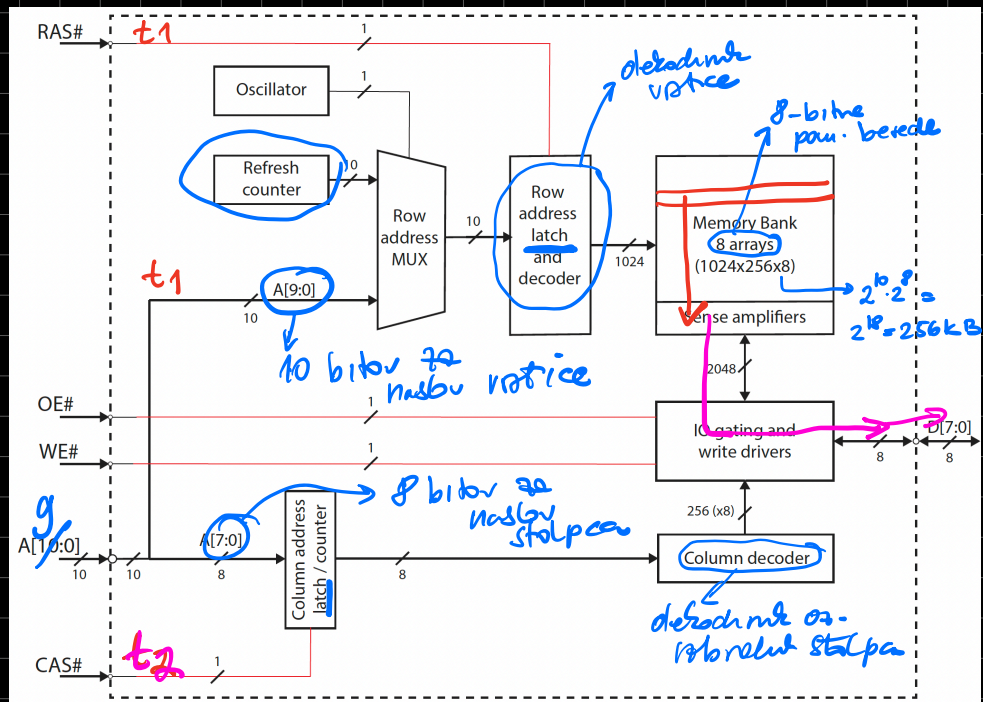
zato rečemo: ko odpremo vrstico (= dostop do vseh celic v vrstici),
PRENESEMO VSEBINO VRSTICE
V REGISTER VRSTICE

ko je vsebina enkrat v registru
vrstice, lahko dostopamo do
kjer. Po koncu dostopa,
pa moramo vsebino iz reg.
vrstice prenesti nazaj v
vrstico v DRAM polju in
šele nato lahko dostopamo
do neke druge vrstice v
DRAM polju

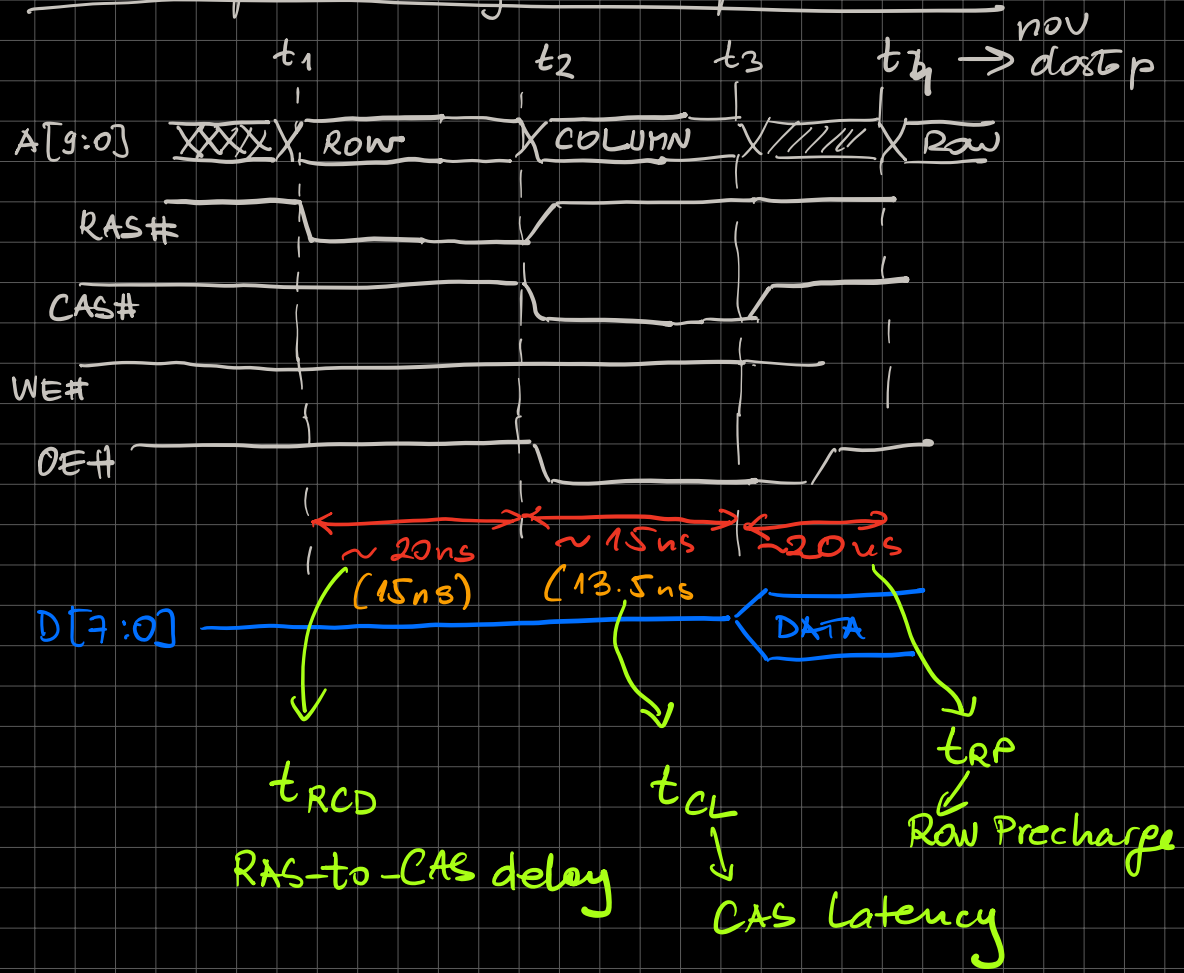
SDRAM pomnilnik

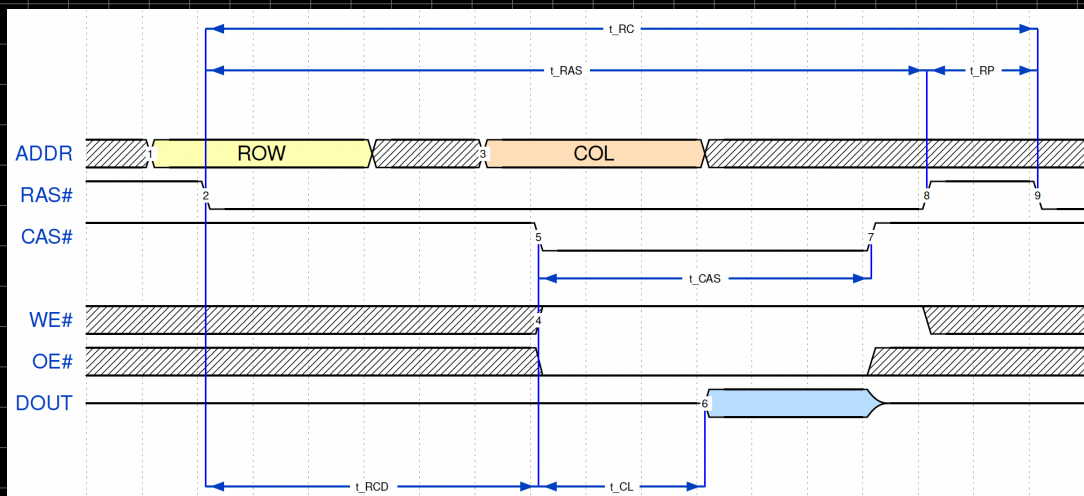
- organiziran je kot 2D polje
- največ odpremo/zapremo
eno vrstico
- dostopamo lahko le do
stolpcev odprte vrstice
- V enem polju je 1-bitne
pom. besede
- za dolgotrajno n-bitno pomnilnik
besedo uporabimo n-polje
do katerih istočasno dostopamo

BAANKA



Časovni potok branja DRAM pomnilnika





Povzetek:

1. Vsak dostop (branje/pisanje) je resovno popojen $\Rightarrow$ test, ki dostopa do DRAM pomnilnika mora upoštevati zgoraj navedeno
2. Kompleksno! Testi merimo te dve
3. Min. čas potreben, da dobimo podatek iz te reaktivne vrstice je

$$t_{min} = t_{RCD} + t_{CL}$$

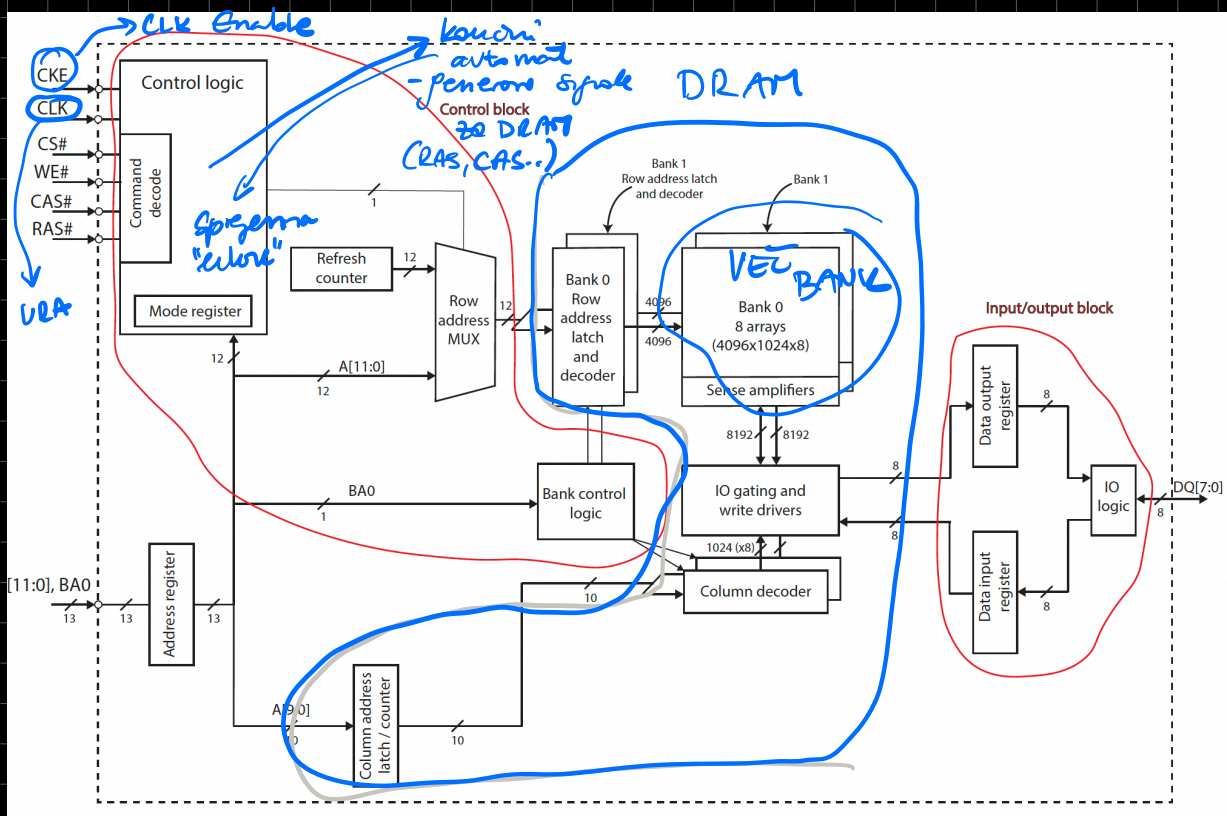
4. Čas nalezivega dostopa do bared, ki niso v isti vrstici:

$$t = t_{RCD} + t_{CL} + t_{RP}$$



Boljša rešitev $\Rightarrow$ sinhroniziramo
vse svoje delovanje
z uro

SDRAM (Sinhrenski DRAM)



Pridobitve

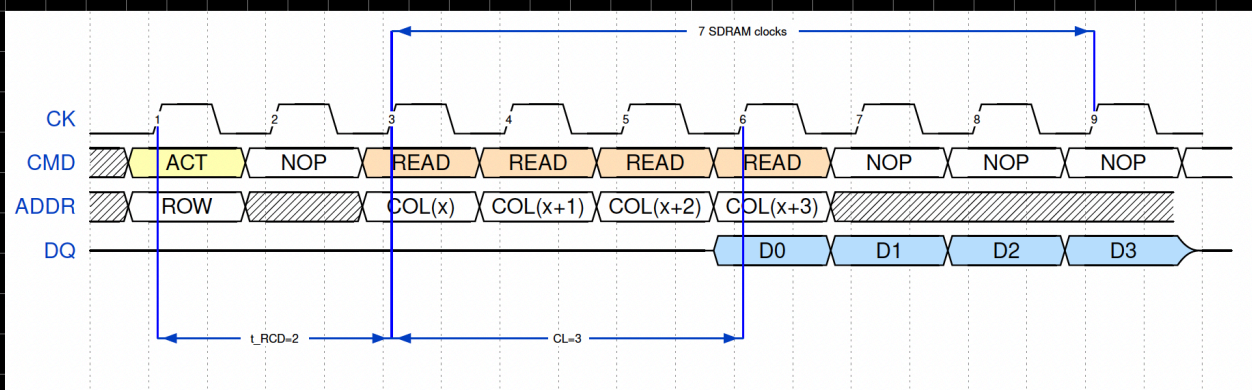
- URA → Sledji SDRAM lahko delo z eno vrsto artiklov prideluje v RS
- Vproga KA (Control Logic), ki sledji sprejemni ulni iz POMILNOSTI KADILNOST in na osnovi ukaza traja interne signale
- Vee banka ⇒ celo simultano odpreme za zapram vrste v bankah ⇒ vsake banka ima svojo set signala in svojo register vrstice

Ukazi

Command	CS#	RAS#	CAS#	WE#	Address
COMMAND INHIBIT	H	X	X	X	X
NO OPERATION (NOP)	L	H	H	H	X
ACTIVE (select bank and activate row)	L	L	H	H	Bank/row
READ (select bank and column, and start READ burst)	L	H	L	H	Bank/col
WRITE (select bank and column, and start WRITE burst)	L	H	L	L	Bank/col
PRECHARGE (deactivate row in bank)	L	L	H	L	Bank/row
AUTO REFRESH	L	L	L	H	X
LOAD MODE REGISTER	L	L	L	L	Code

Pomen je je spremenil $\Rightarrow$
 sedaj ne krmilimo DRAM po
 temu & njima kodirano
 ureje

Primer branja:



Ob predpostavki, da je CLK = 100 MHz ($T_{CLK} = 10\text{ns}$)

$\swarrow$
 Če branje 4 pan. besed iz
 je ne aktivne vrstice potrdujemo
 s u.p.

to pomeni: $\frac{9}{4}$ u.p. na bera

$\swarrow \searrow$
2.25 up $\Rightarrow$ 22.5 ns za eno
bero