

Ponovitev

- jedro vsakega SDRAM čipa so DRAM polja
- več zaporednih DRAM polj (npr. 8) tvorijo eno banko; hkrati več zaporednih polj tvorijo berode (npr. 8 polj v banki. Omogoča, da tvorimo 8-bitske berode v banki)
- kakršenkoli dostop (bralni, pisalni, brisanjski) se vedno nanosi na banko
- SDRAM čip vsebuje več bank (vsaj 4 banke)
- poleg bank, ki dajejo kramljeno informacijo, ima vsak SDRAM čip eno preprosto digitalno vmesnik proti zun. svetu

skrhrenski

→ končni avtomat, ki sprejema ukaze iz pom. krmilnice, jih interpretira in krmil. signale za dostop do bank

ti so kodirani s signali CS, CAS, RAS, WE:

ACTIVE

READ

WRITE

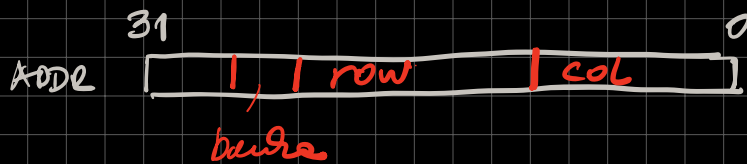
PRECHARGE ...

Pom. krmilnice tvorijo te ukaze za SDRAM čip na osnovi zahtev iz procesorja

CPE: $LW \cdot rd \cdot O(r_{bank})$

↓
v 4. slopcy: 32 bitni naslov
in
R/W = 1
to gre v
pom. krmilnik

POM. krmilnik: sprejme naslov in R/W
signal in na osnovi
tega vrni želene zone.
avtomatično v SDRAM-u



1. ACTIVE row, banka
↓ t_{RCO} (npr: 3μs)
2. READ col, banka
↓ CL (npr: 3μs)
3. PREBENE podatki iz pod. vrste,
ga običajno shranijo v neko svojo
FIFO vrsto in posreduje CPU
4. PRECHARGE row, banka
↓ t_{RP} (~ 3μs)

SDRAM opci so običajno označeni:

CL - t_{RCO} - t_{RP}
3 - 3 - 3

Generaciji SDRAM čipov:

SDRAM	prefetch = 1
DDR SDRAM	2n prefetch
DDR2 -11-	4n -11-
DDR3 -11-	8n -11-
DDR4 -11-	8n -11-
DDR5 -11-	16n -11-

* Kako naj pom. krmilnik razume naslove,
 če jih da bi iz CPE?

- za lažje razumevanje bomo predpostavili, da
 majhen SDRAM čip:

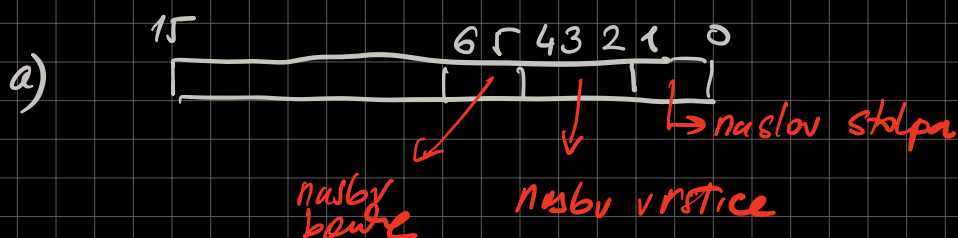
4 banke x 8 vrstic x 4 stolpce

↑
2 bita
BA0, BA1
↓
3 naslovni
biti
↓
2 bita

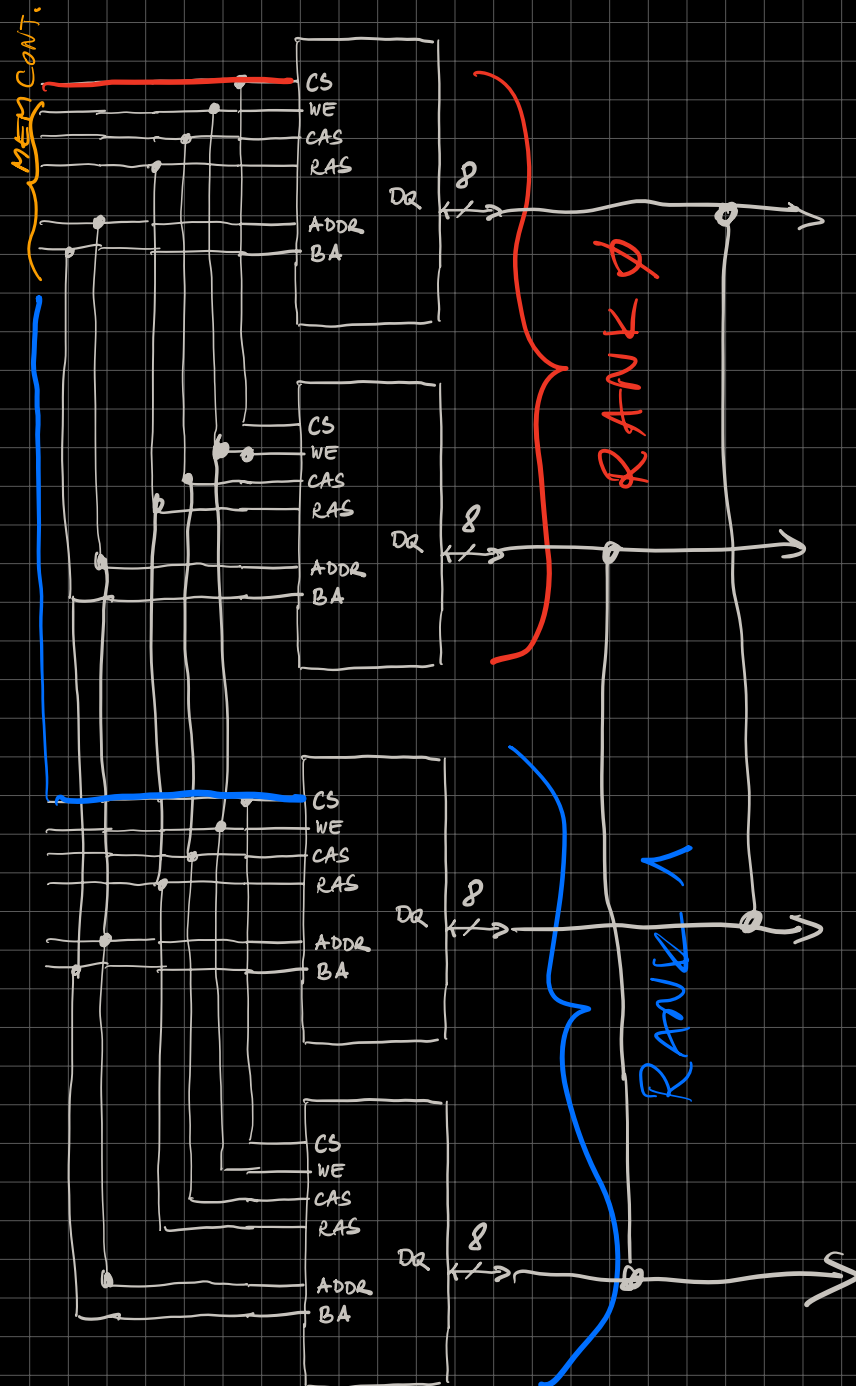
predpostavimo, da CPE pošlje naslednji 16-bitne
 naslove:

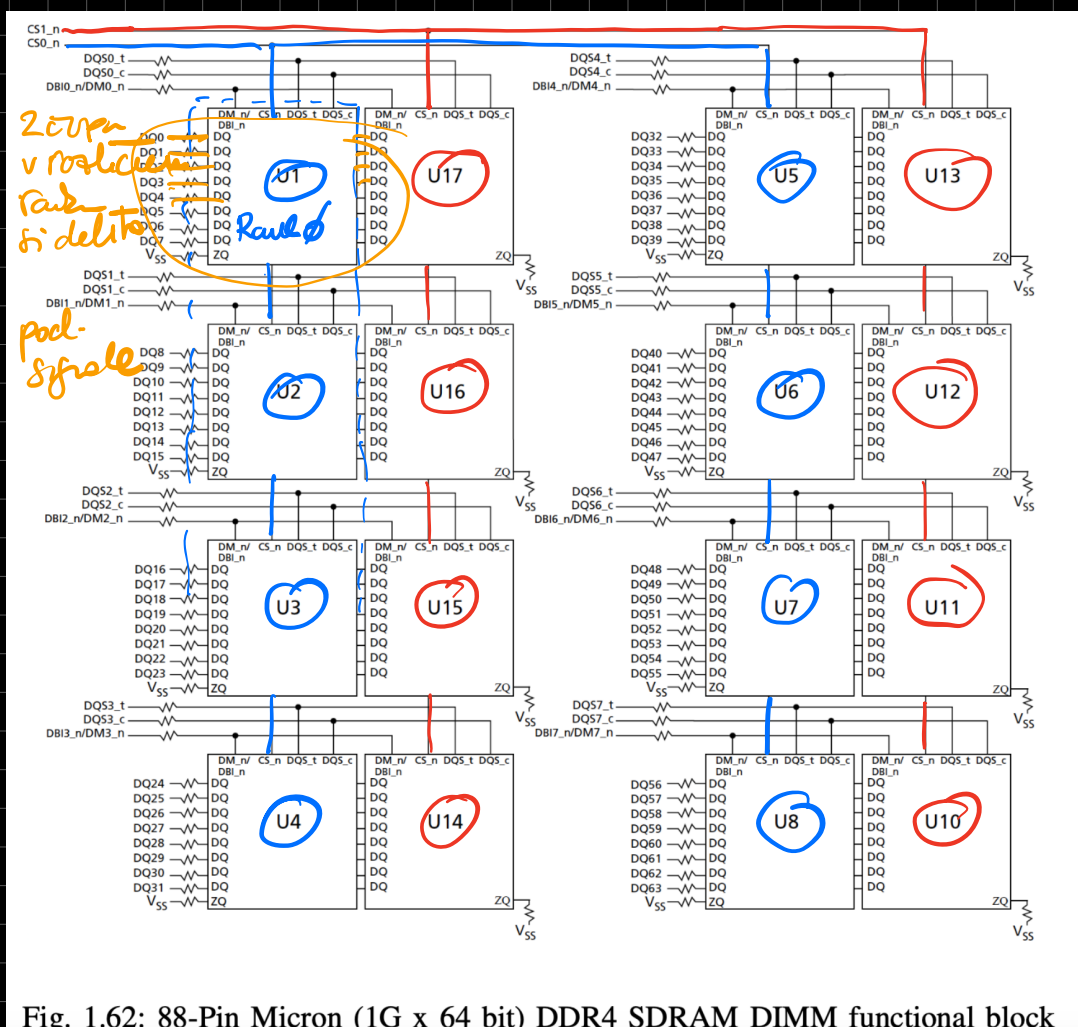
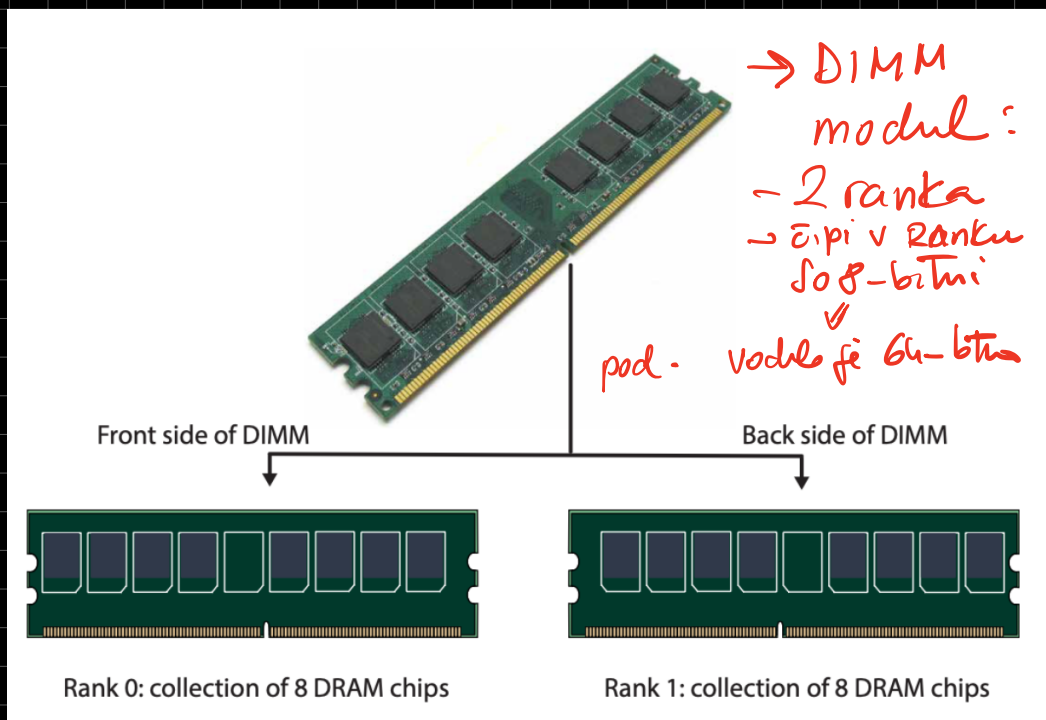
A000	⇒	1010 0000 0000 0000
A001		1010 0000 0000 0001
A002		-11- 0010
A003		-11- 0011
A004		-11- 0100
A005		-11- 0101
A006		-11- 0110
A007		-11- 0111

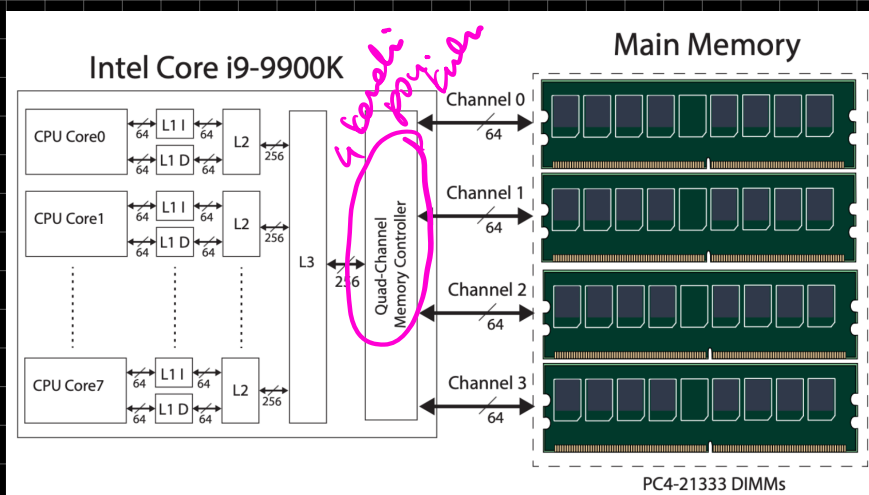
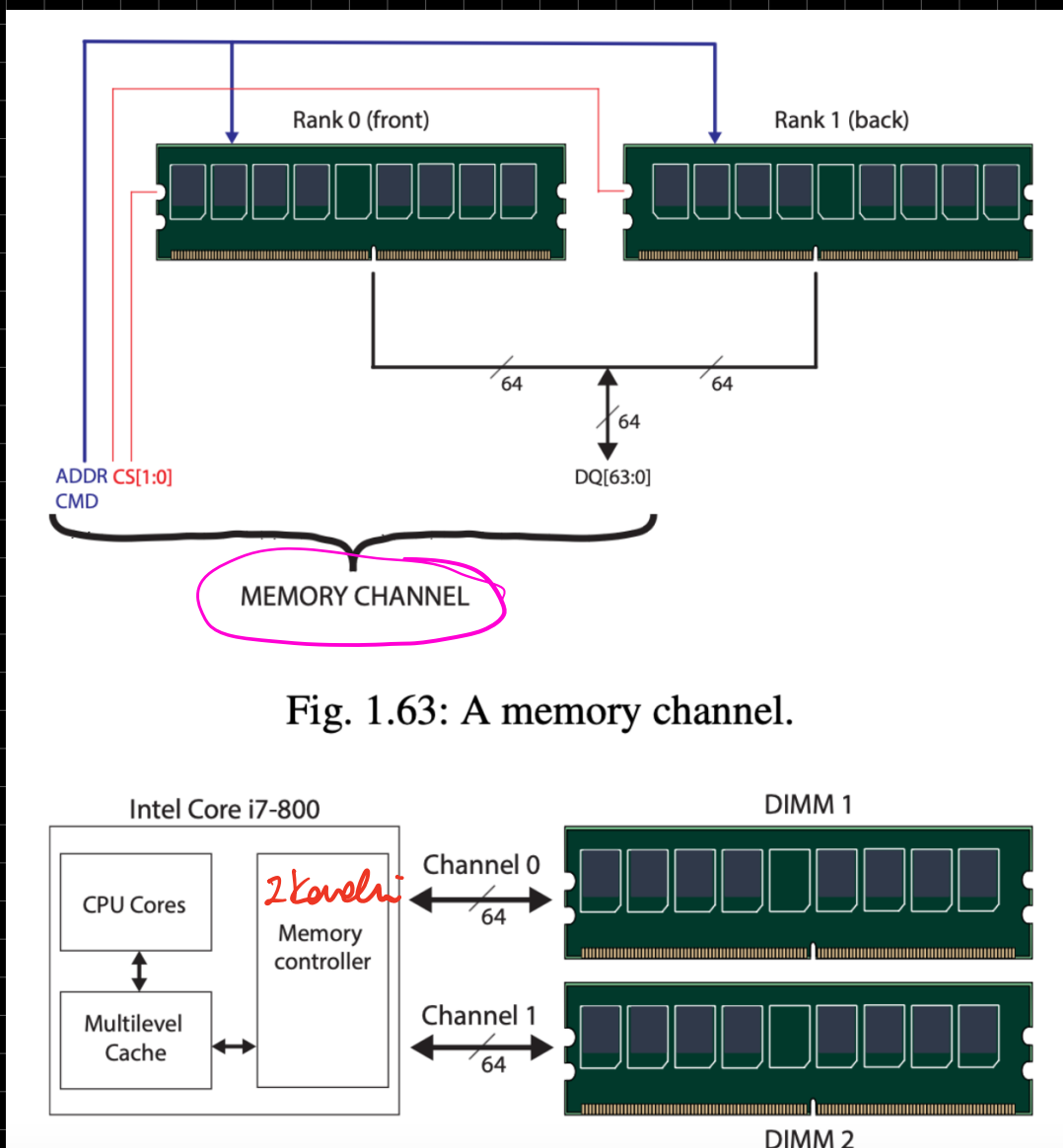
Kaj od teh 16 bitov predstavlja naslove
 banke, vrstice in stolpce?



* Kako povečati kapaciteto pomnilnika
in hitrost prenosa







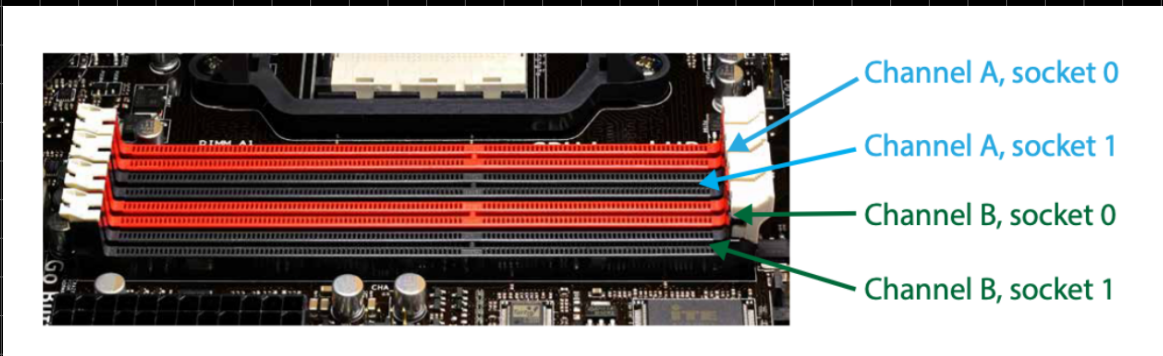
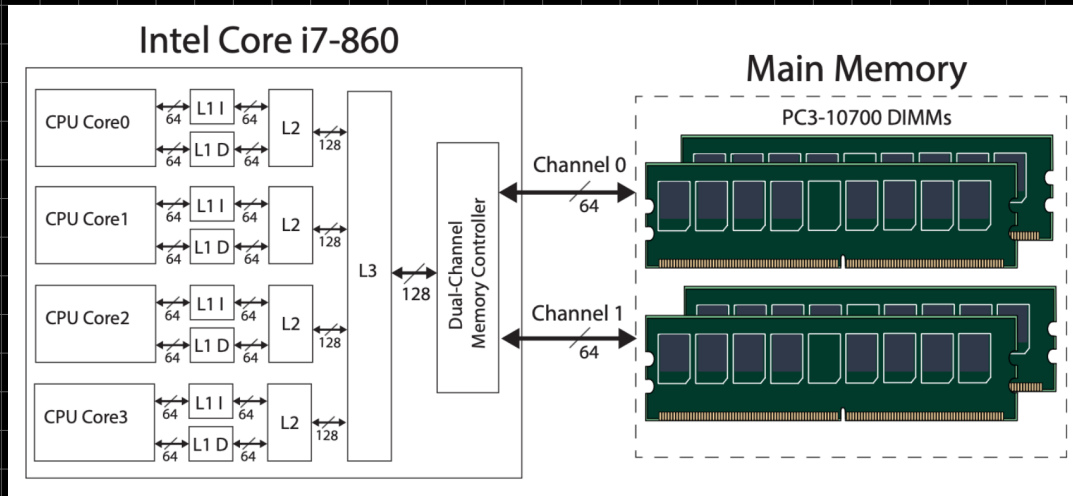


Table 1.3: Comparison of DDR SDRAM generations and DIMMs.

Generation		Chip		Data bus		Timings		DIMM		
DRAM	DRAM name	Clock (Mhz)	Prefetch	Clock (MHz)	MT/s	CL-t _{RCD} -t _{RP}	t _{CL} (ns)	MB/s	Voltage	DIMM name
DDR	DDR-266	133		133	266	2.5-3-3	18.8	2128	2.5	PC-2100
DDR	DDR-300	150	2N	150	300	3-3-3	15	2400		PC-2400
DDR	DDR-400	200		200	400	3-3-3	15	3200		PC-3200
DDR2	DDR2-533	133	4N	266	533	4-4-4	15	4264	1.8	PC2-4300
DDR2	DDR2-667	166		333	667	5-5-5		5336		PC2-5300
DDR2	DDR2-800	200		400	800	6-6-6		6400		PC2-6400
DDR3	DDR3-1066	133	8N	533	1066	7-7-7	13.12	8528	1.5	PC3-8500
DDR3	DDR3-1333	166		666	1333	9-9-9	13.5	10664		PC3-10700
DDR3	DDR3-1600	200		800	1600	11-11-11	13.75	12800		PC3-12800
DDR4	DDR4-2400	300	8N	1200	2400	18-18-18	13.5	19200	1.2	PC4-19200
DDR4	DDR4-2666	333		1333	2666	20-20-20	13.6	21333		PC4-21333
DDR4	DDR4-3200	400		1600	3200	22-22-22	13.75	25600		PC4-25600

$$P \Rightarrow f \cdot V^2 \cdot C$$