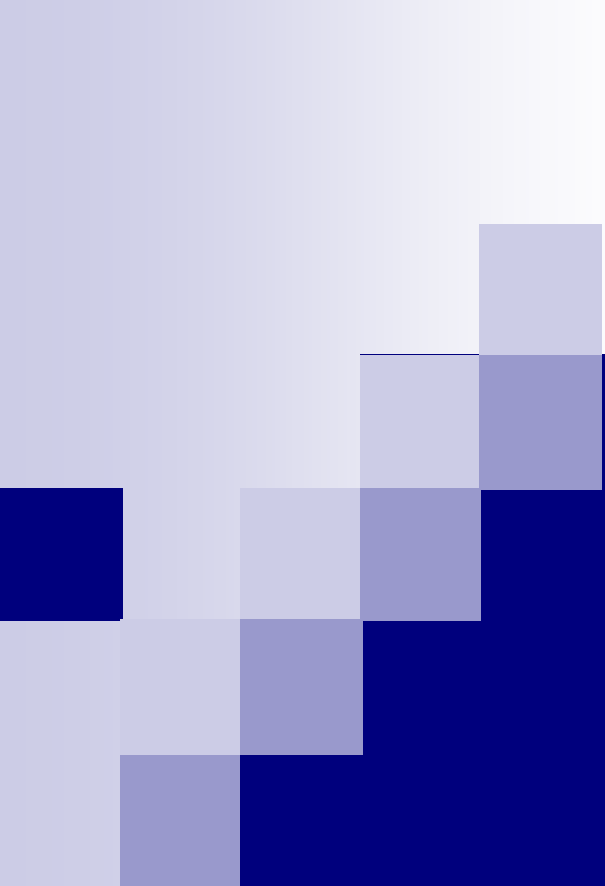




ORGANIZACIJA RAČUNALNIKOV

Povzetki predavanj

1. Uvod v organizacijo računalnikov in digitalna vezja

Robert Rozman

rozman@fri.uni-lj.si

Organizacija računalnikov – 1.1 Predmet OR

- Spletne strani: <http://ucilnica.fri.uni-lj.si>
- Komunikacija, vsebine (predavanja, vaje):
 - MS Teams
 - Koda za vstop: g0fujpl
- Statične vsebine, video posnetki (predavanja, vaje):
 - <https://unilj.sharepoint.com/sites/LAPSYEmbeddedAcademy/>



LAPSY Embedded Academy

Home

+ New

Discard changes

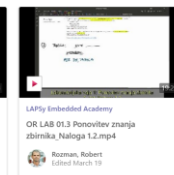
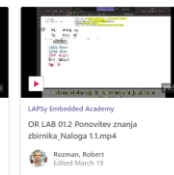
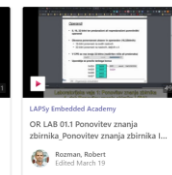
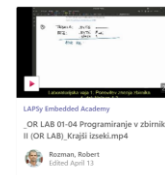
Page details

Analytics

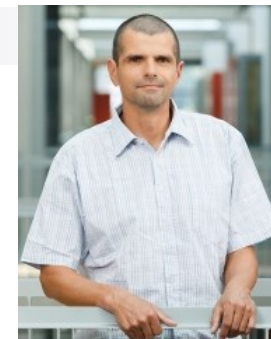
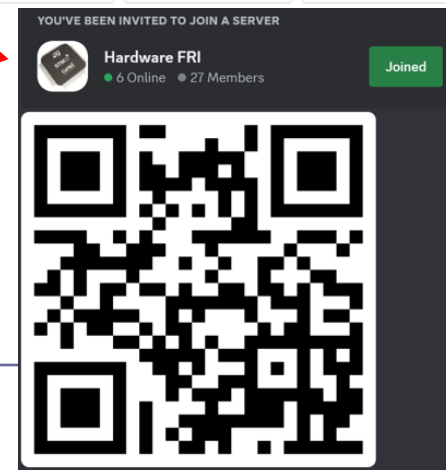


OR VSP 2026/27

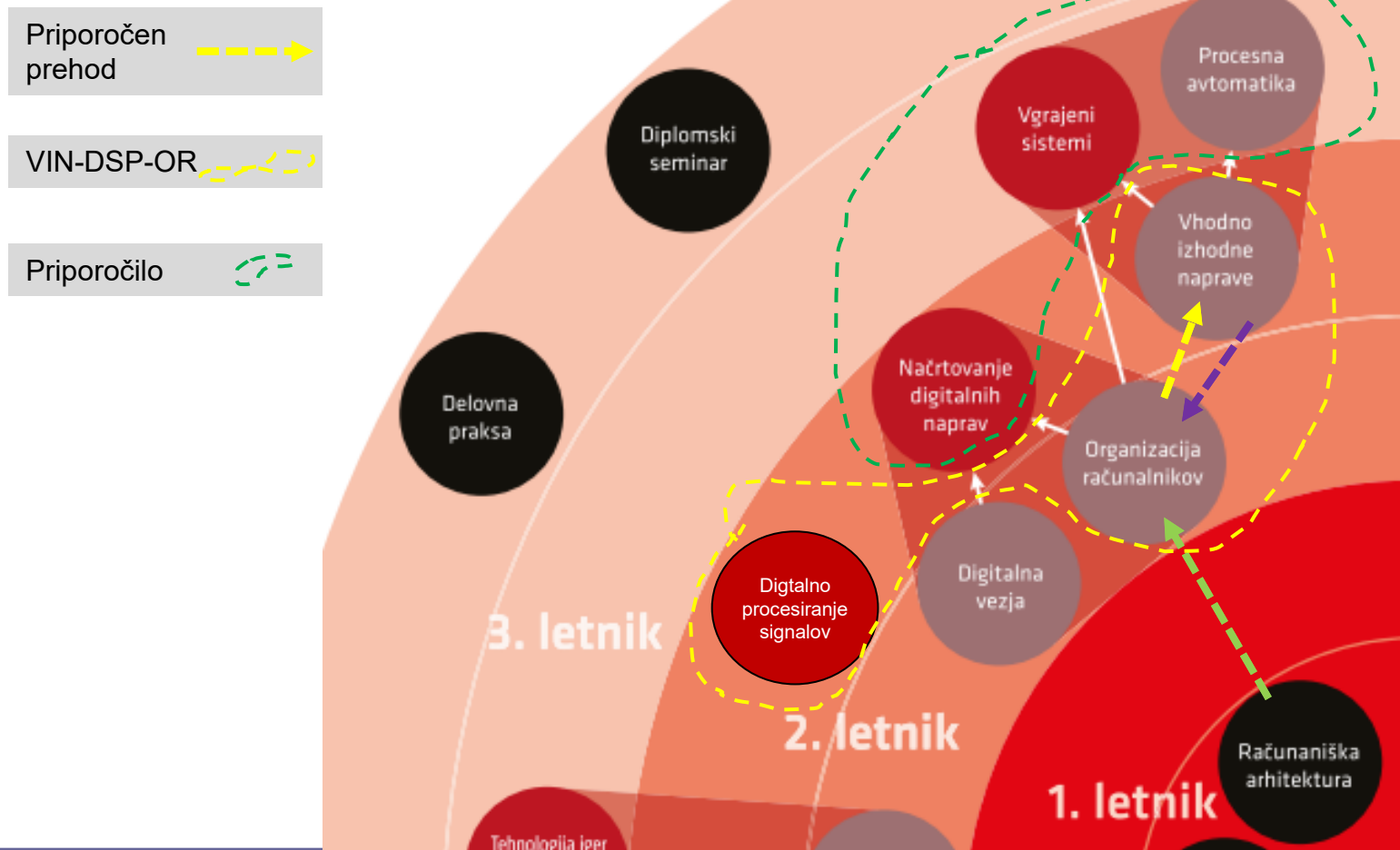
Programiranje v zbirniku ARM II (OR LAB I)
Programiranje v zbirniku ARM III - STM32H7 (OR LAB II)
MiMo model CPE – Predavanja
MiMo model CPE - Laboratorijska vaja



- Discord: „Hardware FRI“
- Moj e-naslov: rozman@fri.uni-lj.si („uradni“ kanal)
- Govorilne ure: po razporedu v R2.40 ali R2.50
Občasne spremembe bodo pravočasno objavljene na učilnici
Najava: email (lahko se dogovorimo kadarkoli)
- **Vedno dobrodošli !!!**



VISOKOŠOLSKI STROKOVNI PROGRAM RAČUNALNIŠTVO IN INFORMATIKA



■ Robert Rozman

rozman@fri.uni-lj.si

■ Pregled obravnavanih tem na predavanjih :

1. Uvod v organizacijo računalnikov in digitalna vezja
 2. Osnove dig. vezij (TTL, CMOS, VLSI)
 3. Mikroarhitektura računalnika (*CPE, MiMo-DN1, ARM-DN2*)
 4. Paralelizem na nivoju ukazov (*cevovod, superskalarni procesorji*)
 5. Paralelizem na nivoju procesorjev (*multiprocesorji, multiračunalniki*)
-
6. Prenosne poti in vrste prenosov (*PCI, PCI Express, USB, QPI*) ->

podrobneje pri predmetu VIN

Vmes: primeri organizacije računalnika – ARM (STM32-M4, M7, FRI-SMS), Intel, AMD

Literatura (dosegljiva v FRI/FKKT knjižnici):

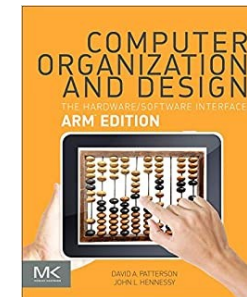
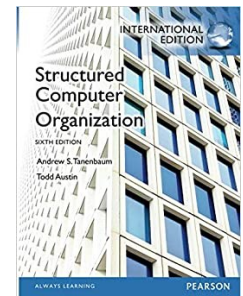
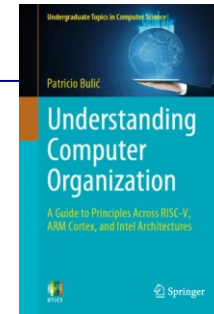
Najboljši vir - so predavanja in vaje v živo !

Navedena literatura vsebuje le posamezne odseke:

- P. Bulić: **Understanding Computer Organization**
- D.M.Kodek: **Arhitektura in organizacija računalniških sistemov**
 - (oznaka [Kodek] v nadaljevanju)
- Tanenbaum: **Structured Computer Organization**, 6th Edition
 - (oznaka [Tan] v nadaljevanju)
- Patterson, Hennessey: **Computer Organization and Design**, 5th+ Edition
 - (oznaka [Patt] v nadaljevanju)

Ocena

- 50% sprotno delo (DN1, DN2, neobvezni deli nalog)
- 50% ustni izpit



Mnenja slušateljev (2025/26) - izbor:

Izvedba predmeta in izvajalec:

■ Dobro:

- „Odprte“ naloge: Študent se lahko tako zares **posveti raziskovanju stroke** namesto nesmiselnemu nabiranju **točk**
- MiMo: To, da je simulator in **lahko delaš/dodajaš in spremljaš kar želiš**, npr. pri SMT32 sicer lahko tudi spremljamo določene registre in pine v Debug enoti, ampak ne tako podrobno

■ Izboljšat:

- **Manj lahko ponavljate prejšnjo snov** na začetku predavanja
- Prosojnice: je na **prosojnicah preveč stvari** in se lahko izgubi fokus
- MiMo: **Cevovodna različica MiMo** bi še dodatno izboljšala razumevanje.
- Raje bi videl, da se na vajah pri STM32 **programira v C-ju**, kot pa v Assembly-ju

Izhodišča (2026/27) :

- **LAB: STM32H7: C, LCD, I2C Touch, ...**
- **več skupnega dela na laboratorijskih vajah**
- **več dvosmerne interakcije, sodelovanja**
- **inženirsko delovanje**
- **izvedba:**
 - **PRED: ureditev prosojnic**
 - **DN1: MiMo model V1, V2**
 - **DN2: Osnovni projekt STM32**

Izhodišča 2026

■ Priložnosti za sodelovanje:

- ☐ e-učilnica, vaje, predavanja
- ☐ MS Teams
- ☐ Občasna komunikacija (govorilne ure na daljavo, pogovor, pomoč), OneNote zvezek
- ☐ Discord(<https://discord.gg/nmzjQU7me7>)

■ Izhodišča:

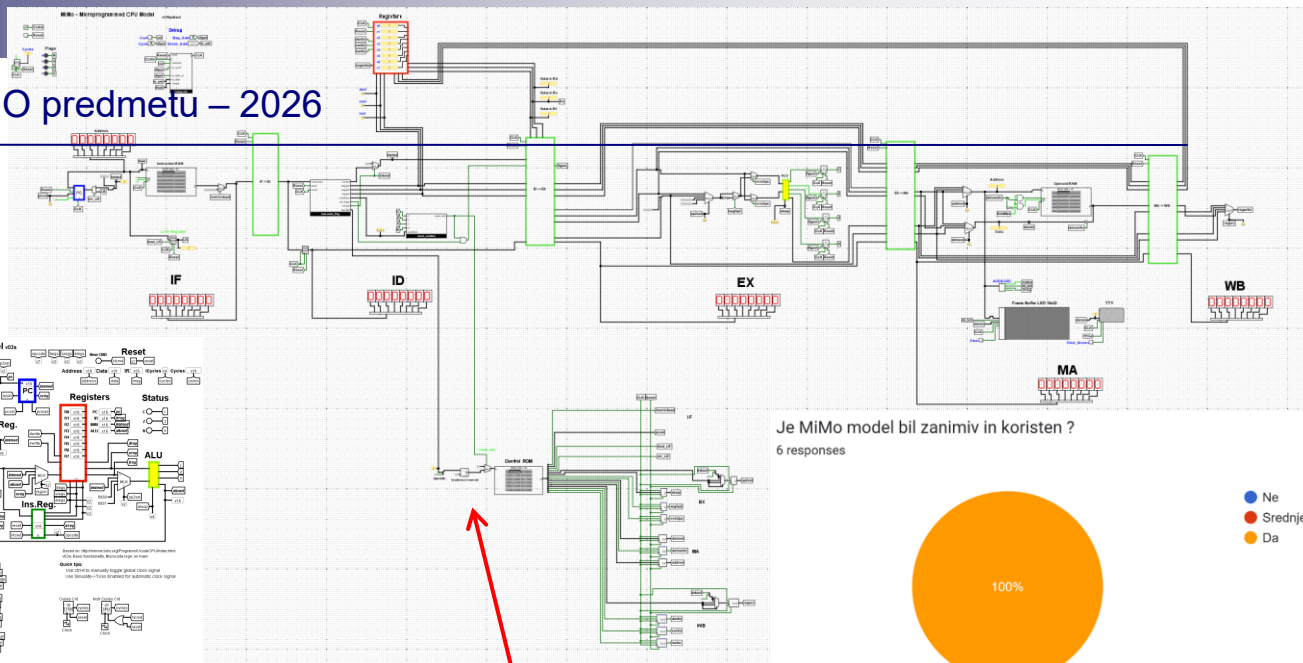
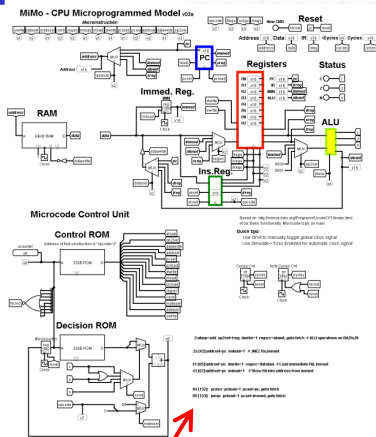
- ☐ karseda aktivno sodelovanje, pogovor, debata...
- ☐ radovednost + znanje = dober „razvijalec“ - inženir
- ☐ lastne ideje -> domači nalogi (DN1-MiMo, DN2-ARM)

■ Novosti:

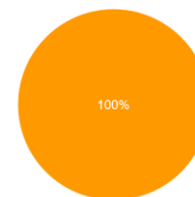
- ☐ PRED – osvežitev, novi koncepti (namenski HW: Neural-ART)
- ☐ LAB - Vzporedna uvedba jezika C k osnovnemu – zbirniku, dodamo še nove naprave (npr. LCD, Touch, zvok, SDRAM, ...)

Posebnosti 2026

■ Poudarki:



Je MiMo model bil zanimiv in koristen ?
6 responses



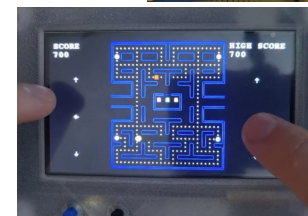
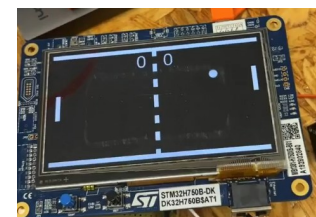
● Ne
● Srednje
● Da

□ DN1: MiMo v1 in dodatna možnost v2 - cevovodna izvedba

■ Obdelamo na predavanjih

□ DN2: STM32 – projekt STM32 (STM32H750, ...)

■ Na osnovi dela na laboratorijskih vajah (ASM, C, ...)





> Splošno

▼ Predavanja

OR - 1 Uvod v organizacijo ...

Primeri elektronskih vezij...

Primer: Transistor kot stik...

Primer: Transistor kot oja...

OR - 2 Osnove digitalnih in...

Osnovna el. vezja - zaklju...

Podatkovna listina SN74L...

OR - 3 Mikroarhitektura CP...

MiMo distribucija

MiMo viri

MiMo - Dokumenti, viri

MiMo-Mikroprogramska...

MiMo_Izvajanje_strojnega...

Basic_program1_Schema_i...

Logisim Evolution

logisim-win-2.7.1 (Classic)

MiMo realizacija z FPGA ...

Organizacija računalnikov

Predmet

Nastavitve

Sodelujoči

Ocene

Poročila

Več ▼

▼ Splošno

Dobrodošli na straneh predmeta Organizacija računalnikov



Anketa o predmetu Organizacija računalnikov (2023/24)

Skrito za udeležence

Osnovne informacije



Vsebina, ocenjevanje

MS Teams: OR VSP 2023/24 - izvedba predmeta (koda: v7vt5t6), LAPSy Embedded Academy - stalni FRI HW portal (koda: ty5qjm9)



Discord Hardware FRI - skupnost za HW predmete

Obvestila in viri



Forum novic



Forum za razprave



Wiki_OR



Prijava na skupine LAB vaj OR v 2022/23

Skrito za udeležence

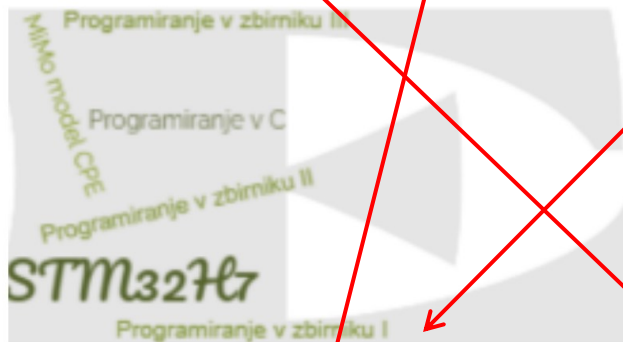
MS Teams: Komunikacija, DN, OneNote zvezek

The screenshot displays the Microsoft OneNote application window. The title bar at the top shows the search bar with the text "Iskanje" and standard window controls. The left sidebar contains navigation options: "Vse skupine" (All groups), "OR VSP 2026/27", "Domača stran" (Home), "Zvezek za predavanja" (Presentation notebook), "Dodeljene naloge" (Assigned tasks), "Ocene" (Grades), "Reflect", "Insights", "Kanali" (Channels), "Splošno" (General), "LAB", "Predavanja" (Lectures), "Vprašanja in odgovori" (Questions and answers), "Applikacije" (Applications), and "Pomoč" (Help). The main content area is titled "Zvezek za predavanja" and shows a table of contents for the "OR VSP 202223 zvezek". The table lists sections such as "Dobrodošli", "_Collaboration Space", "_Knjižnica vsebine", "Uporaba knjižnice v...", "Predavanja", "_Samo učitelj", "Uporaba prostora i...", and "Predavanja_21-22". The right pane displays the content of the selected section, "1.3 Računalnik na nivoju digitalne logike", which includes handwritten notes and diagrams. The notes mention "RAČ" (Computer), "DIGIT. VEZJA" (Digital circuit), "IZ LOG. VRAT" (From logic gates), and "ELEKTR. KOM" (Electrical connection). A diagram shows a circuit with components labeled B, C, E, and a power source labeled U_{vh}. The diagram also includes a cylinder-like shape and a curved line with arrows.

Lažji dostop do zvezka s predavanji je direktno v OneNote aplikaciji

UL portal: Lapsy Embedded Academy: video posnetki vaj, projektov, diplom, tečaji, tutoriali...

LAPSy Embedded Academy Home Tematike Predmeti Pages Site contents Subsites Recycle bin Edit
+ New Discard changes Page details Analytics Draft saved 5/7/2024 Share



Posnetki po tematikah

unilj.sharepoint.com

Programiranje v zbirniku in programskem jeziku C za mikrokontroler ARM v simulatorju in razvojnih ploščah.

Posnetki po predmetih

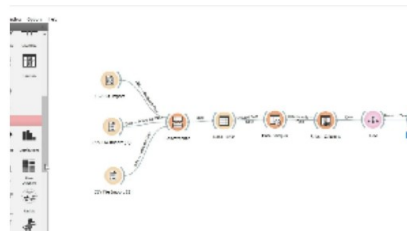
unilj.sharepoint.com

Posnetki laboratorijskih vaj in izbrane tematike iz predavanj pri predmetih Računalniška arhitektura (RA), Organizacija računalnikov (OR) in Vhodno izhodne naprave (VIN).



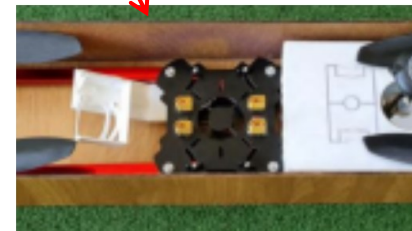
Študentski projekti pri predmetih RA, OR in VIN

unilj.sharepoint.com



Tečaji, tutoriali ...

unilj.sharepoint.com



Diplomska dela

unilj.sharepoint.com

<https://unilj.sharepoint.com/sites/LAPSYEmbeddedAcademy/>

Laboratorijske vaje :

- nadaljevanje programiranja na ARM-u
 - s poudarkom na spoznavanju organizacije vgrajenih računalnikov STM32(H7,F4), FRI-SMS (ARM arhitektura)
 - GPIO, časovnik, UART, DMA, ...
 - osnove jezika C (neobvezna vsebina)

- **MiMo** - Mikroprogramski model CPE v Logisimu
- naloge, diskusija, skupno reševanje problemov

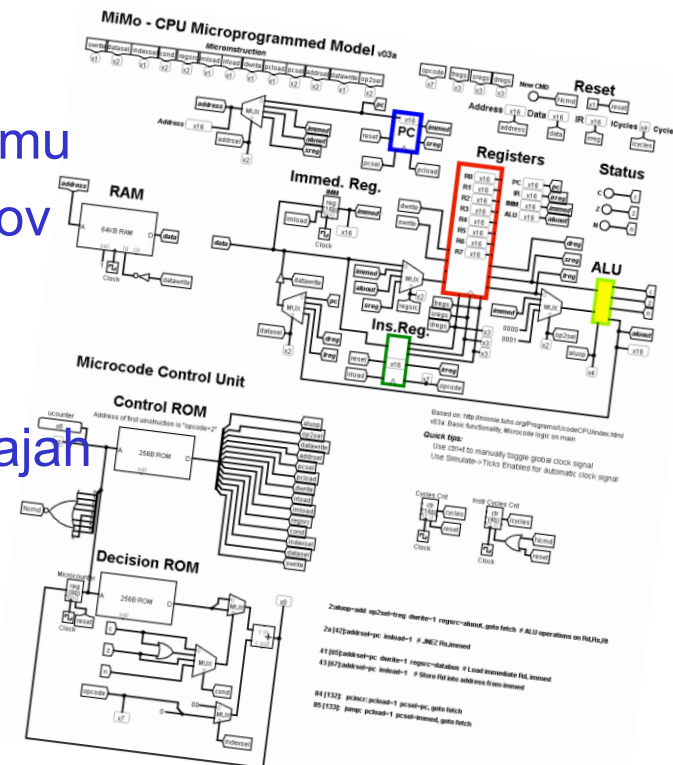
Vzpodbujamo:

- **sprotno delo** - sodelovanje na predavanjih, vajah
- **lastno kreativnost in samoiniciativnost**
- **radovednost, aktivnost in razmišljanje**

Vedno dobrodošli !!!!



DN2 – ARM projekt



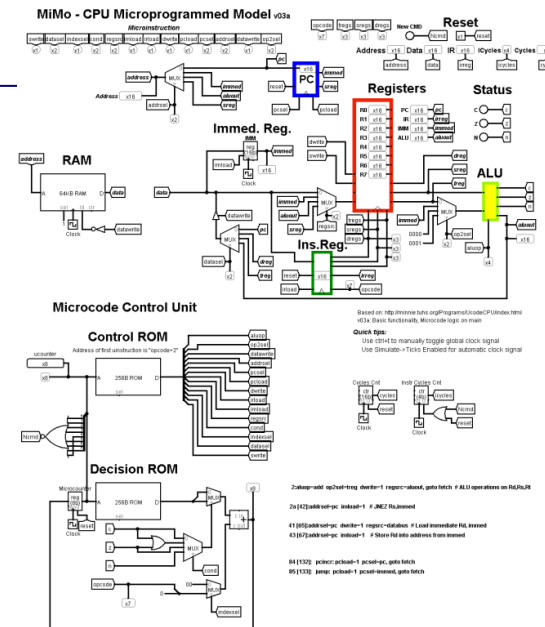
DN1-MiMo model CPE

1. Domača naloga (primer)

Laboratorijske vaje – domači nalogi:

- **DN1: MiMo** - Mikroprogramski model CPE v Logisimu

- **DN2: Preprosta aplikacija** na vgrajenem sistemu

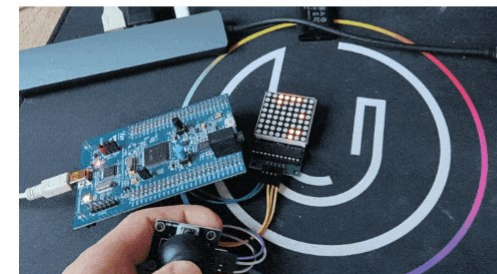


2. Domača naloga (primer)

Snake game on 8x8 LED matrix using the STM32F4 discovery board.

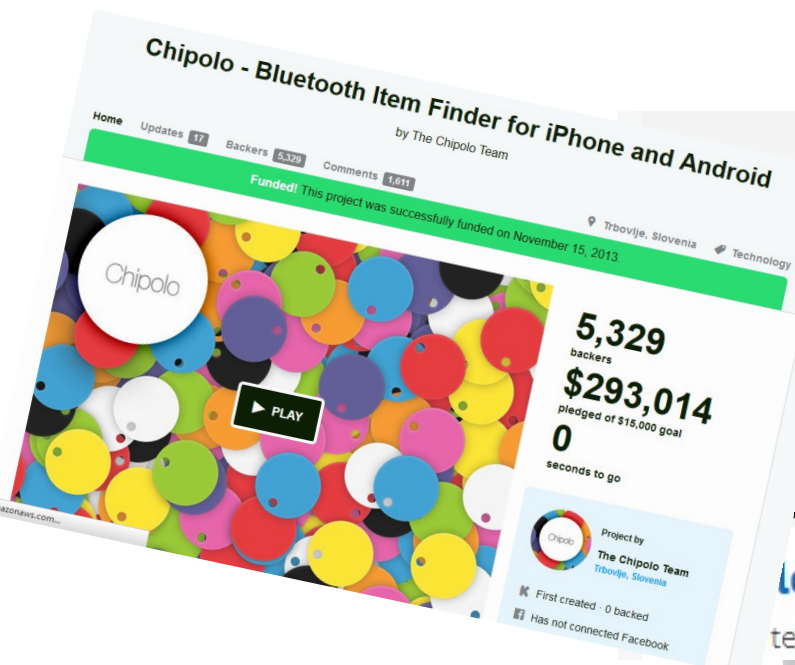
Feb 23, 2022 • Filip Jeretina

In this post we will be implementing a snake game on bare metal. This means we will only use assembly and registers, without any fancy tools such as the CUBEMX :)



<https://zrezke.github.io/jekyll/update/2022/02/23/8by8-snake.html>

Motiv: Zakaj OR, HW ?

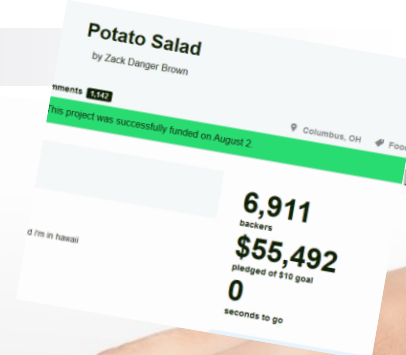


**Make your home healthier,
your office more productive**

Uncover the simple solutions. With just a small, stylish, cordless
and connected Cube in each room.

Get Your Cubes Now!

Winter 2013 batch available!



**OPEN INSTRUMENTS
FOR EVERYONE**



Funding period
Jul 22, 2013 - Sep 20, 2013 (60 days)



Project by
Red Pitaya
Newport News, VA

MEMBER | SPS SK200 AUTUMN BATCH 2014

tekmovanja Start:up leta 2016

74844 GUESTS SERVED

STATE-OF-THE-ART TOOL FOR
CH MAKES THEIR JOB EASIER,
ME TIME PRESENTS A VALUE
RESTAURANT; CONSEQUENTLY,
SIDER IT AN EXPENSE BUT AN
ENT IN BETTER BUSINESS.

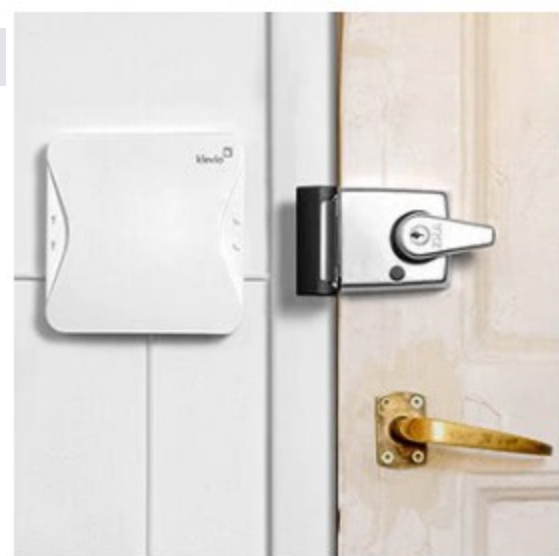
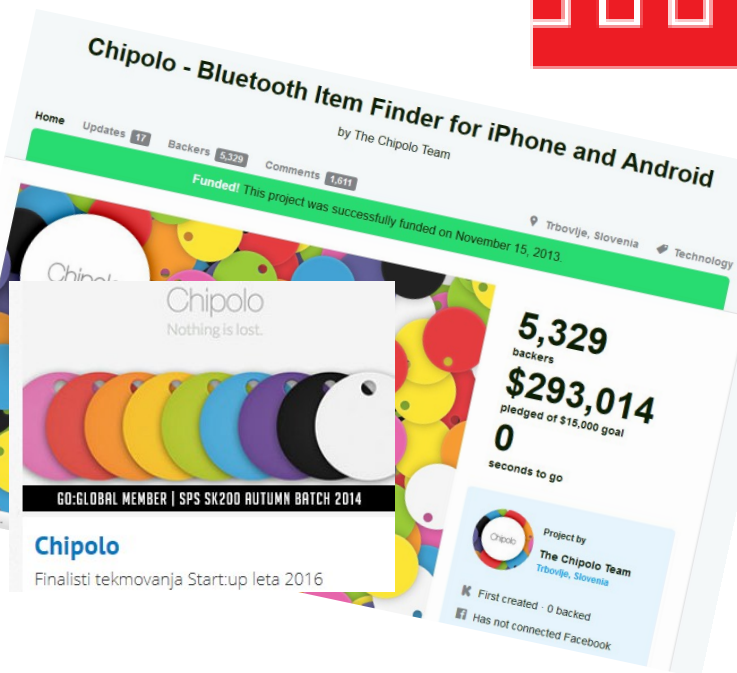
is, Thai Inn Pub, Ljubljana



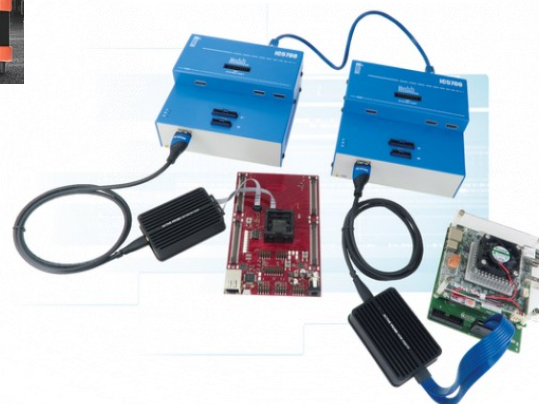
Motiv: Zakaj OR, HW II?



COSYLAB



HOW KLEVIO FITS YOUR LOCKS

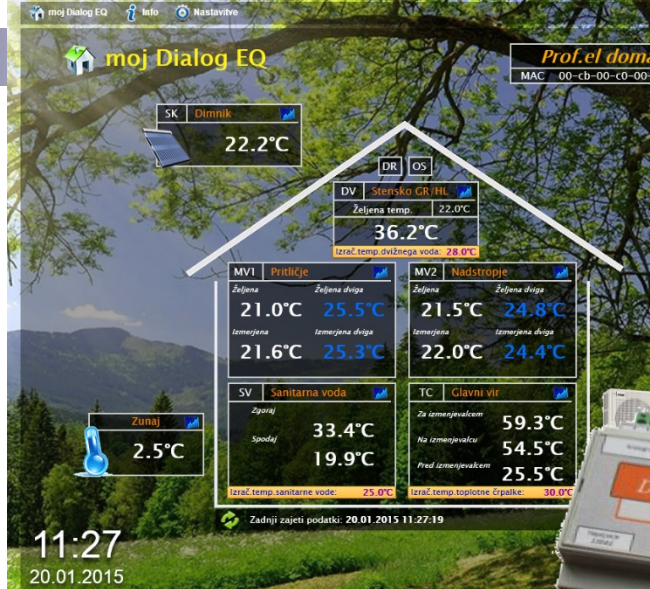


Red Pitaya - Swiss army knife for engineers

More than 45,000 satisfied users all around the world.



Motiv: Primeri vgrajenih sistemov I



D13 EQ
HVAC Regulator

Cubesensor
Kakovost okolja

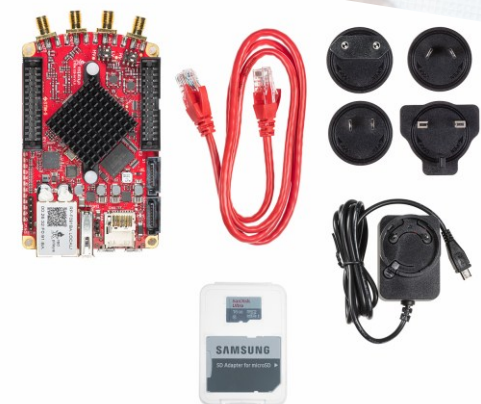


Tevel
Merilnik konc. plinov



Tempmate S1
Temp. logger

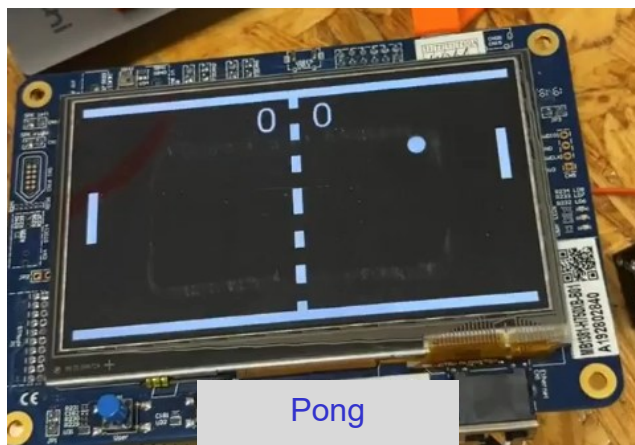




Motiv: Prikaz projektov na STM32H750 plošči



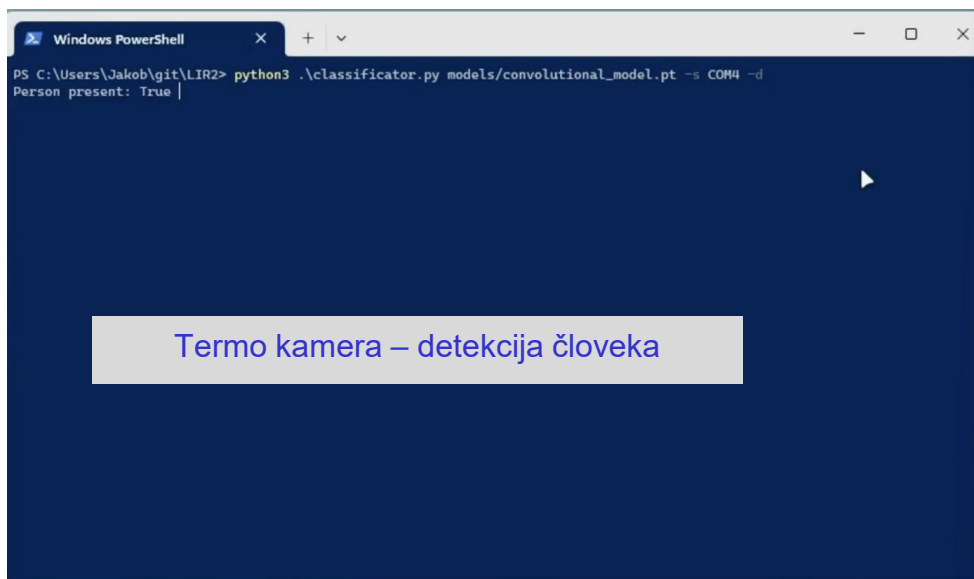
Pacman



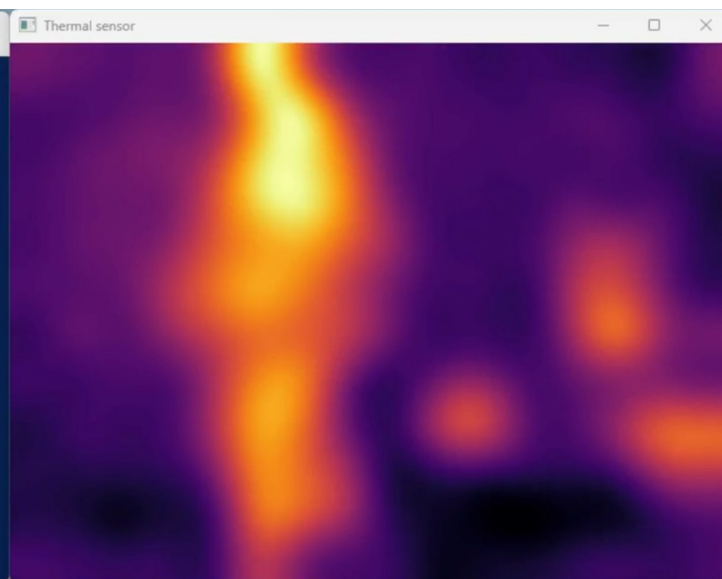
Pong



Termo kamera



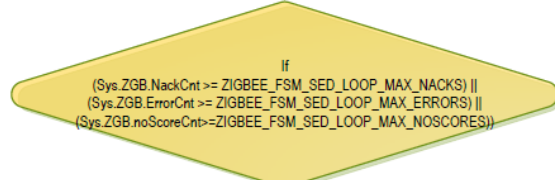
Termo kamera – detekcija človeka



Primer: Programiranje vgrajenih sistemov - izzivi

Cubesensors („pametne kocke“):
Diagram poteka (končni avtomat):
■ Primer glavnega stanja

```
CUBE SED LOOP:  
//< Reads sensors, sends to Mothercube, expect response message; check errors,NACKS, network  
readSensors(&data); // Read sensors data  
  
zigbee_send_data(&data); //Send data to base station  
Sys.ZGB.DataMsgCnt++;  
  
if(!scoreUpdate){  
    Sys.ZGB.noScoreCnt++;  
}  
else{  
    Sys.ZGB.noScoreCnt=0;  
}
```



Counters High : Rejoin

```
Sys.ZGB.Status.b.Connected = 0;  
Sys.ZGB.noScoreCnt=0;  
SetToSleep( CUBE_REJOIN_SEC, 1)  
// Rejoin Secure procedure !
```

Counters normal

Sys.ZGB.Status.b.Connected

Not connected: CUBE_REJOIN_SEC, 1 ;

Connected

```
if (Sys.ZGB.OpMode == END_DEVICE) {  
  
    If enough wakeups with FULL_POWER_MODE  
    then Cube_FSM.State = CUBE_CHANGE_TO_ROUTER;  
    SetToSleep( CUBE_SED_LOOP, 20000);  
  
} else if (Sys.ZGB.OpMode == ROUTER) {  
  
    If enough wakeups with LOW_POWER_MODE  
    then Cube_FSM.State = CUBE_CHANGE_TO_SED;  
  
} else {  
    SetToSleep( CUBE_SED_LOOP, 20000);  
};
```

Change mode to ROUTER

Change mode to SED

```
CUBE_REJOIN_UNSEC:  
//< ReJoin unsecured: reset counters  
Sys.ZGB.Error = 0;  
Sys.ZGB.ErrorCnt = 0;  
Sys.ZGB.JoinCnt = 0;  
Goto CUBE_REJOIN_UNSEC_LOOP;
```

```
CUBE_REJOIN_SEC:  
//< ReJoin secured: reset counters  
Sys.ZGB.Error = 0;  
Sys.ZGB.ErrorCnt = 0;  
Sys.ZGB.JoinCnt = 0;  
Goto CUBE_REJOIN_SEC_LOOP;
```

```
CUBE CHANGE TO ROUTER:  
//< Change to router: setting, disconnect&join  
AT+DASLL Leave network  
ATS0AE=0 Change setting to FFD  
Sys.ZGB.OpMode = ROUTER ;  
Cube_FSM.State = CUBE_JOIN;
```

[Primer: Cube State Chart v2.pdf](#)

```
CUBE CHANGE TO SED:  
//< Change to router: setting, disconnect&join  
AT+DASLL Leave network  
ATS0AE=1 Change setting to SED  
Sys.ZGB.OpMode = END_DEVICE;
```

Zakaj zbirnik ?

[Dejan Črnila, Dewesoft]:

Past Meetup

Code optimization on modern processors [Dejan Črnila, Dewesoft]

Code optimization is important but often overlooked part of a software project. In this talk we will dive deep and discuss when and why to optimize code, how to approach optimization and how to design data structures and algorithms for scalable performance.

Dejan Črnila Dejan Črnila is lead software engineer at Dewesoft (<https://www.dewesoft.com/careers>) since 2001. He has designed and implemented core modules of Dewesoft application with particular focus on application performance to keep software in front of competition.

2025: „podobno lahko naredimo tudi v Cju“

„ker se je „vljudno“ naučiti domačega jezika, kulture ...“

„pri nas v podjetju vsi razvijalci „govorijo“ v zbirniku ...“

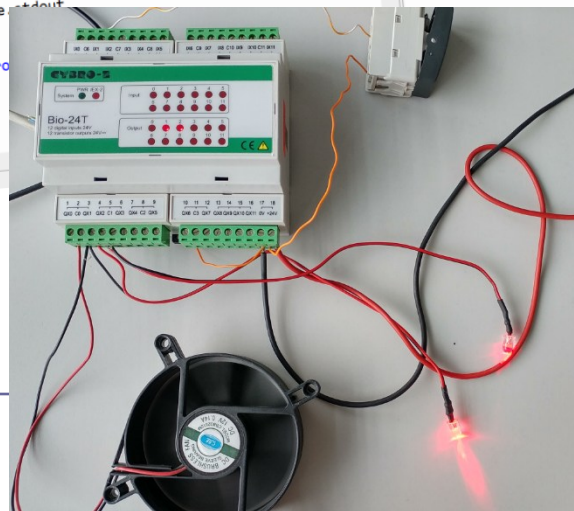
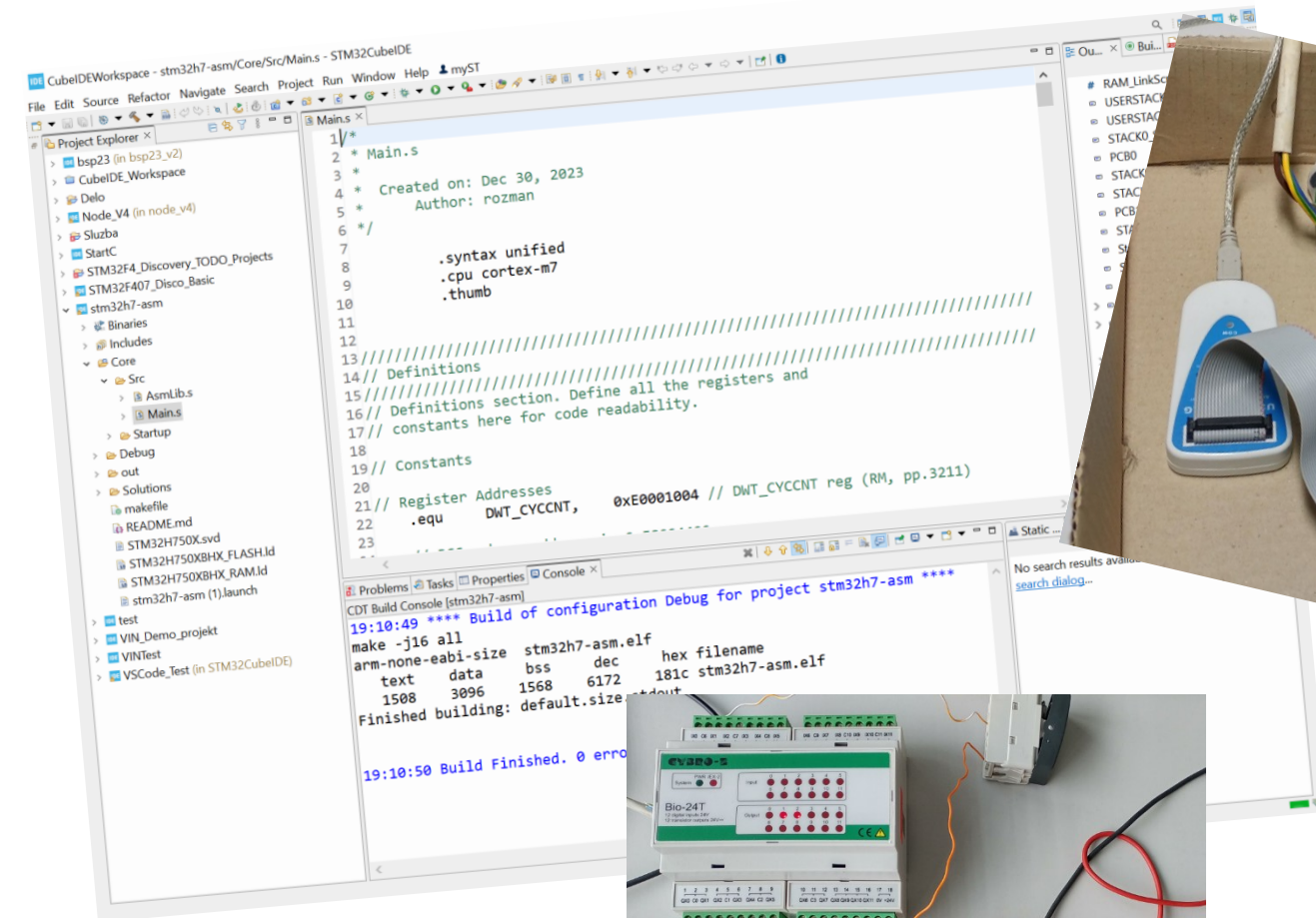
„s poznavanjem sistemov in zbirnika lahko pohitrimo kodo tudi **64x** !!!...“



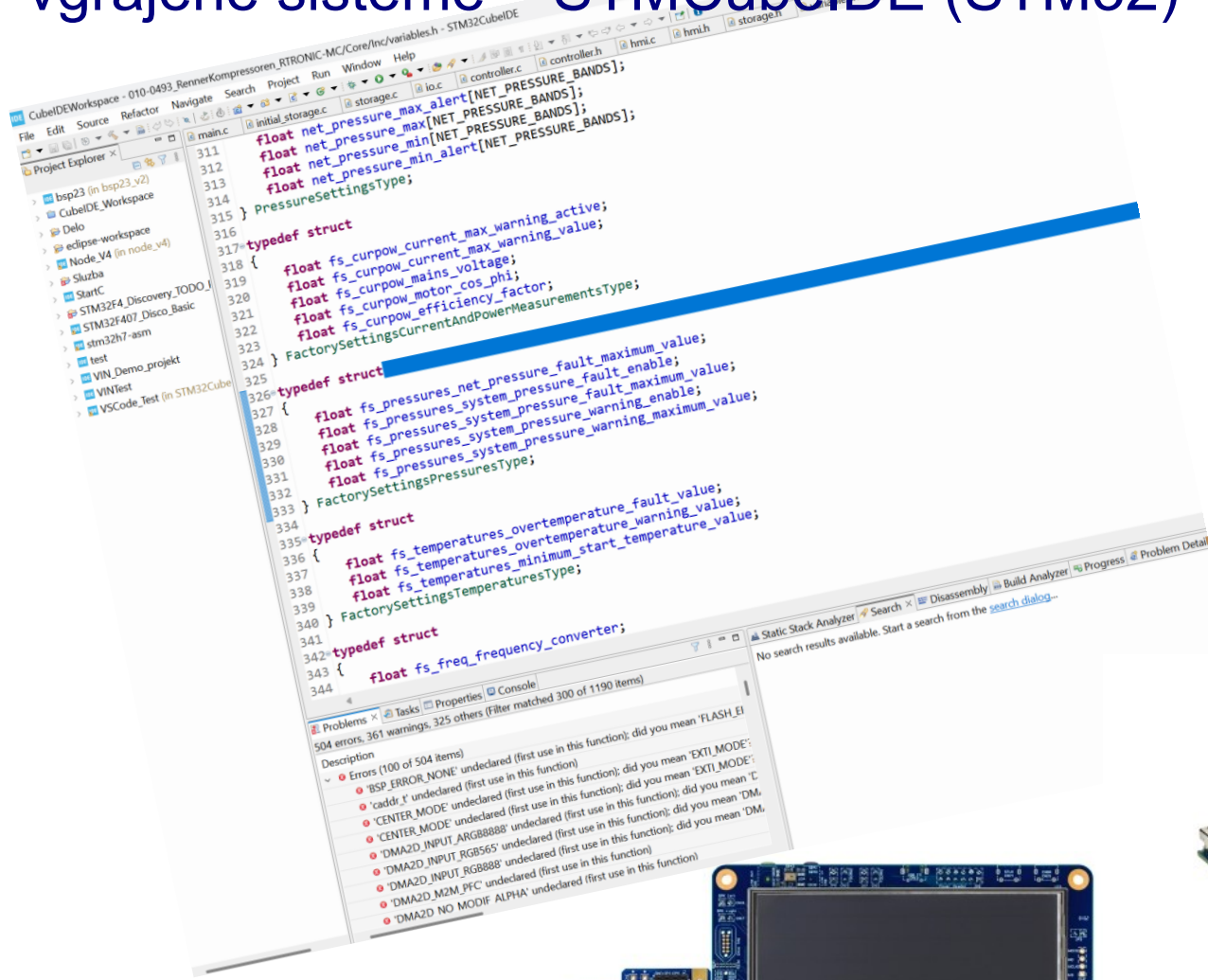
Space shuttle Atlantis launch monitoring with Dewesoft software

<https://www.youtube.com/watch?v=R8QmL1pyUSo>

Motiv: Prikaz razvojnega „okolja“ za vgrajene sisteme



Motiv: Prikaz razvojnega „okolja“ za vgrajene sisteme – STMCubeIDE (STM32)



aws
qualified device
partner of choice

arm
MBED
Enabled



Način dela:

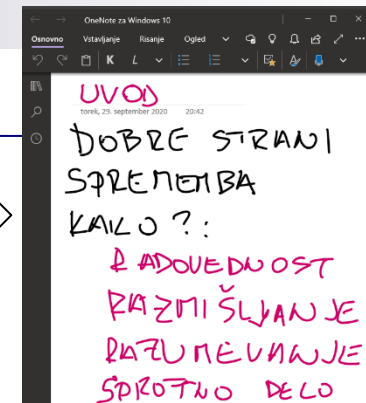
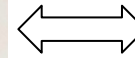
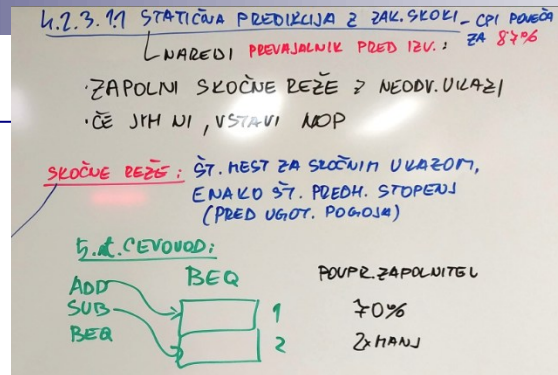
■ predavanja:

- delovna prezentacija,
- objavljena prezentacija
 - obširnejša

■ ni samozadostno gradivo !

■ LAB vaje:

- Logisim: MiMo model CPE, DN1
- poglobitev znanja zbirnika (vzporedno tudi C),
- delo z napravami na STM32H7,F4 - (HW),
- praktična naloga z uporabo orodij, DN 2



4.2.3.1.1 Statična predikcija z zakasnenimi skoki („delayed branch“)

Skuša prevajalnik (med prevajanjem) napovedati izid skoka:

- napoved se ne spreminja več („statična“)

Skočne reže :

- ukazi, ki sledijo skoku so v t.i. skočnih režah
- št. skočnih rež je enako številu cevodov pred aktivno (EX) stopnjo (2)

Vstavev ukazov v skočne reže:

- ukazi ne smejo vplivati na izid skoka
- če ni primernih, vstavi NOP-e

Dvosmerna komunikacija (2026 še posebej !)

Pogovor

- Vaša pričakovanja ?
- Način dela (tabla, OneNote) ?
- Delo inženirja?
 - ARM, Cortex M, zbirnik, vgrajeni sistemi, podatkovne listine, programiranje, razhroščevanje, preizkušanje...
- Aktivno sodelovanje
- UI

1. Uvod v organizacijo računalnikov in digitalna vezja

Poudarki poglavja :

- opredelitev pojmov rač. arhitekture in organizacije
- funkcionalni, nivojski pogled na zgradbo računalnika
- računalnik na nivoju digitalne logike :
 - digitalna vezja -> log. vrata -> tranzistor (osnovni gradnik)
 - VLSI – digitalna vezja visoke integracije (CPE, pomnilniki, GPE, SoC)
 - postopek njihove izdelave (tehnološko zahteven)
 - problemi in težave
 - PCB – plošča tiskanega vezja („Printed Circuit Board“) – vgrajeni sistemi
 - postopek načrtovanja, izdelave (tehnološko dostopen) in preizkušanja
 - problemi in težave

1. Uvod v organizacijo računalnikov in digitalna vezja

1.1 Splošni pojmi

Def: Arhitektura računalnika je

- obravnava za programerja vidnih lastnosti računalnika na način, ki je neodvisen od njegove logične in fizične realizacije [Kodek]
 - „... kot *vidi programer na nivoju strojnega jezika* ...“

Def: Organizacija (tudi *mikroarhitektura*) :

- obravnava logično zgradbo in lastnosti sestavnih delov računalnika in njihovih medsebojnih povezav [Kodek]
 - „ ... je *arhitektura posameznih delov* ...“
 - „ ... je *bližje HW nivoju* ...“

Neka arhitektura se lahko realizira z različnimi vrstami organizacije (ARM). Lahko je tudi obratno (mikroprogramiranje – IBM)

1. Uvod v organizacijo računalnikov in digitalna vezja

1.1 Splošni pojmi

Neka arhitektura se lahko realizira z različnimi vrstami organizacije (ARM).

■ Primer:

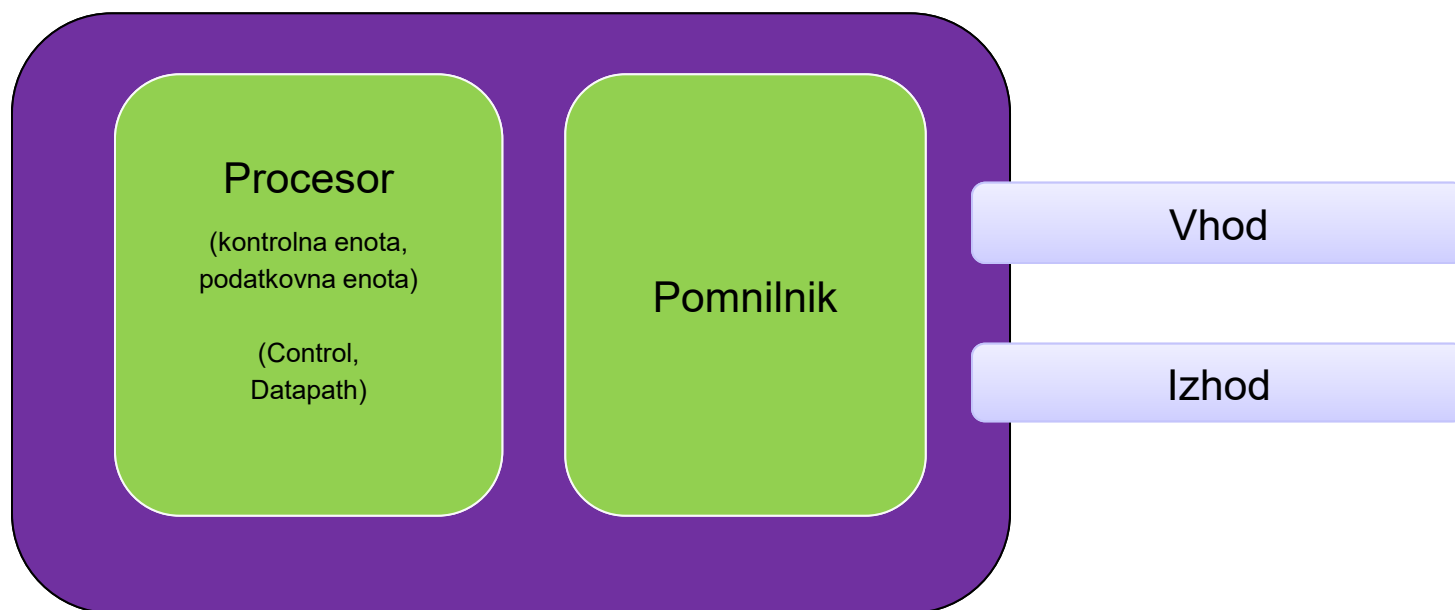
ARM ISA: ARMv7E-M -> razl. organizacije
(različno zmogljivi
mikrokrmilniki)



1.2 Zgradba in organizacija računalnika

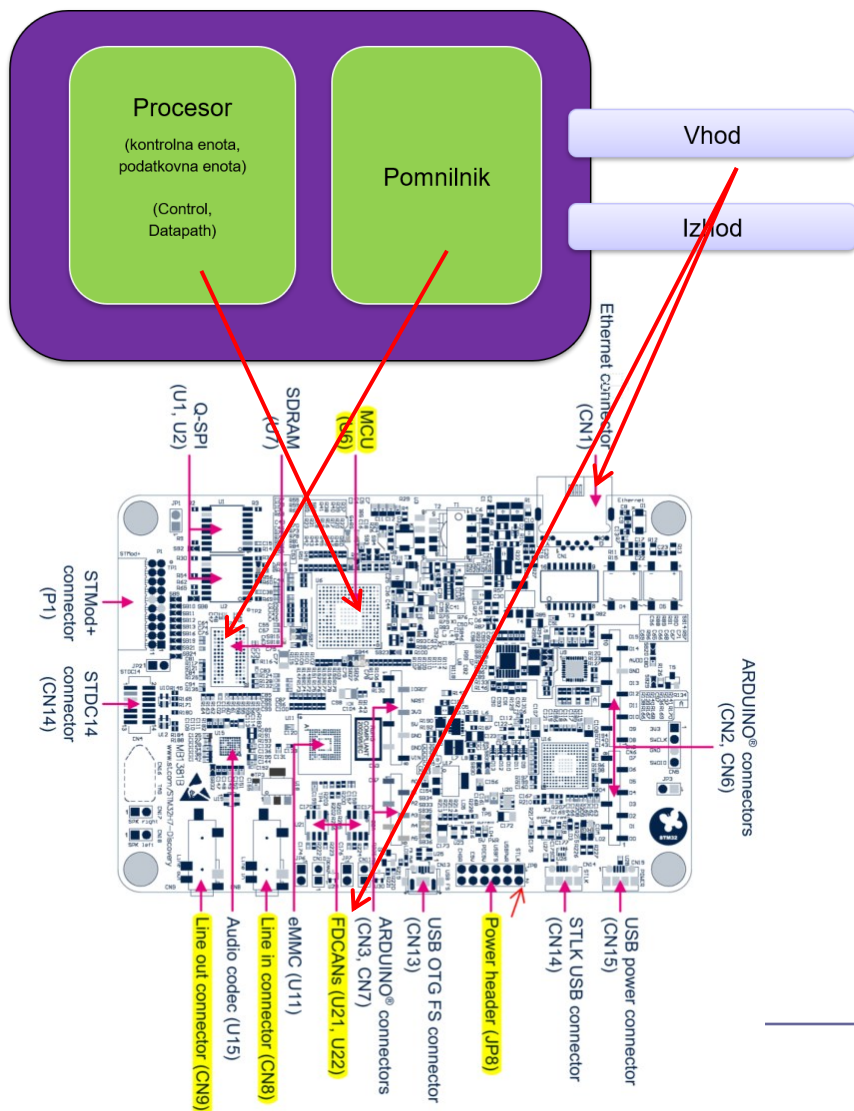
Mogočih več različnih pogledov,
izpostavimo 2 najbolj zanimiva :

1.2.1 Funkcijske enote kot osnovni gradniki računalnika [Patt]



1.2 Zgradba in organizacija računalnika

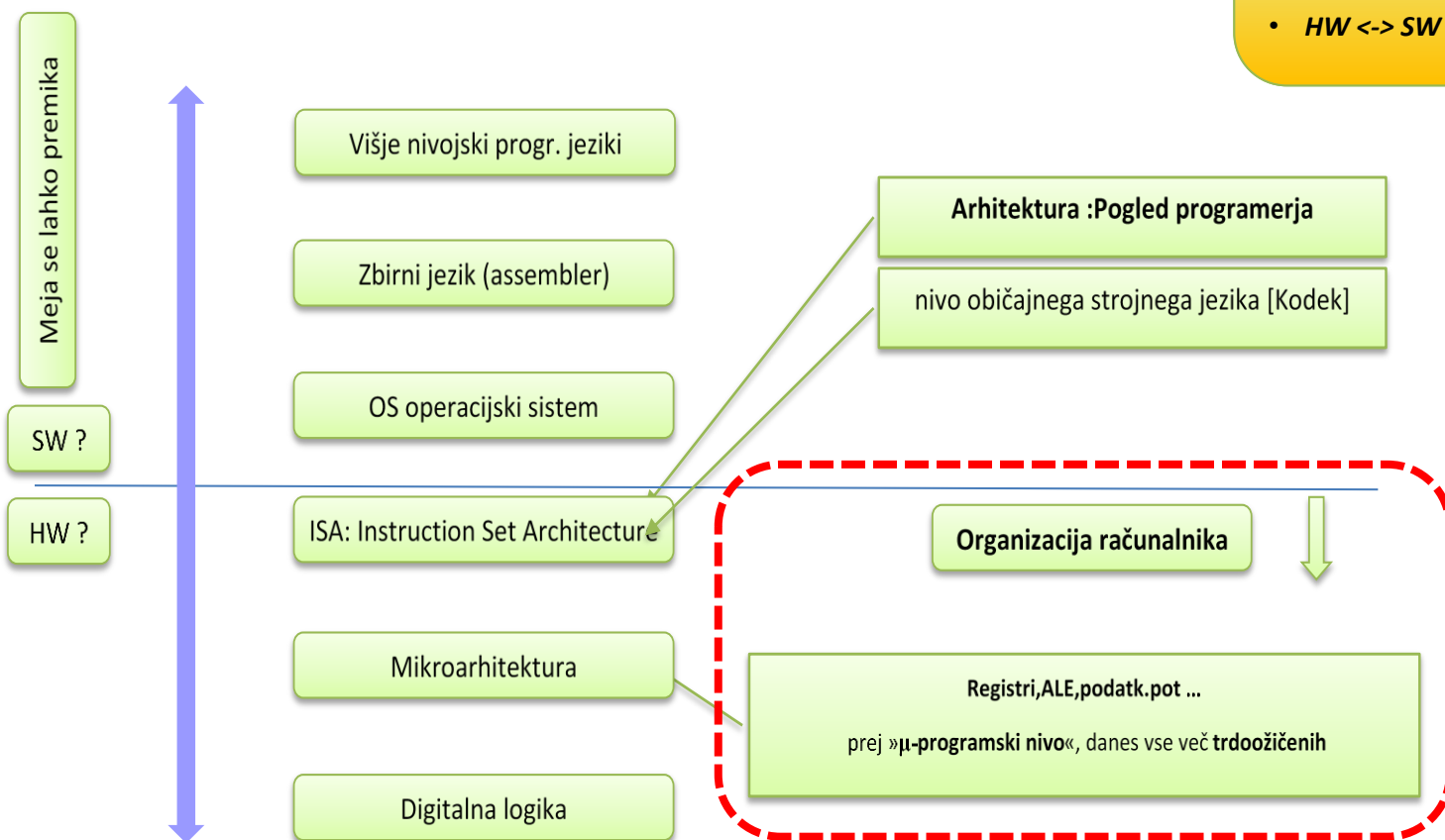
1.2.1 Funkcijske enote kot osnovni gradniki računalnika [Patt]



1.2.2 Nivojska zgradba računalnika [Tanb, str. 5-8]

Diskusija :

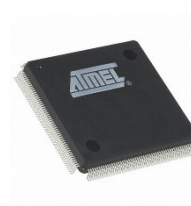
- *Prevajanje, interpretiranje, prenosljivost programov*
- *HW <-> SW*



1.3 Računalnik na nivoju digitalne logike

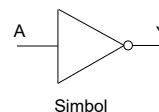
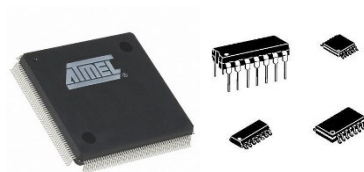
■ Računalnik :

- sestavljen iz digitalnih (logičnih, preklopnih) vezij :

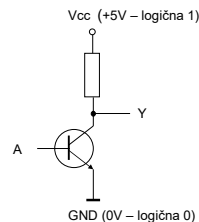
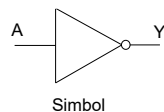


■ digitalna vezja sestavljena iz logičnih vrat:

- (seštevalnik, ALU, ...)



- logična vrata realizirana z elektronskimi elementi



1.3 Računalnik na nivoju logike in digitalne tehnike

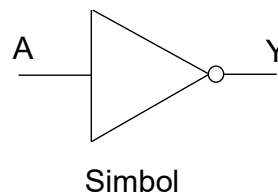
1.3.1 Osnove digitalnih vezij

Logična vrata realiziramo z elektronskim vezjem:

- logični stanji 0,1 <-> napetostni nivoji $\approx 0V$, $\approx 3.3V(5V)$
- osnovni gradnik

*Matematični
ideal*

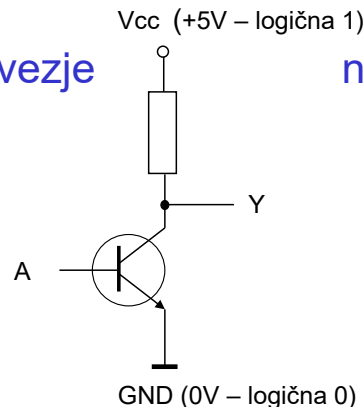
matematični (logični) pogled: logična vrata



logični nivoji 0,1

elektronska realizacija :

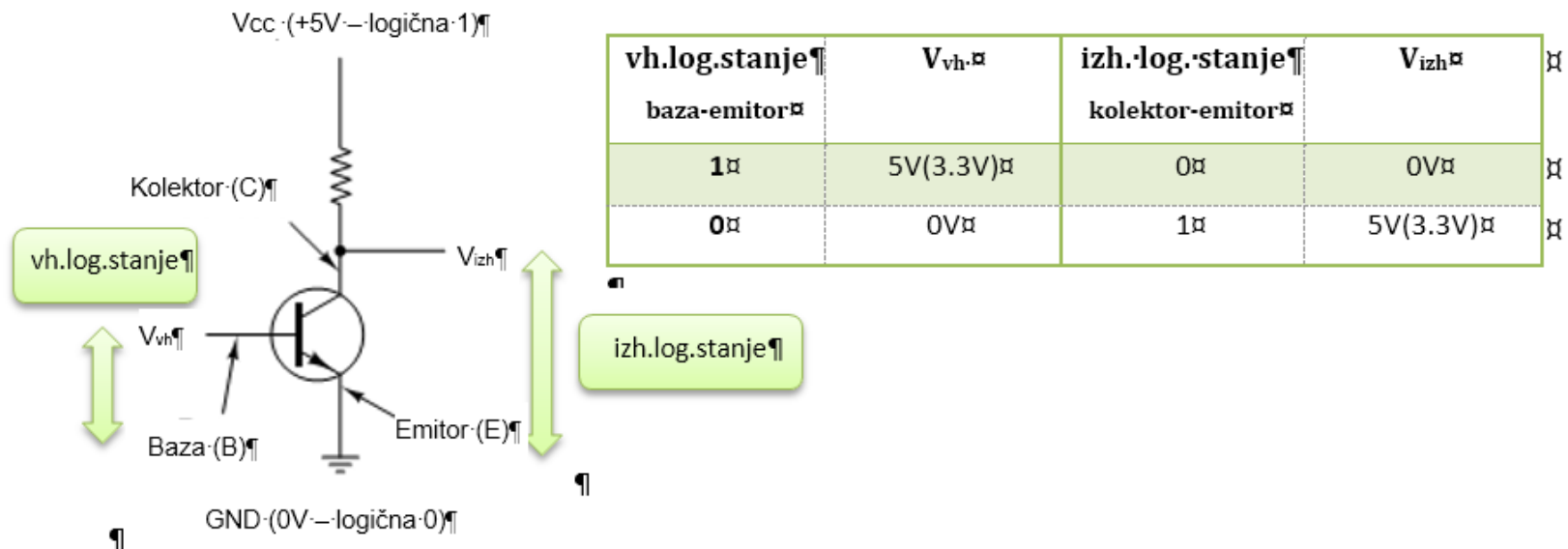
elektronsko vezje



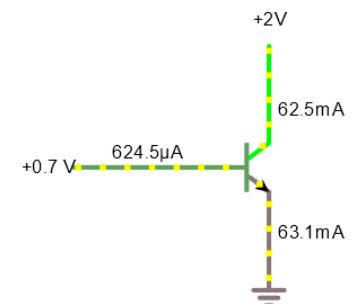
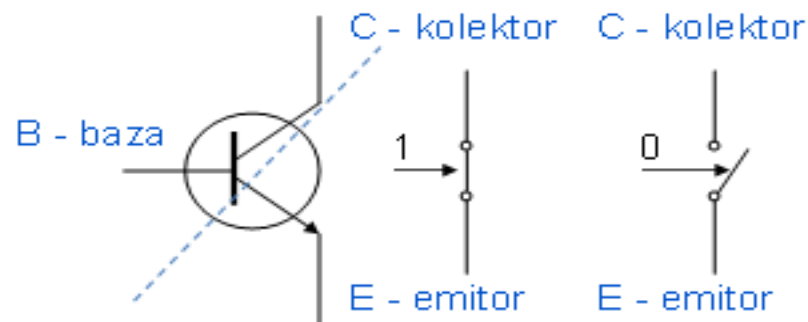
napetostni nivoji $\approx 0V$, ≈ 3.3 (5) V

*Elektronska
realizacija*

1.3.1.1 Osnovni gradnik digitalnih vezij – tranzistor kot stikalo

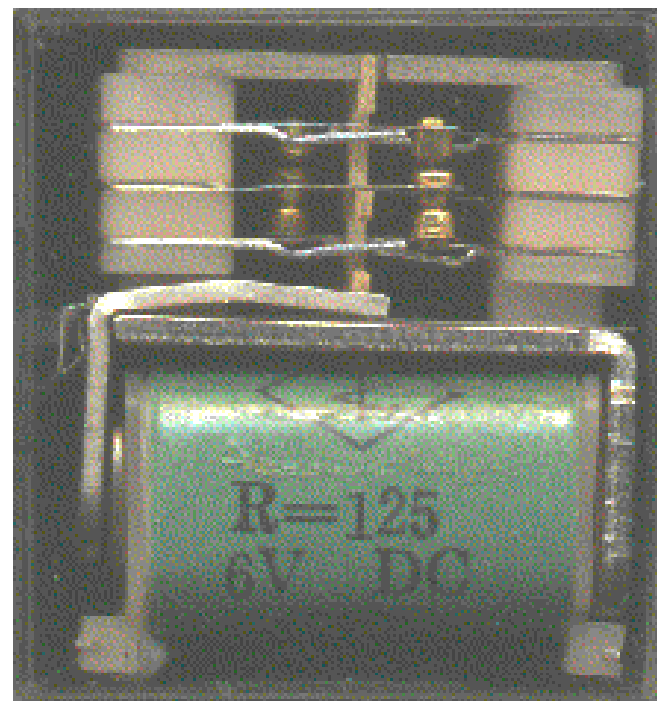
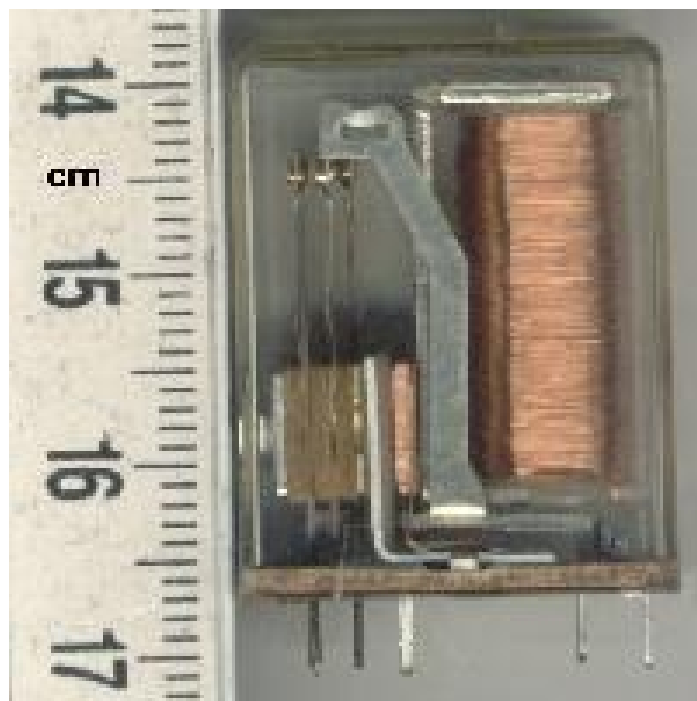


tranzistor kot stikalo



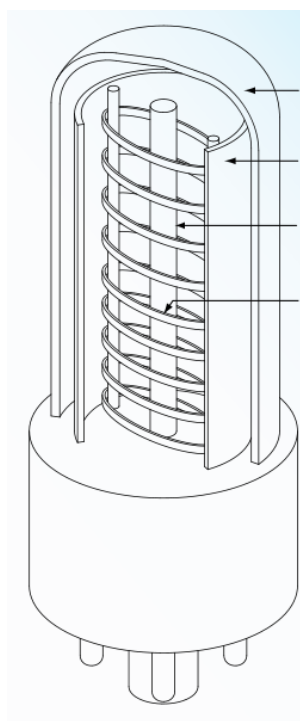
1.3.1.2 Realizacije stikala v digitalnih vezjih

- Rele, leto 1939, čas preklopa 1-10ms ($\text{ms} = 10^{-3} \text{ s}$)



Elektronika 1945 - 1955

- čas preklopa $\sim 5\mu\text{s}$ ($\mu\text{s}=10^{-6}\text{ s}$)

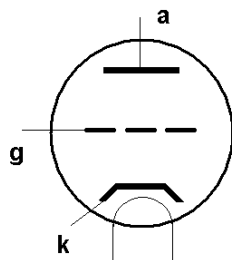


Stekleno ohišje

Anoda

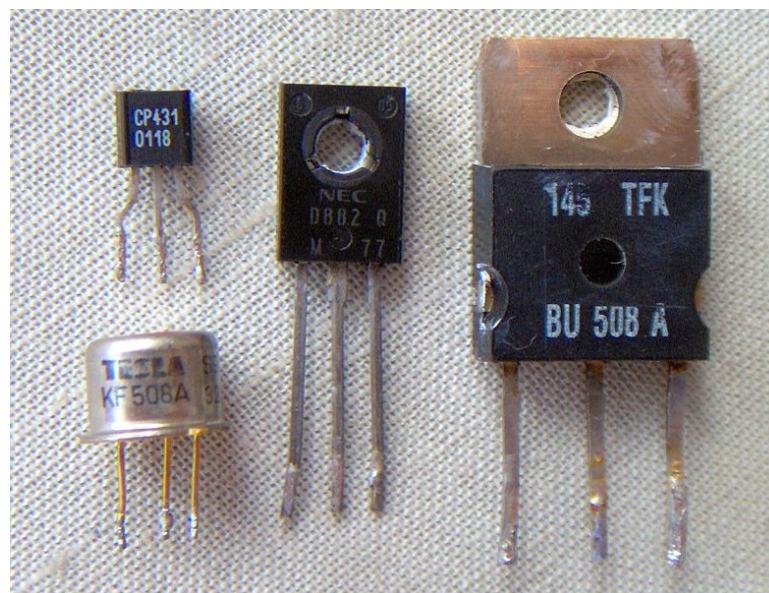
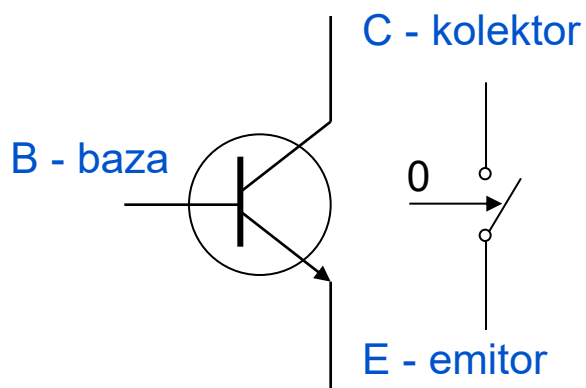
Katoda

Mrežica



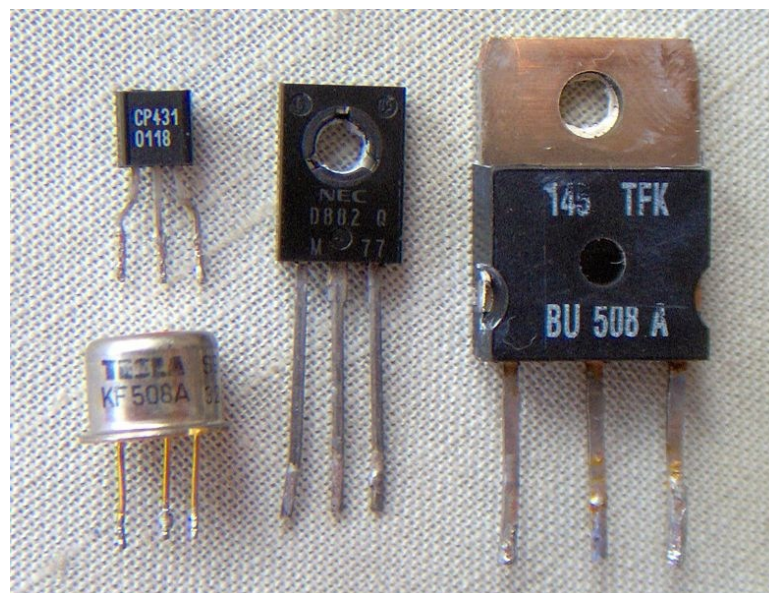
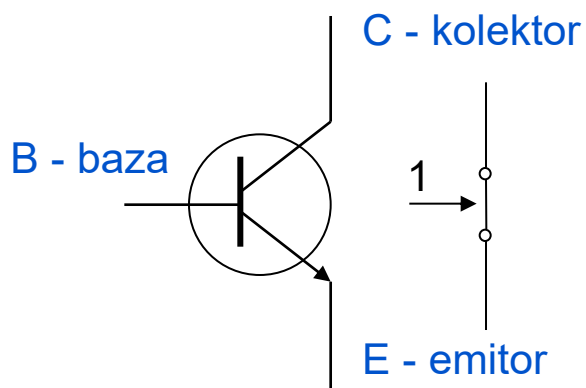
Tranzistor, 1955 ->

- čas preklopa $\sim 10\text{ns}$ ($\text{ns}=10^{-9}\text{ s}$)



Tranzistor, 1955 ->

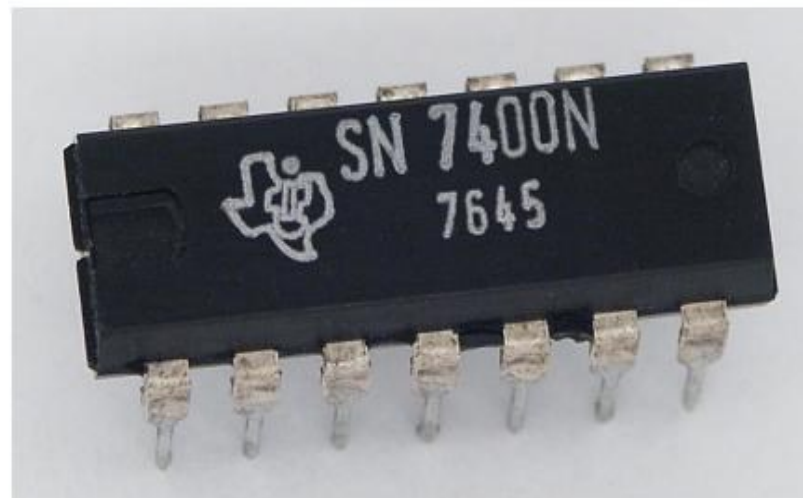
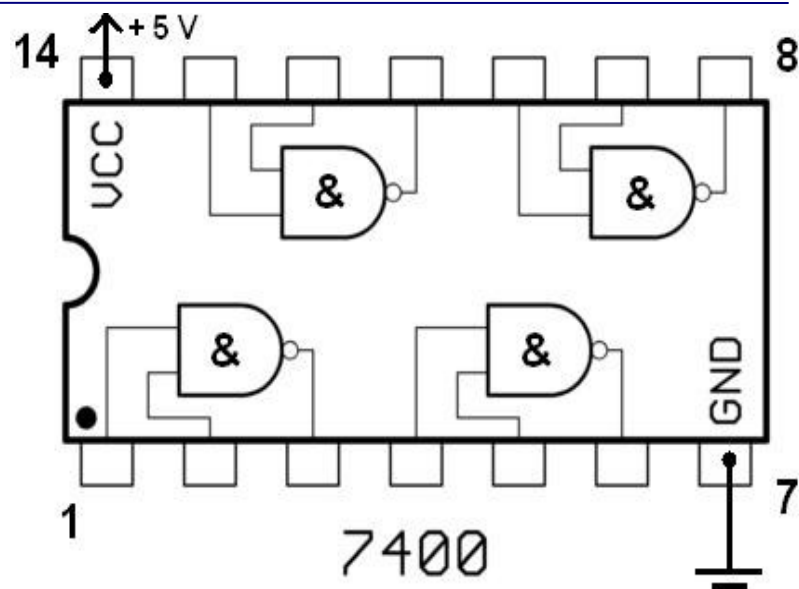
- čas preklopa $\sim 10\text{ns}$ ($\text{ns}=10^{-9}\text{ s}$)



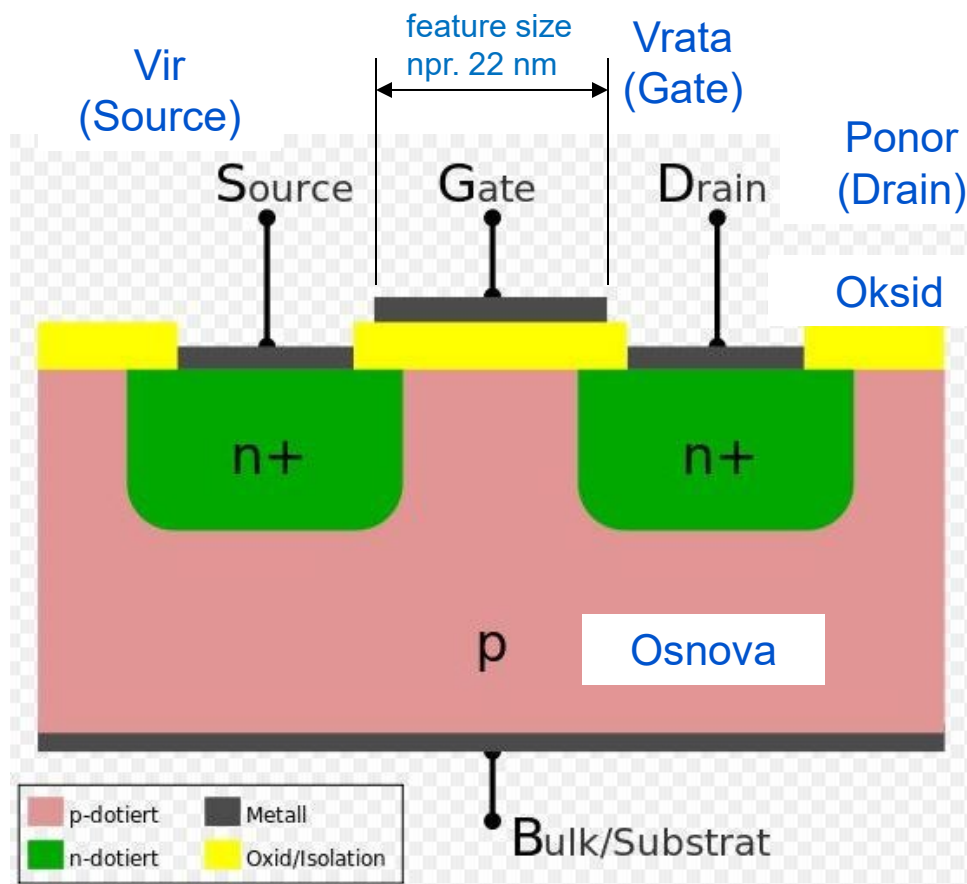
Tranzistor v integriranih vezjih

(TTL od konca 60.let)

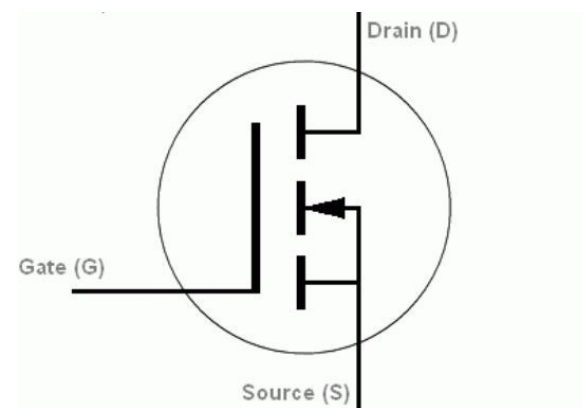
- čas preklopa $< 10\text{ns}$



Tranzistor kot del integriranega vezja



MOSFET, čas preklopa <0,1ns



1.3.1.2 Realizacija stikala v digitalnih vezjih - povzetek

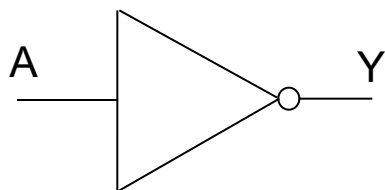
Ponovitev iz predmeta RA

Leto	Stikalo	Preklopni čas
1939	Rele	1-10ms
1945-1955	Elektronka	$\sim 5\mu\text{s}$
1955	tranzistor	10ns
Konec 60. let	tranzistor v TTL digit.vezjih	2-10ns
1980	VLSI	$<0,1\text{ns}$

1.3.2 Realizacija logičnih vrat

Ponovitev iz predmeta RA

1.3.2.1 Realizacija logične funkcije NEGACIJA (NOT)



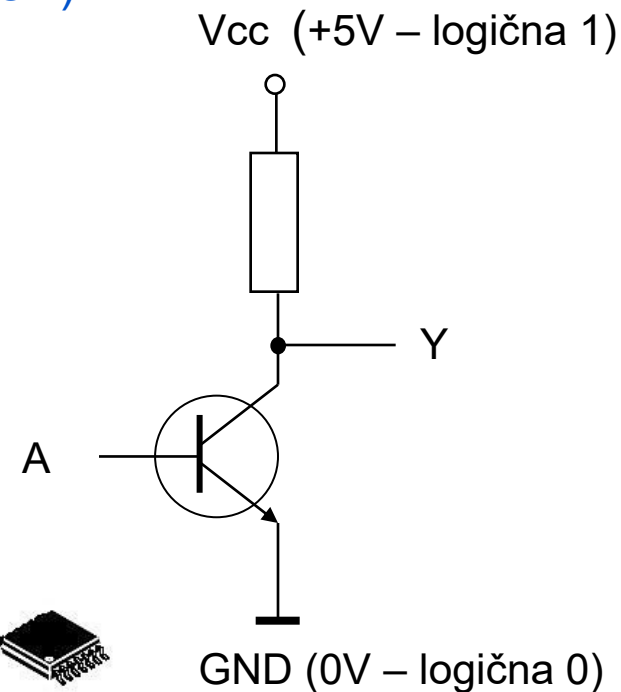
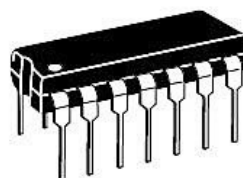
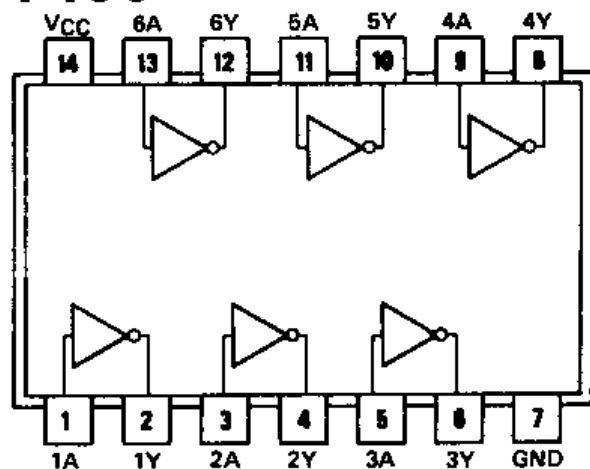
Simbol

A	Y
0	1
1	0

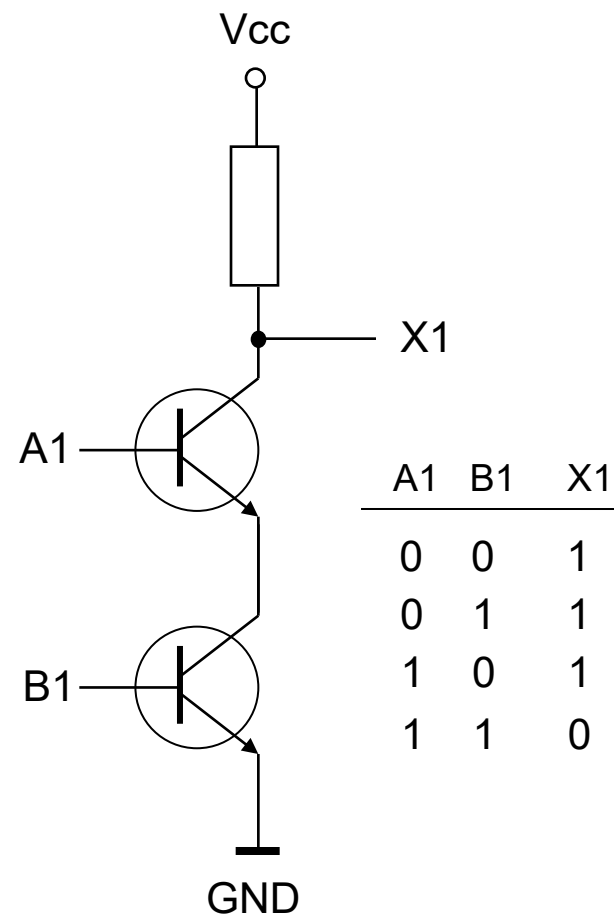
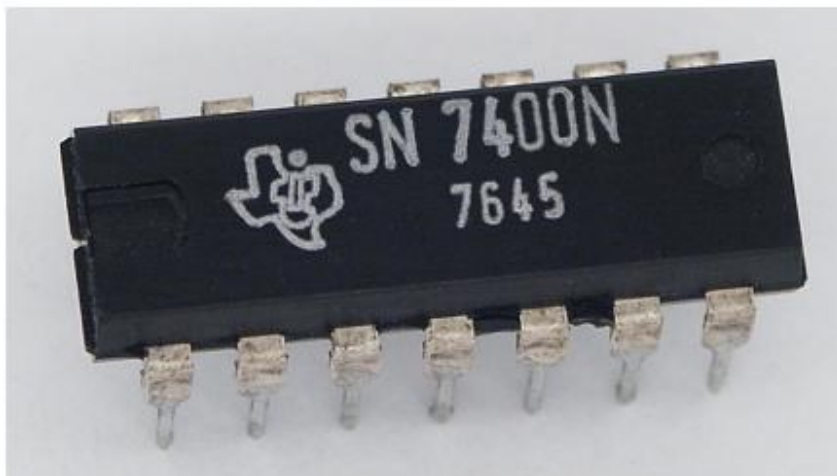
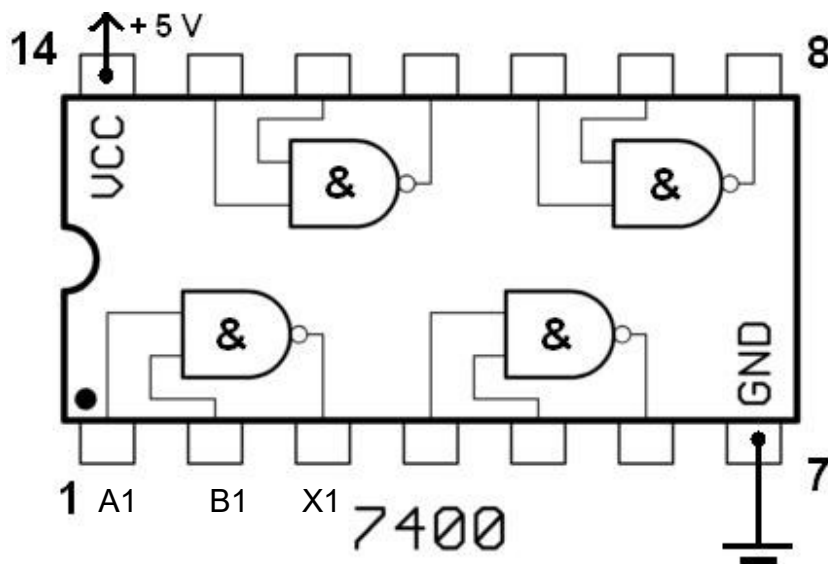
Pravilnostna tabela

IC (Integrated Circuit) s 6 negatorji

7406

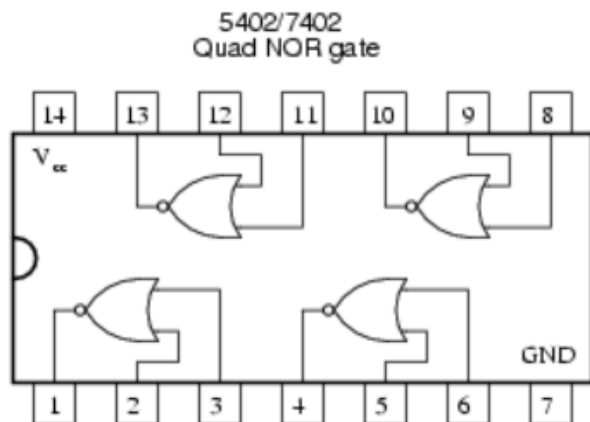


1.3.2.2 Realizacija logične funkcije NAND (Negirana konjunkcija)

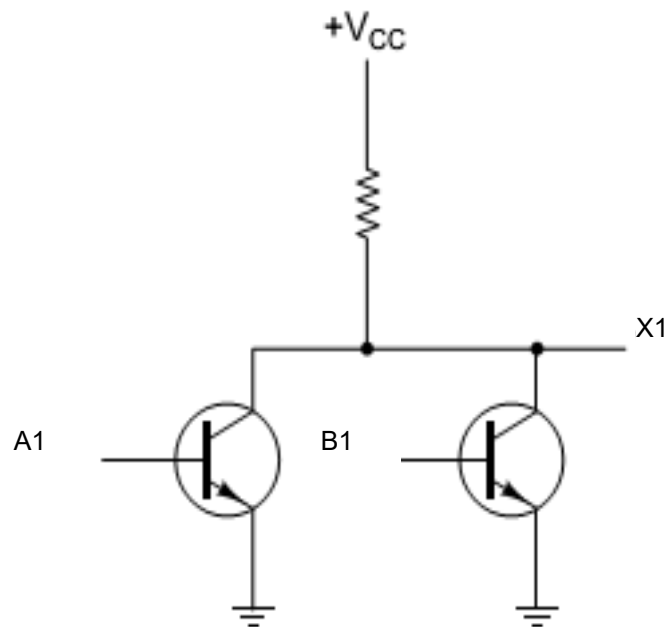


Logisim: pullup_nor_nand.circ

1.3.2.3 Realizacija logične funkcije NOR (Negirana disjunkcija)



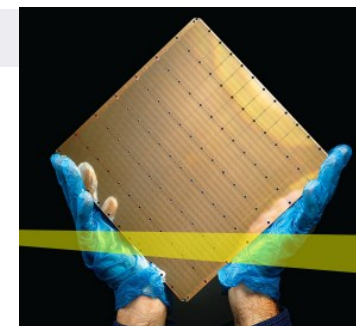
A1	B1	X1
0	0	1
0	1	0
1	0	0
1	1	0



Logisim: pullup_nor_nand.circ

1.3.3 Digitalna vezja visoke stopnje integracije - VLSI

1.3.3.1 Razvoj digitalnih vezij – št. tranzistorjev



Stopnja integracije	Leto	Št. tranzistorjev	Št. log. vrat oz. elementov	MOSFET scaling (process nodes)
SSI	60. leta	nekaj 10	1-10	20 μm – 1968
MSI	pozna 60. leta	nekaj 100	10-100	10 μm – 1971
LSI	zgodnja 70. leta	nekaj 1000	100-100000	6 μm – 1974
VLSI	1980->	nekaj 100000	nad 100000	3 μm – 1977
	1986	1 milijon		1.5 μm – 1981
Pentium 4	2002	55 milijonov		1 μm – 1984
	2005	1 milijarda		800 nm – 1987
<u>Xeon Westmere-EX</u> – 10 cores	2012	>2.5 milijarde		600 nm – 1990
Ivy Bridge-EX-15	Q3/2013	4.3 milijarde		350 nm – 1993
22-core <u>Xeon Broadwell-E5</u>	2016	7,2 milijard		250 nm – 1996
AMD Epyc	2017 (2019)	>19 milijard (39 milijard)		180 nm – 1999
Apple M3 Ultra	2025	184 milijard		130 nm – 2001
Wafer Scale Engine 2	2021	2600 milijard	*namenski AI čip	90 nm – 2003

MOSFET scaling
(process nodes)

20 μm – 1968

10 μm – 1971

6 μm – 1974

3 μm – 1977

1.5 μm – 1981

1 μm – 1984

800 nm – 1987

600 nm – 1990

350 nm – 1993

250 nm – 1996

180 nm – 1999

130 nm – 2001

90 nm – 2003

65 nm – 2005

45 nm – 2007

32 nm – 2009

22 nm – 2012

14 nm – 2014

10 nm – 2016

7 nm – 2018

5 nm – 2020

3 nm – 2022

2 nm – 2025

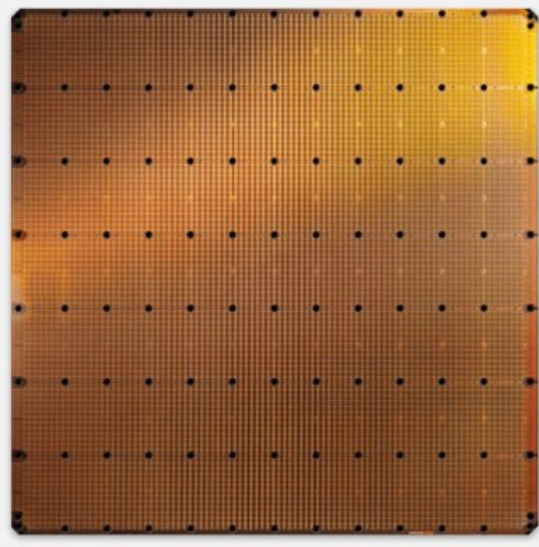
Future

1 nm ~ 2027

1.3.3 Digitalna vezja visoke stopnje integracije - VLSI

1.3.3.1 Razvoj digitalnih vezij - št. tranzistorjev in namen

Stopnja integracije	Leto	Št. tranzistorjev	Namen
Wafer Scale Engine 2	2021	2600 milijard	*namenski AI čip
Micron's <u>V-NAND</u>	2022	5300 milijard	*namenski Flash čip
Nvidia Rubin	2026	336 milijard	*GPE
Apple M3 Ultra	2025	184 milijard	*CPE



Cerebras WSE-2
46,225mm² Silicon
2.6 Trillion transistors



Largest GPU
826mm² Silicon
54.2 Billion transistors

Micron's 232-Layer NAND

The foundation for a new wave of end-to-end technology innovation

- Highest layer count
- Most bits/mm²
- Fastest I/O speed

Built on the proven technologies pioneered in Micron's industry-leading 176-layer NAND

Micron 3D NAND Evolution

Footnote:
* Performance increases for speed and bandwidth are compared to previous-generation 176-layer NAND
** Package size compared to previous generation: B47R vs B58R

© 2022 Micron Technology, Inc. Micron, the Micron logo, the M logo logo, Intelligent Accelerator™, and other Micron trademarks are the property of Micron Technology, Inc. All other trademarks are the property of their respective owners.

Applications and services

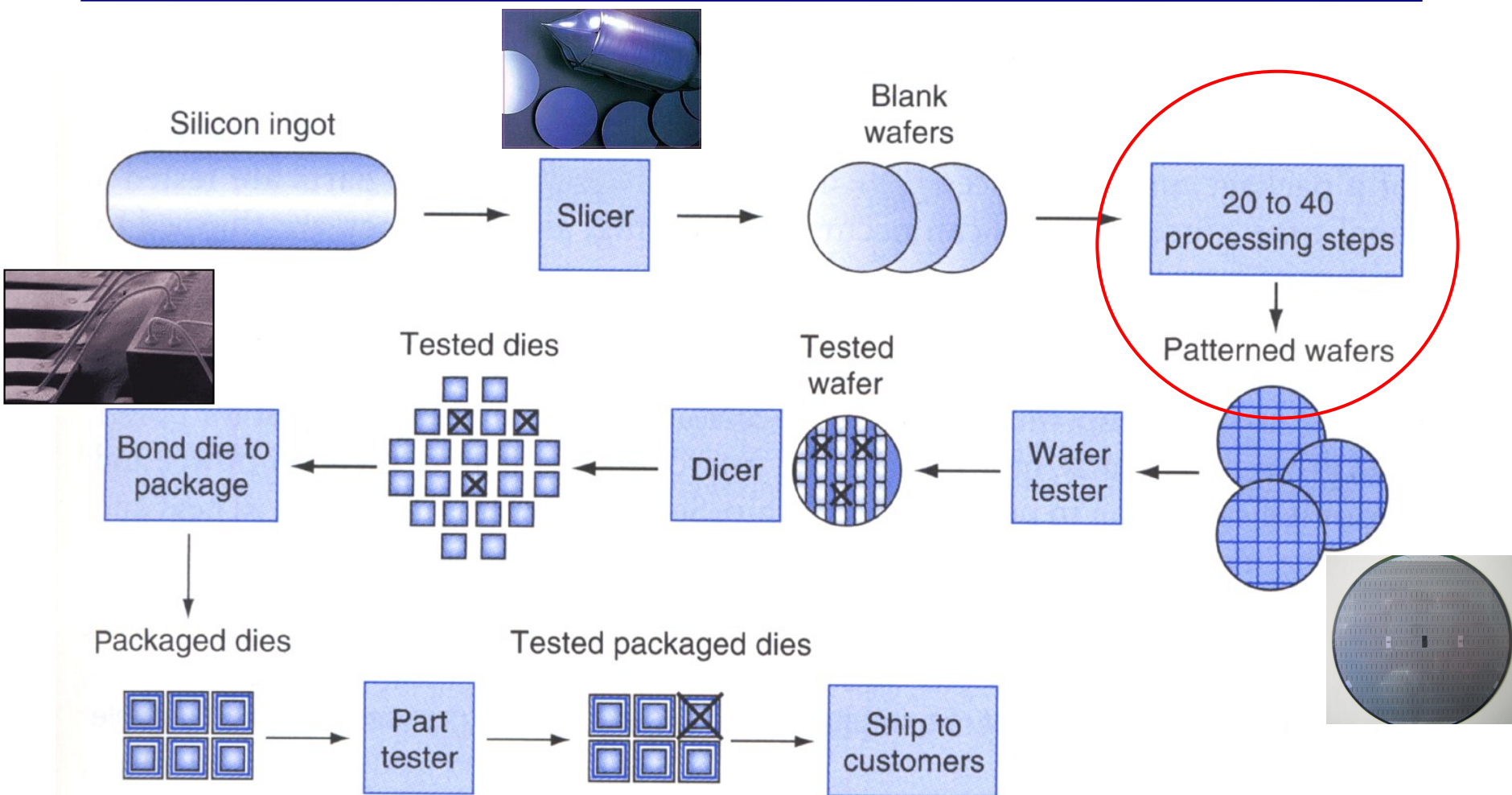
232-layer NAND is ideal for data-intensive and demanding storage applications

- Client
- Mobile
- Intelligent edge
- Data center

Benefits of Micron's 232-layer, 6-plane architecture

- 100%** higher write bandwidth*
- >75%** higher read bandwidth*
- 50%** increase in transfer rate to 2.4 GB/s (ONFI bus)*
- 28%** smaller package**

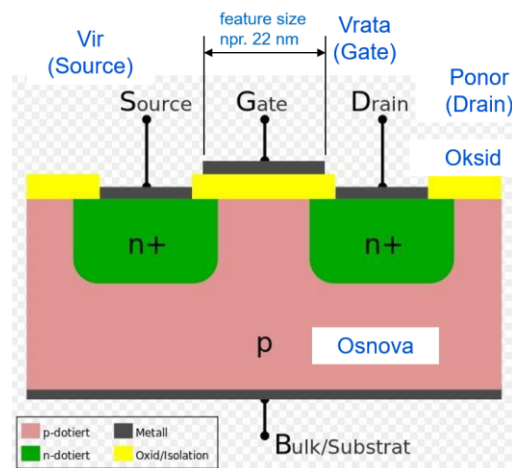
1.3.3.2 Podrobnejši opis postopka izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

Postopek izdelave VLSI integriranega vezja - čipa

- V 20 do 40 **procesnih korakih** se z nanašanjem drugih materialov na silicijevo rezino oblikujejo:
 - tranzistorji,
 - povezave in
 - izolatorji.



1.3.3.2 Postopek izdelave VLSI digitalnih vezij

Procesni korak :

■ izolacija in prekrivanje

- ☐ nanašanje SiO₂ (izolator)
- ☐ dodana plast "fotoresist"

■ maskiranje

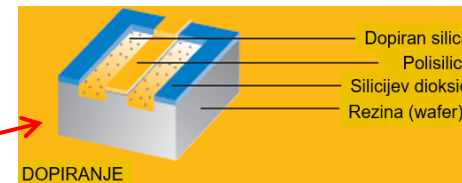
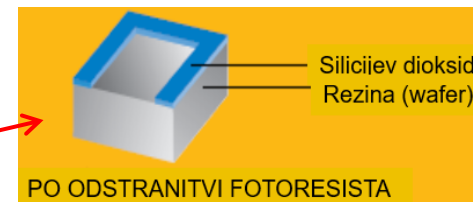
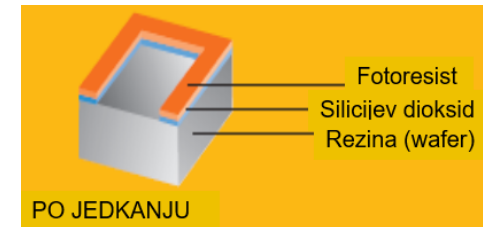
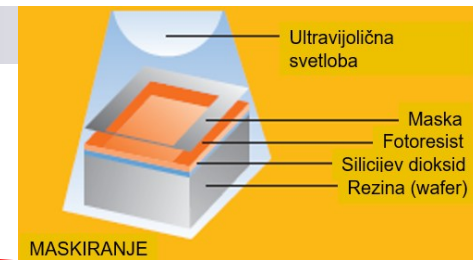
- ☐ fotolitografija - obsevanje skozi masko

■ jedkanje

- ☐ odstrani osvetljeno plast "fotoresista"

■ po potrebi eden od naslednjih postopkov:

- ☐ **dopiranje** (za tvorbo kanalov pri tranzistorjih)
- ☐ **nanašanje plasti prevodnikov** (za oblikovanje povezav, priključkov, povezav med nivoji)
- ☐ **nanašanje plasti izolatorjev** (zaščita, oblikovanje povezav, pač po potrebi, itd...)

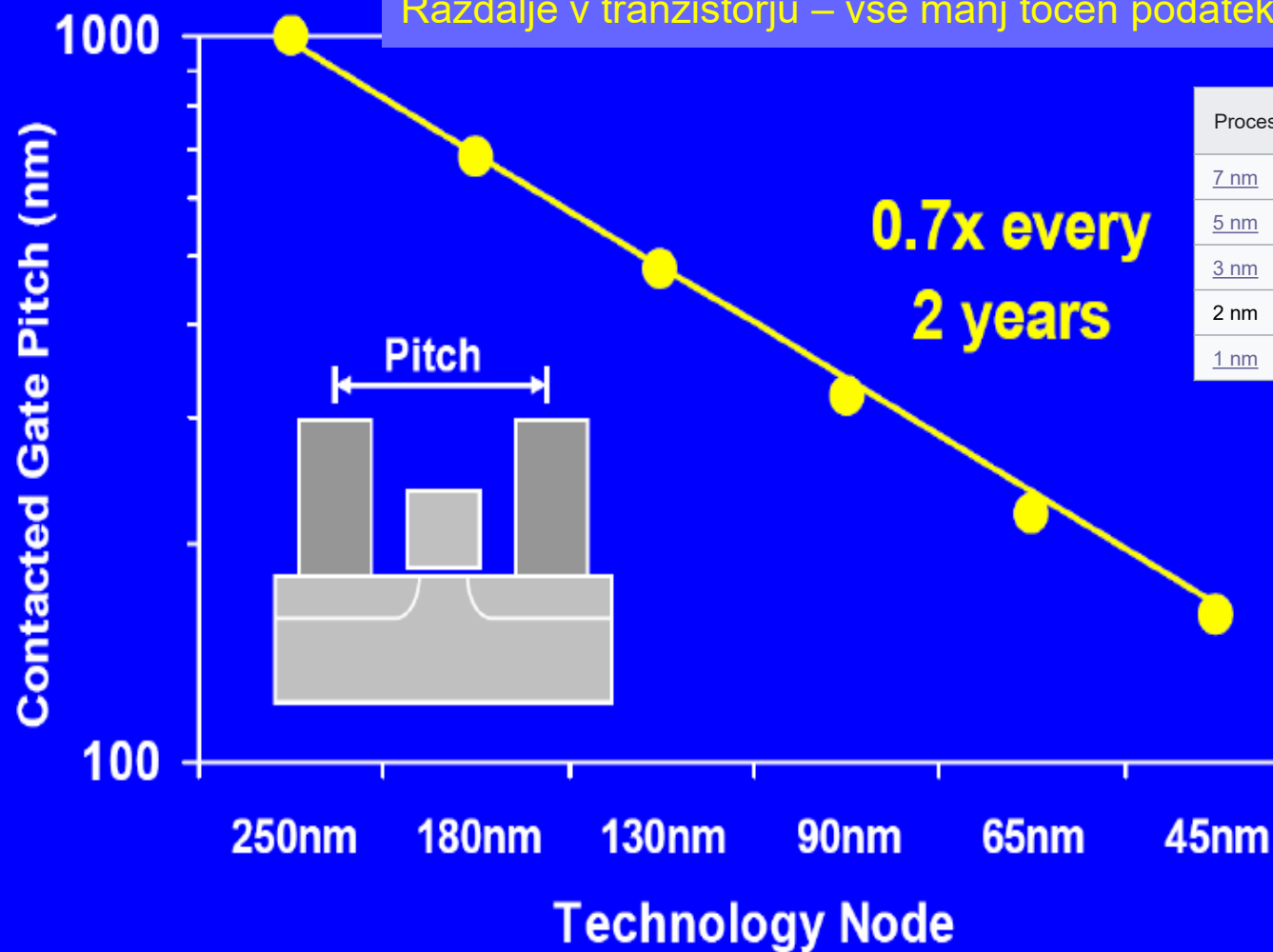


Končna obdelava:

- **testiranje** čipov na rezinah (»die«)
- **razrez** rezin na čipe
- **povezave priključkov** na čipu z žičkami na priključke ohišja
- **končno testiranje**

1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

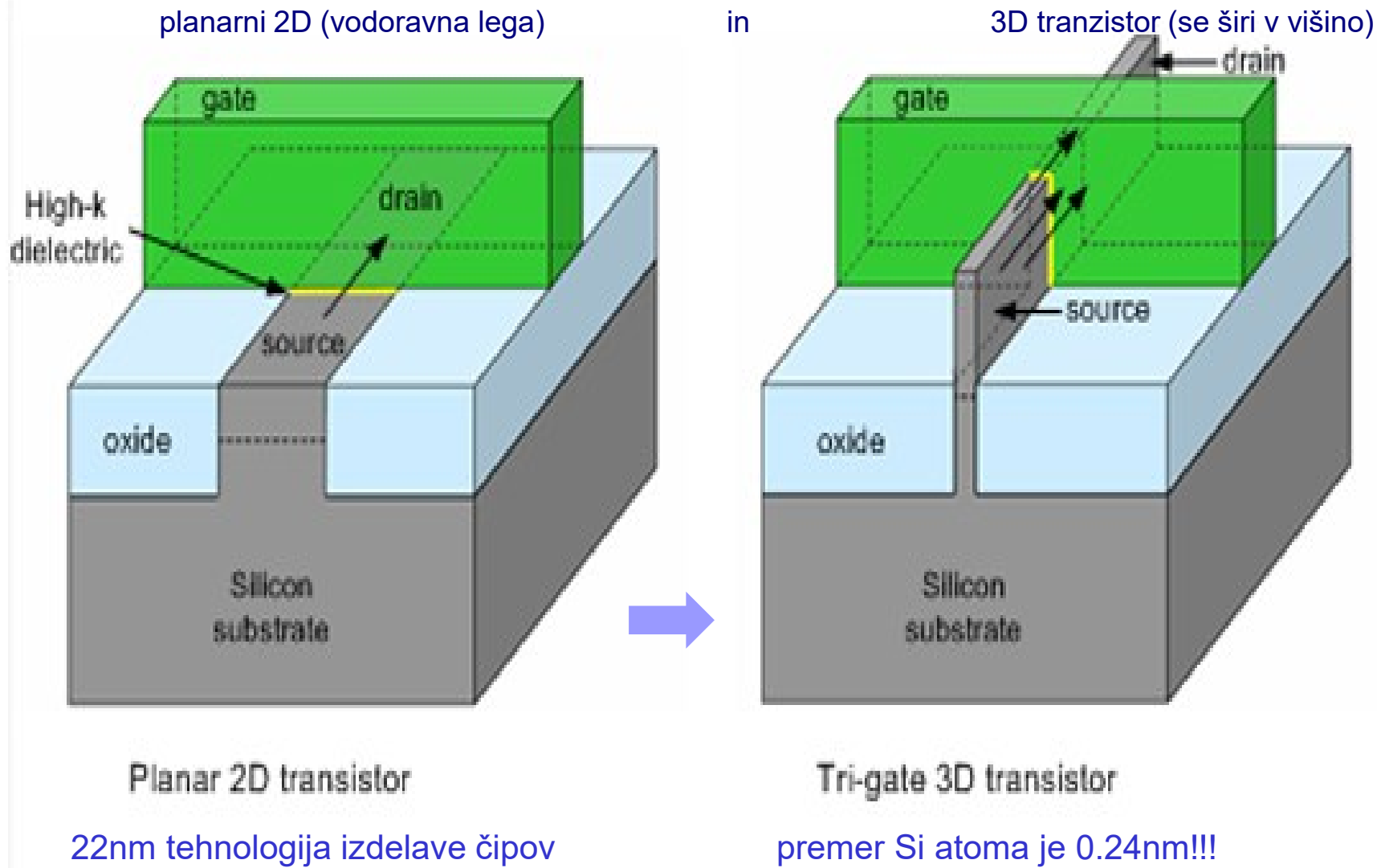
Razdalje v tranzistorju – vse manj točen podatek



Process	Gate pitch	Metal pitch	Year
7 nm	60 nm	40 nm	2018
5 nm	51 nm	30 nm	2020
3 nm	48 nm	24 nm	2022
2 nm	45 nm	20 nm	2025
1 nm	42 nm	16 nm	2027

IEEE/IEDM 2007 (International Electron Devices Meeting) Intel

1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih



1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih

Sodobni razvoj tranzistorja
Planarni (vodoravno) -> FinFET (navpično) -> Nano lističi

EVOLUTION OF THE FET

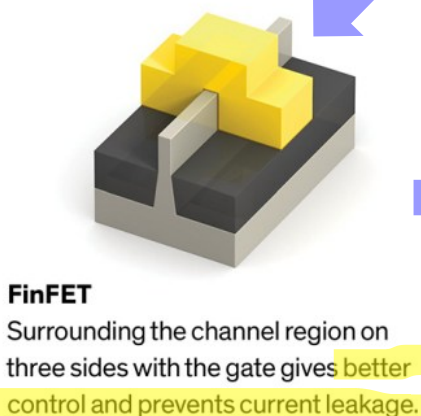
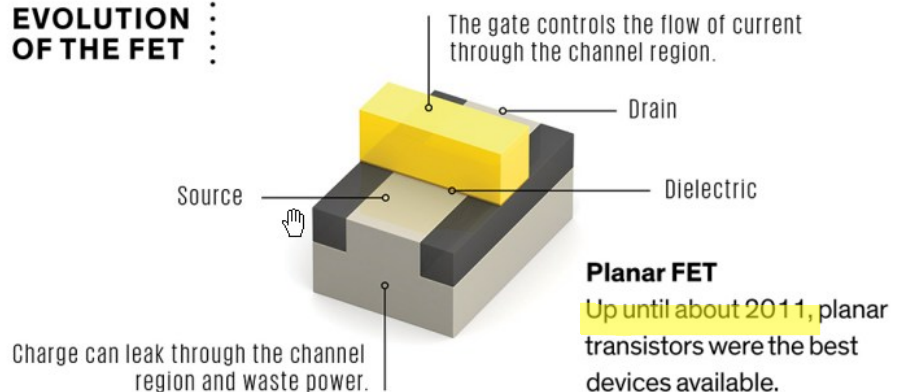
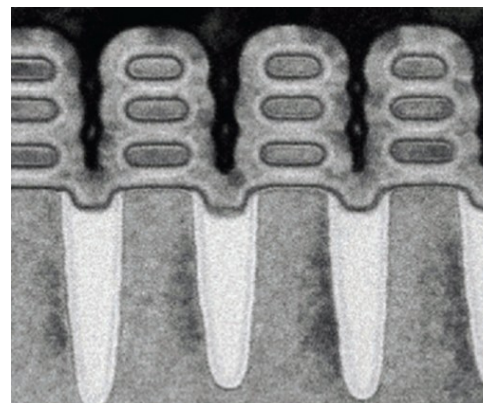


Illustration by Emily Cooper



Gate-all-around FET
(GAAFET)

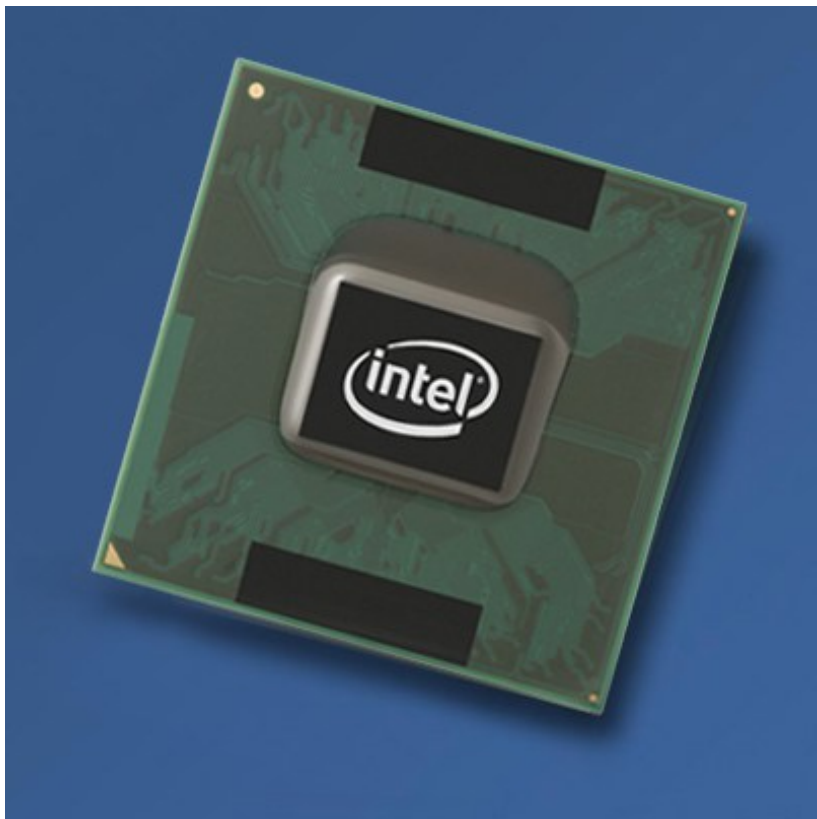
2nm tehnologija
izdelave čipov (IBM)



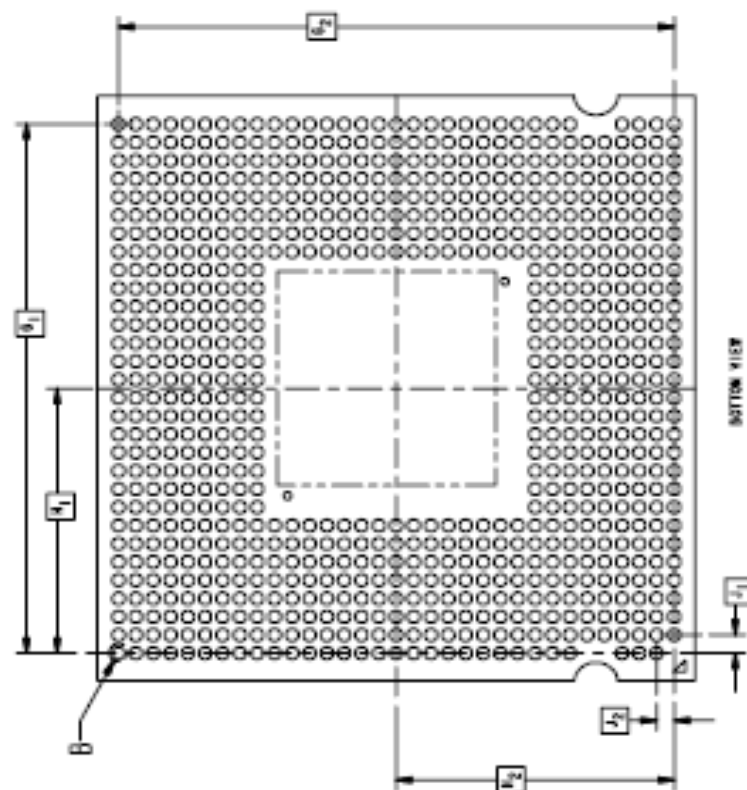
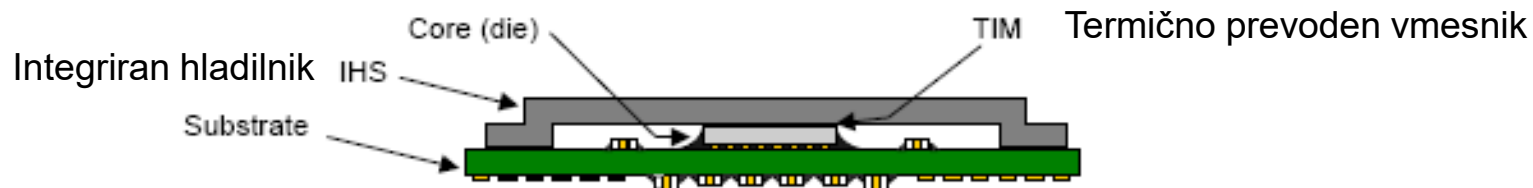
IEEE Spectrum 2021

<https://spectrum.ieee.org/ibm-introduces-the-worlds-first-2nm-node-chip>

Primer čipa: Intel 80x86



Primer čipa: Intel 80x86



1.3.3.3 Potencialni problemi v sodobnih VLSI vezjih - pregled

Z večanjem stopnje integracije:

- se dimenzije tranzistorjev in povezav manjšajo
- vezja (tranzistorji) za svoje delovanje porabljajo energijo (odvečna toplota)

Zato je pomembno da :

- učinkovito distribuiramo energijo po čipu:
 - veliko število kontaktov je za napajanje (V_{cc} in GND)
- učinkovito odvajamo odvečno toploto :
 - hladilniki, ventilatorji

Trend zmanjšanja porabe (TDP = Thermal Design Power) :

- Intel Core i7-920 s frekv. jedra 2.66GHz; **TDP = 130W** , 45nm
- Haswell: Core i7 4771, TDP = 85 W (sept. 2013) 22nm
- Skylake: Core i7-6700, **TDP = 65W** (avg. 2015) 14nm
- AlderLake: Core i7-12700, **TDP = 65W** (jan. 2022) 10nm
- RaptorLake: Core i7-13900, Base/Max=**55/157W** (Q1'23)
- ArrowLake: Core Ultra 9-285, Base/Max=**65/182W** (Q1'25)

1.3.3.4 Sodobni vgrajeni sistemi – načrtovanje tiskanih vezij

Delavnica na FRI za načrtovanje tiskanih vezij – ESP32

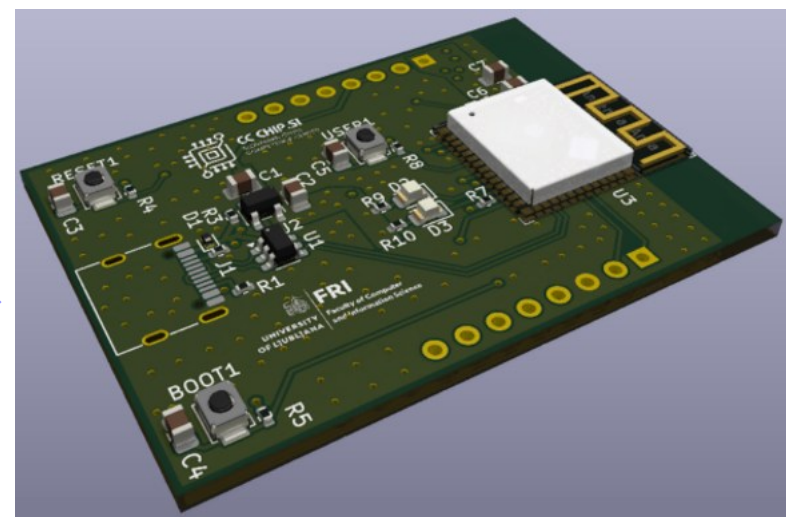
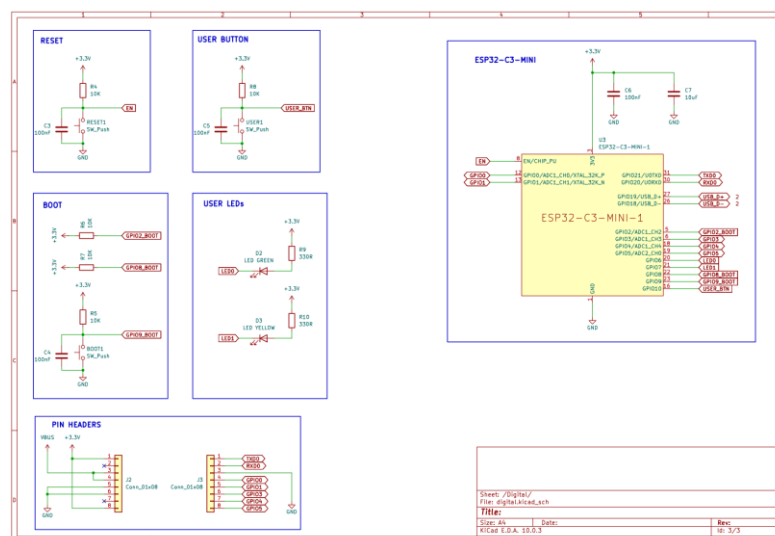
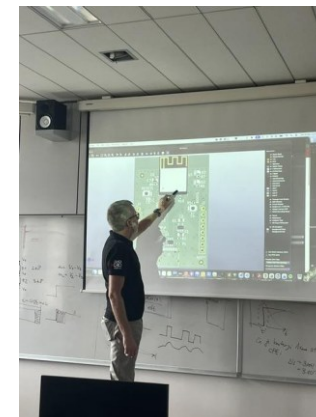
Build Your Own RISC-V Computer – KiCad PCB Design Workshop

Z naslova <<https://cc-chip.si/build-your-own-risc-v-computer-kicad-pcb-design-workshop/>>

KiCad

A Cross Platform and Open Source PCB Design Suite

<https://www.kicad.org/>



1.3.3.4 Sodobni vgrajeni sistemi – načrtovanje tiskanih vezij

KC ČIP.SI
SLOVENSKI KOMPETENČNI
CENTER ZA ČIPE

Home About Offer News Publications Contact EN

WHO WE ARE

ABOUT US

We are consortium of 6 institutions with broad expertise and knowledge in the field of chips and semiconductor technologies.

The consortium is coordinated by the Faculty of Electrical Engineering, University of Ljubljana.

[READ MORE](#)

FE
UNIVERZA
V LJUBLJANI
Fakulteta
za elektrotehniko

FRI
UNIVERZA
V LJUBLJANI
Fakulteta za računalništvo
in informatiko

Univerza v Mariboru
Fakulteta za elektrotehniko,
računalništvo in informatiko

UNIVERZA V NOVI GORICI
SCIENTIA 1995 VINCES

Institut
"Jožef Stefan"
Ljubljana, Slovenija

Nanocenter

1.3.3.5 Potencialni tehnološki premiki (izbor)

Tehnologija (primer optike):

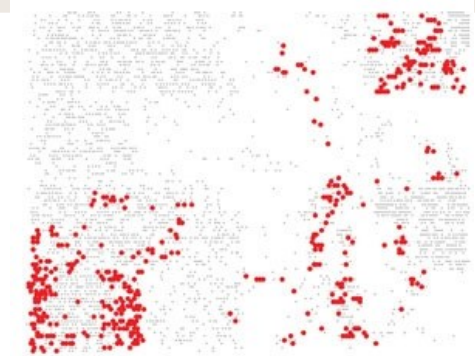
THE FUTURE OF DEEP LEARNING IS PHOTONIC

Computing with light could slash the energy needs of neural networks

Z naslova <<https://spectrum.ieee.org/the-future-of-deep-learning-is-photonic>>

Pristop – splošni ali namenski:

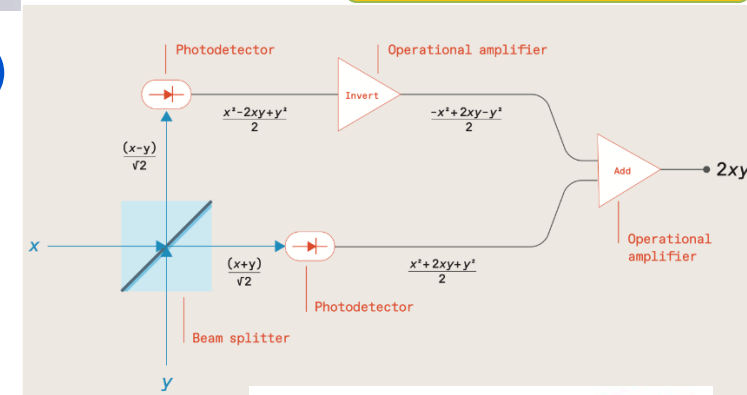
Engineers can cut size and power in half by stripping away unused logic gates from general-purpose microcontrollers



In an analysis of the logic gates used in two applications—intFilter and Scrambled intFilter—on an openMSP430 microcontroller, the gray dots are gates not used by either application. Red dots are gates unused only by Scrambled intFilter. IMAGE: UNIVERSITY OF MINNESOTA AND UNIVERSITY OF ILLINOIS

Starting with an openMSP430 microcontroller, they produced bespoke designs meant to perform applications such as the fast Fourier transform, autocorrelation, and interpolation filtering. These designs had fewer than half of the logic gates that were part of the original microcontroller design. In fact, none of the 15 common microcontroller apps they studied needed more than 60 percent of the gates. On average, the resulting chips were 62 percent smaller and consumed 50 percent less power. By exploiting the timing savings from signals traveling a shorter distance, the average power savings jumped to 65 percent.

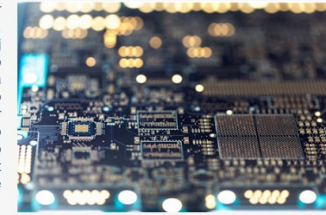
Z naslova <<https://spectrum.ieee.org/bespoke-processors-a-new-path-to-cheap-chips>>



Postopek izdelave VLSI integriranega vezja - čipa

Izdelava tiskanega vezja – tudi najzahtevnejše tiskano vezje

Izdelava tiskanega vezja zahteva profesionalen pristop ter ogromno znanja in izkušenj. Le tako je mogoče zagotoviti, da bo tiskano vezje opravljalo svojo nalogo na dovolj visokem nivoju. Posamezne komponente, kot so kondenzatorji, uporniki ipd., so običajno prispajkane na tiskano vezje, pri kompleksnejših oblikah pa lahko naletimo tudi na vdelovanje elementov na podlago. Kadar nam je pomembno, da vezje omogoča čim večjo gostoto komponent, se odločimo za večslojno vezje (načeloma do 24 slojev), možna pa so tudi enostranska (z eno stranjo iz bakra) in dvostranska tiskana vezja, pri katerih imamo dve bakreni plasti.



Dodatna gradiva, video :

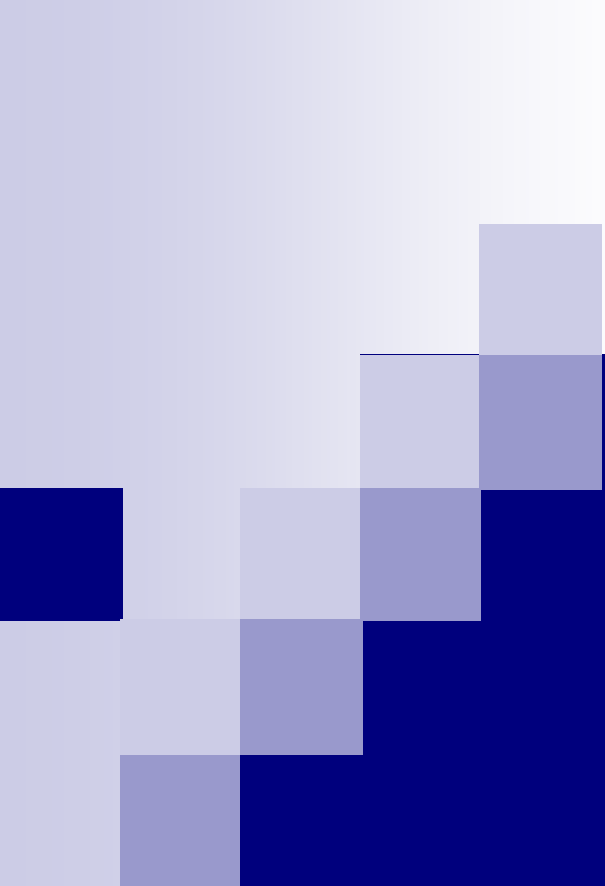
- Posnetki o postopku izdelave VLSI vezij :

[How ST designs and manufactures semiconductor devices – YouTube \(prikažemo 0:26-1:16\)](#)

[2020: From Sand to Silicon: The Making of a Microchip | Intel \(od 1:55 do 3:23\)](#)

[Making the Microchip — At the Limits III Preview/ The Making of a chip](#)

[Intel: The Making of a Chip with 22nm/3D Transistors](#)



ORGANIZACIJA RAČUNALNIKOV

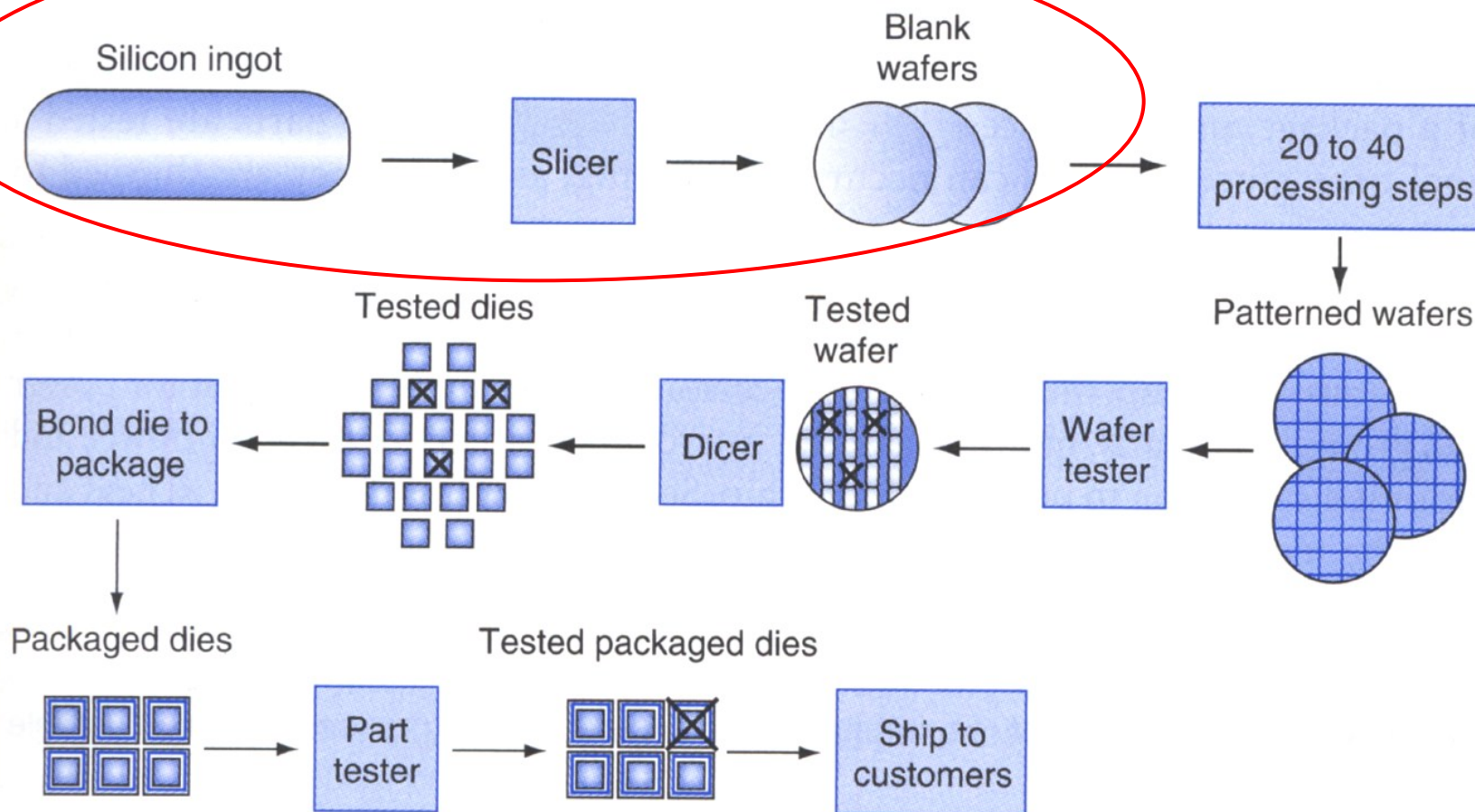
Dodatek

1. Uvod v organizacijo računalnikov in digitalna vezja

Robert Rozman

rozman@fri.uni-lj.si

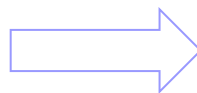
1.3.3.2 Podrobnejši opis postopka izdelave VLSI digitalnih vezij



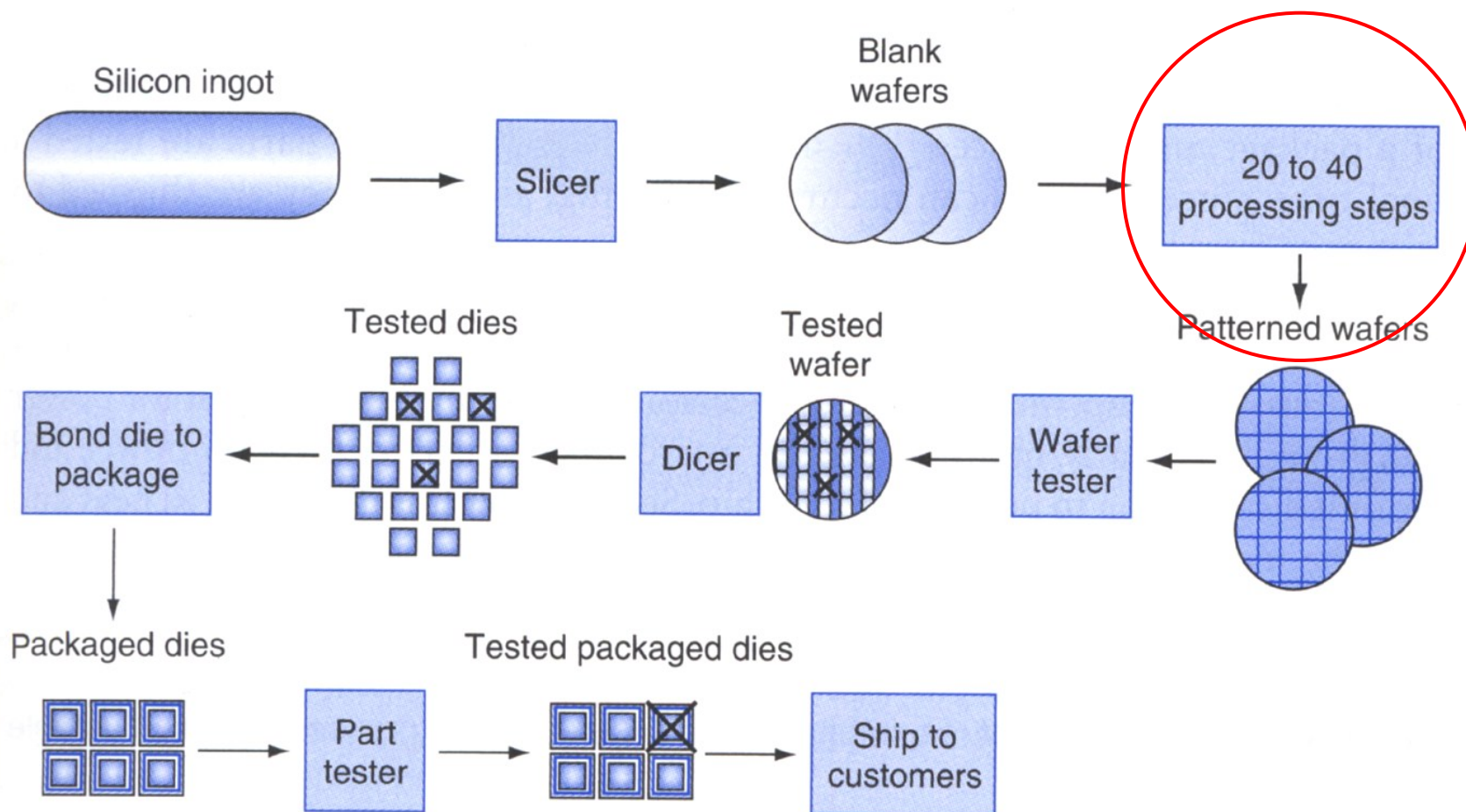
David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

Postopek izdelave VLSI integriranega vezja - čipa

- Priprava->Ingot -> rezalnik -> rezine, „wafers“



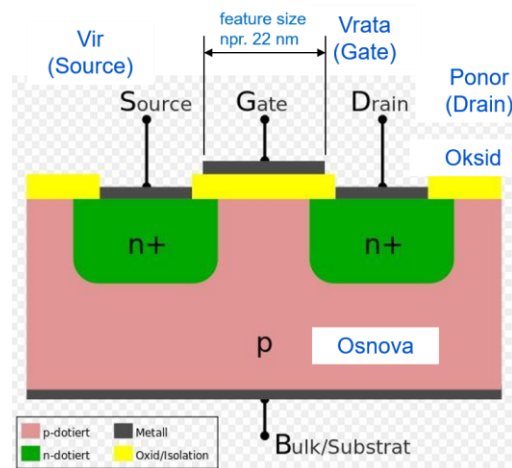
1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

Postopek izdelave VLSI integriranega vezja - čipa

- V 20 do 40 **procesnih korakih** se z nanašanjem drugih materialov na silicijevo rezino oblikujejo:
 - tranzistorji,
 - povezave in
 - izolatorji.



1.3.3.2 Postopek izdelave VLSI digitalnih vezij

Procesni korak :

■ izolacija in prekrivanje

- ☐ nanašanje SiO₂ (izolator)
- ☐ dodana plast “fotoresist”

■ maskiranje

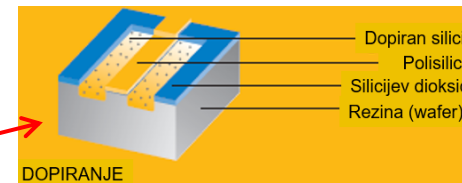
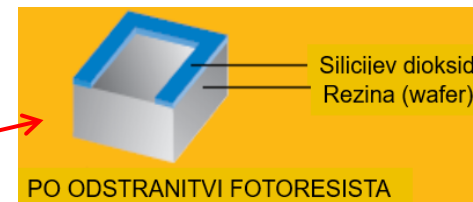
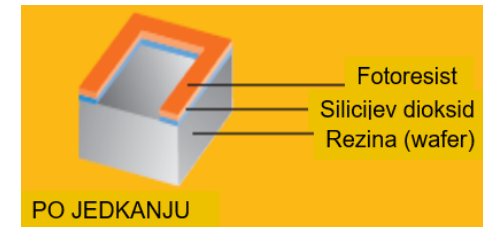
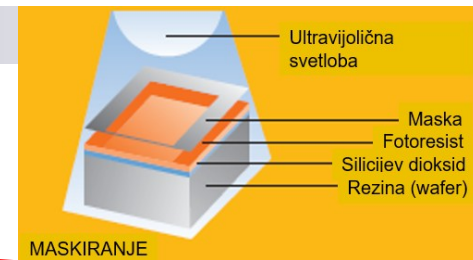
- ☐ fotolitografija - obsevanje skozi masko

■ jedkanje

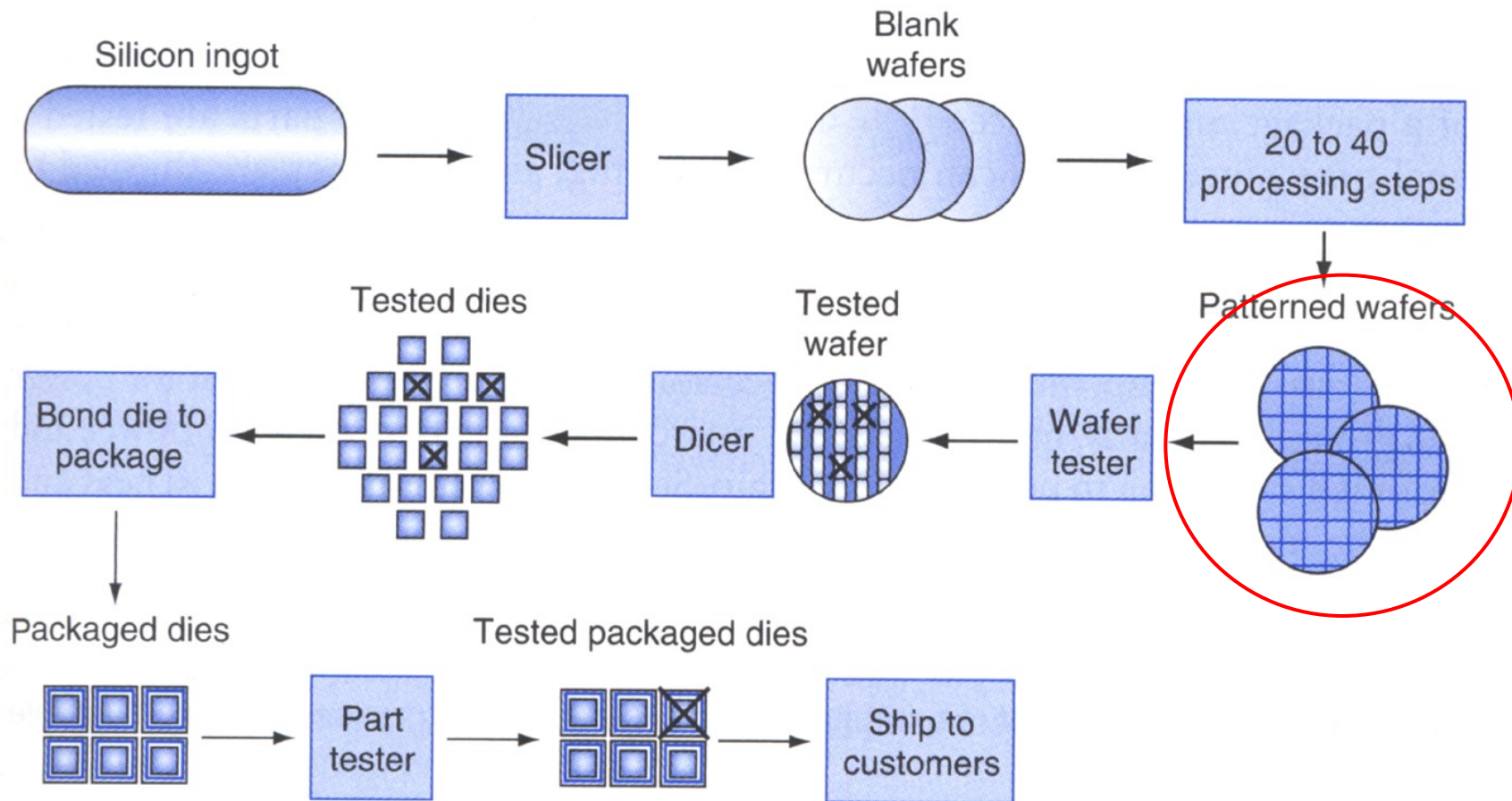
- ☐ odstrani osvetljeno plast “fotoresista”

■ po potrebi eden od naslednjih postopkov:

- ☐ **dopiranje** (za tvorbo kanalov pri tranzistorjih)
- ☐ **nanašanje plasti prevodnikov** (za oblikovanje povezav, priključkov, povezav med nivoji)
- ☐ **nanašanje plasti izolatorjev** (zaščita, oblikovanje povezav, pač po potrebi, itd...)

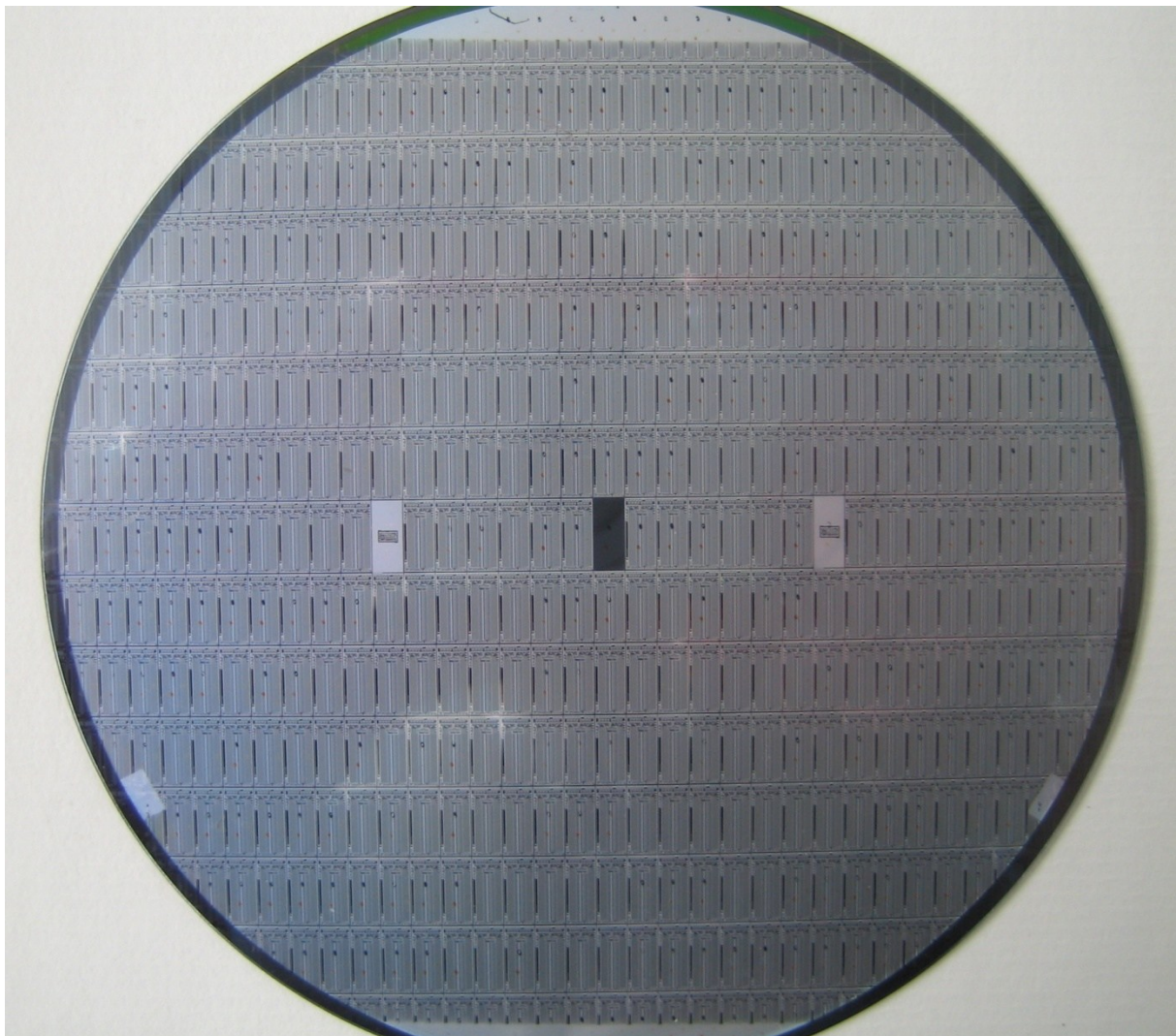


1.3.3.2 Postopek izdelave VLSI digitalnih vezij

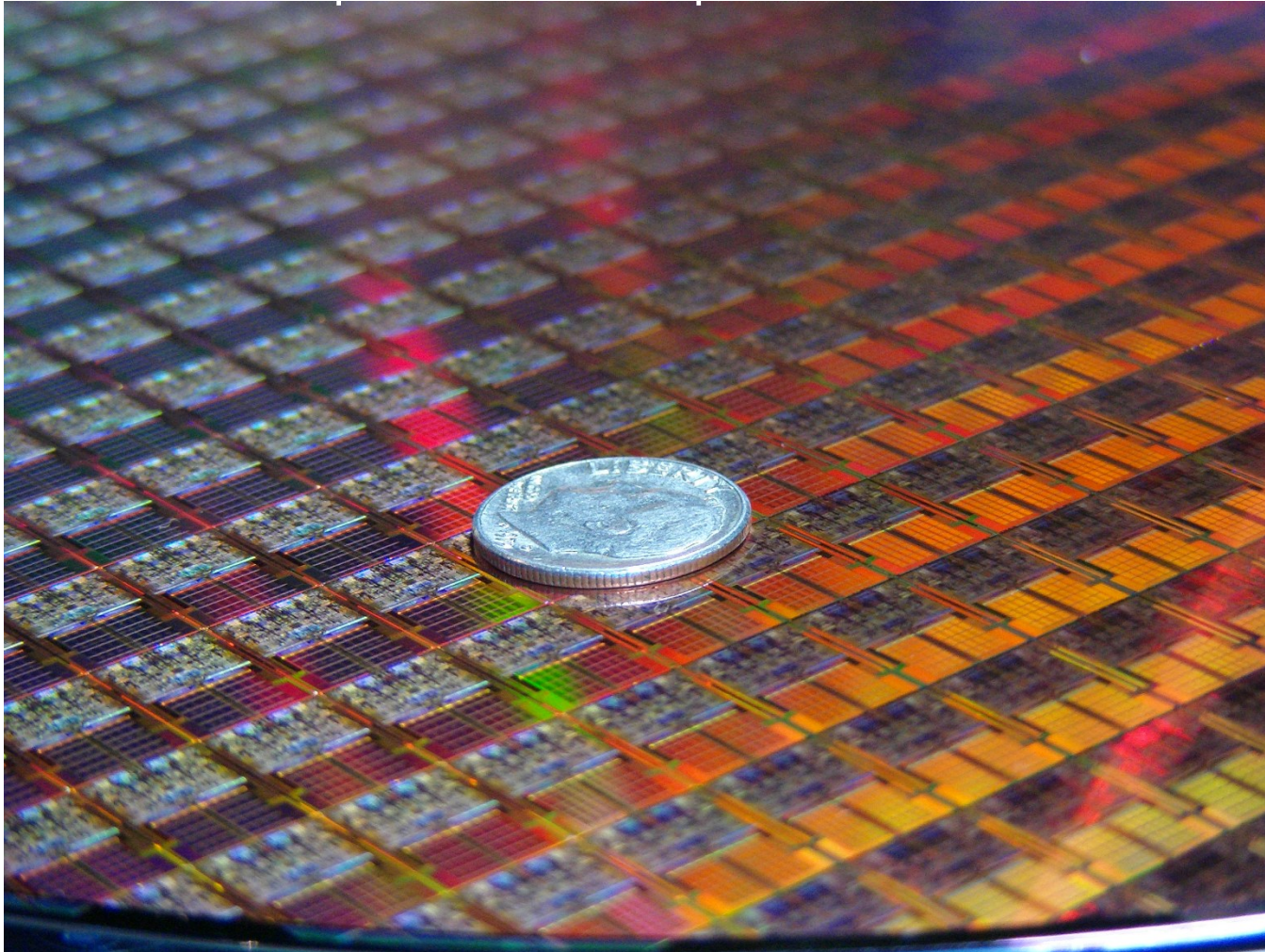


David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

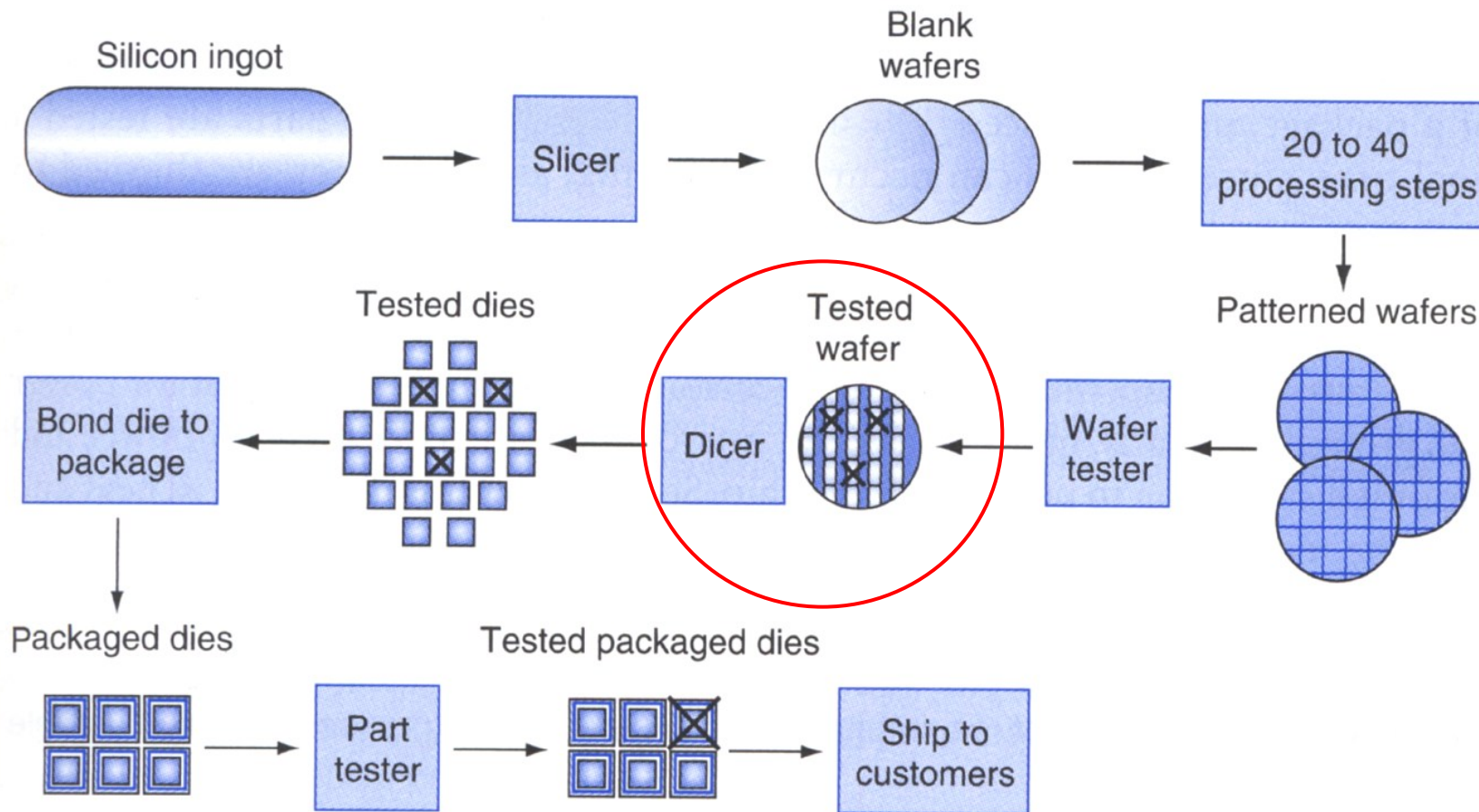
Rezina (wafer) s približno 250 pomnilniškimi čipi pred razrezom



Intel 80x86

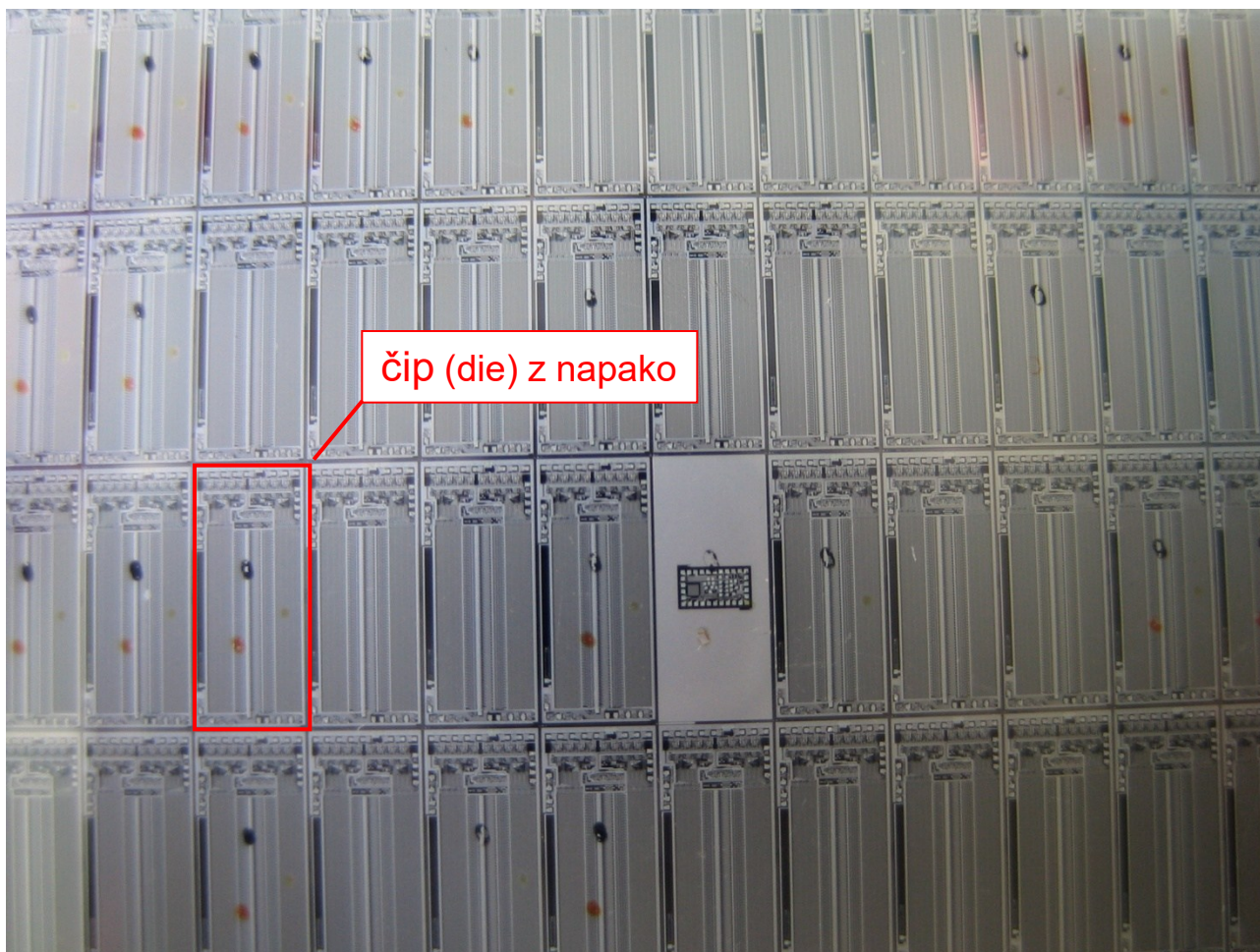


1.3.3.2 Postopek izdelave VLSI digitalnih vezij



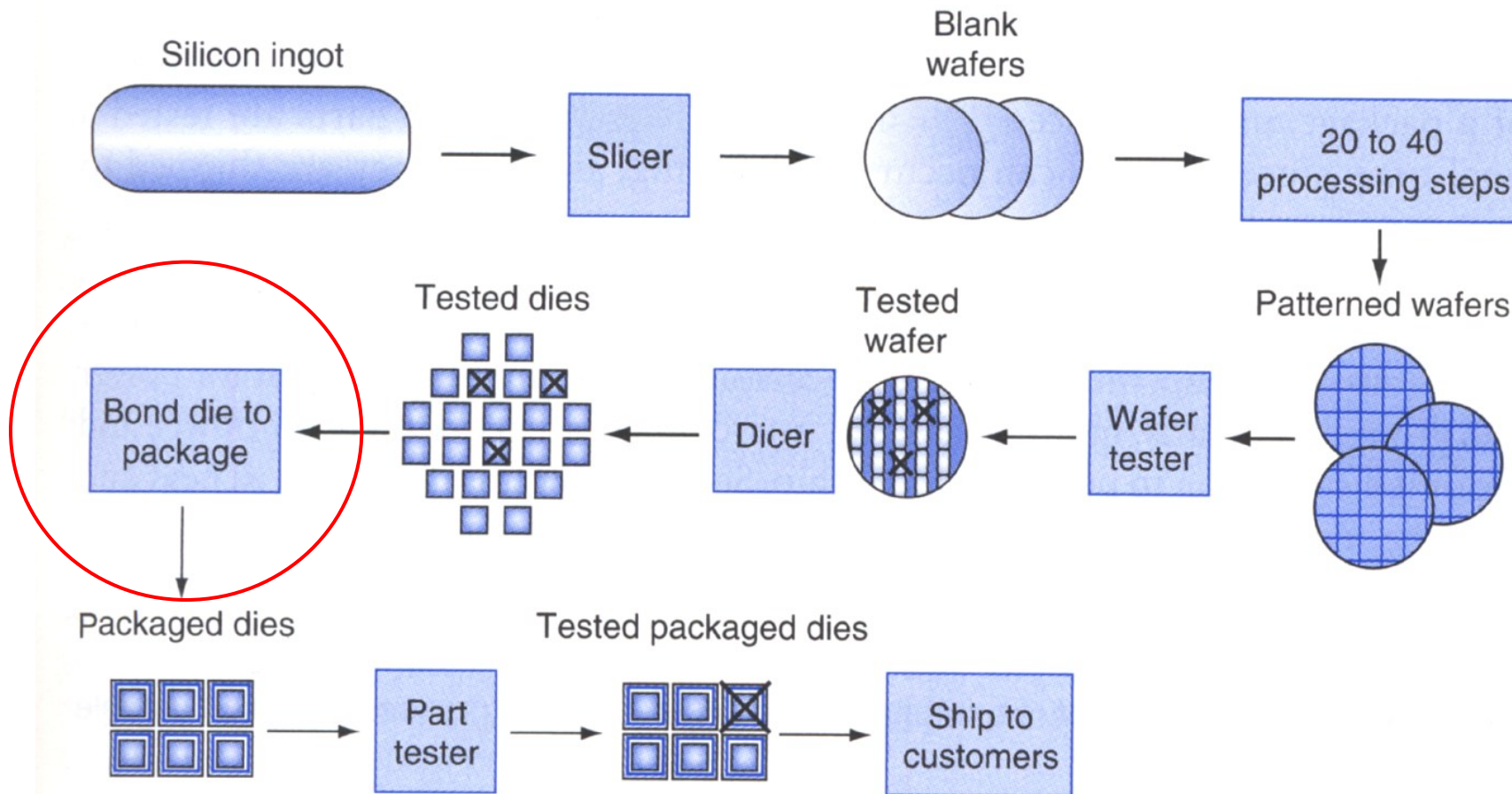
David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

1.3.3.2 Postopek izdelave VLSI digitalnih vezij



Rezina z označenimi slabimi čipi

1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition

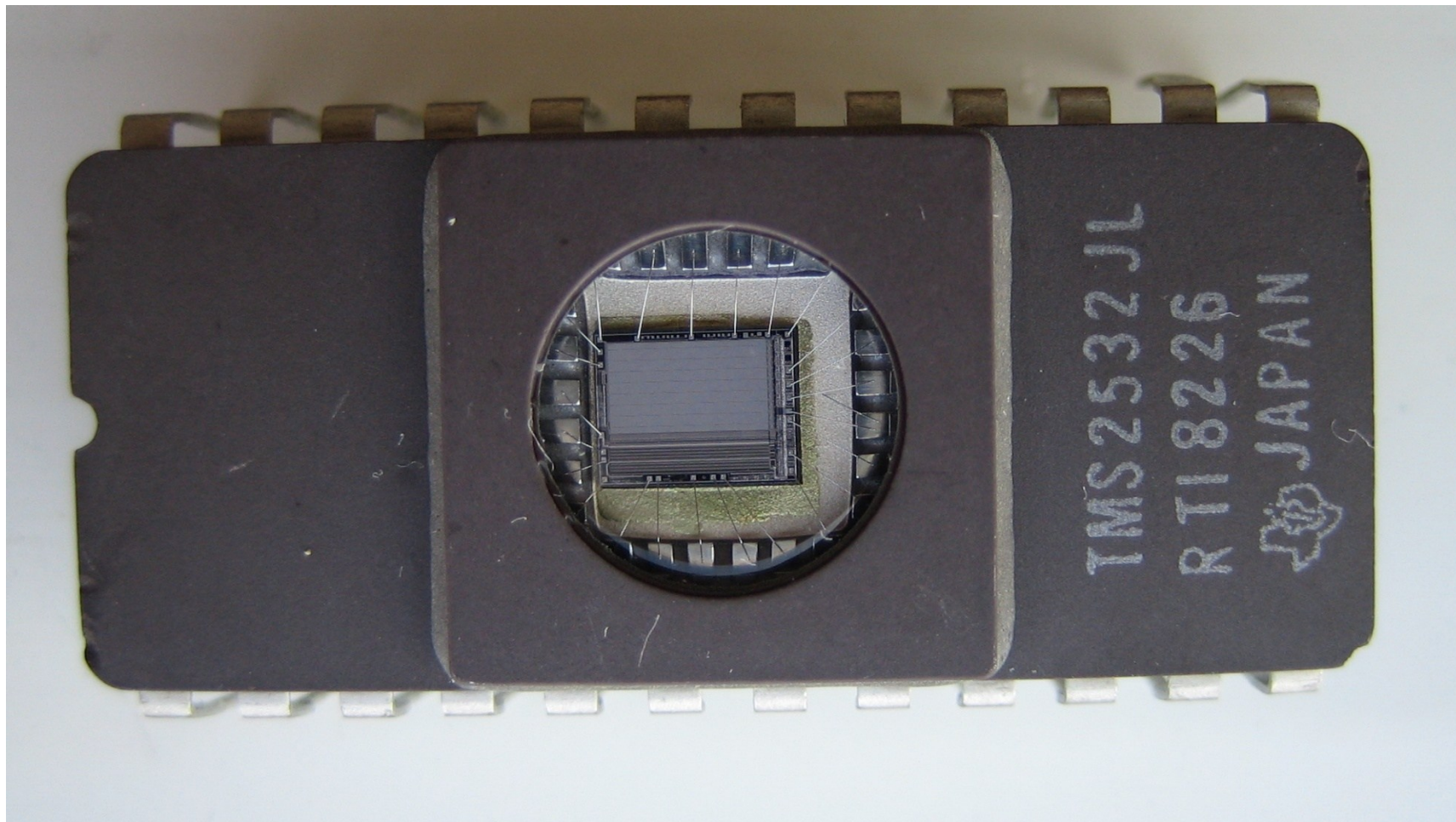
1.3.3.2 Postopek izdelave VLSI digitalnih vezij

■ Bondiranje (Bonding)

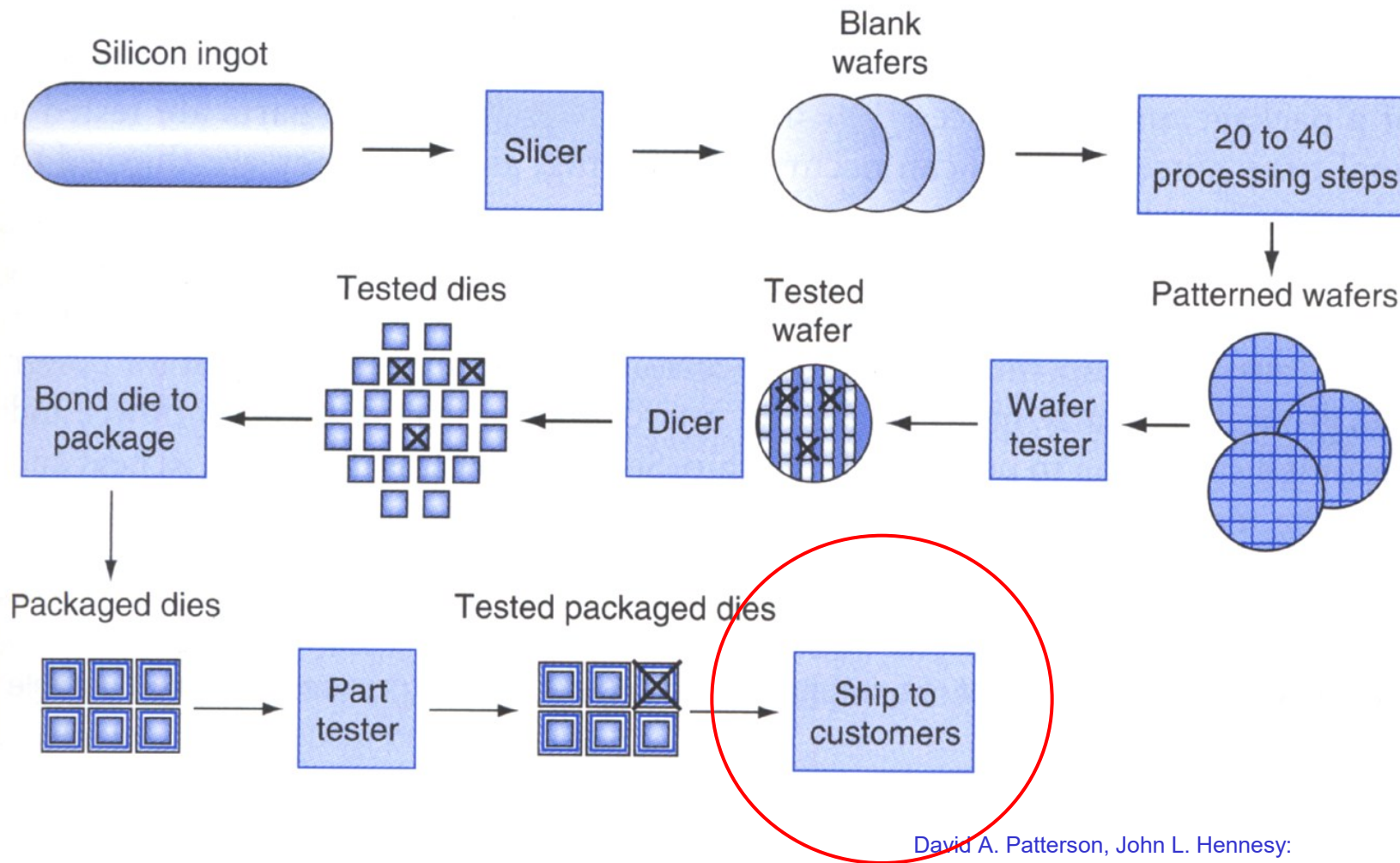


1.3.3.2 Postopek izdelave VLSI digitalnih vezij

■ Bondiranje (Bonding) - Primer



1.3.3.2 Postopek izdelave VLSI digitalnih vezij



David A. Patterson, John L. Hennessy:
Computer Organization and Design, Fourth Edition