

Digitalno načrtovanje

Izvajalec: prof. dr. Patricio Bulić

Asistent: Rok Češnovar

Potek vaj

- opisovanje strojne opreme z jezikom VHDL
- izgradnja sistema na čipu
 - osnovno delo s stikali, gumbi in LED
 - izgradnja krmilnikov VGA, PS2, UART, ...
 - vključitev in povezovanje PicoBlaze CPE
 - ...
- Pogoji za opravljene vaje
 - seminar

VHDL

- VHSIC Hardware Description Language
 - VHSIC = very-high-speed integrated circuits
- Jezik za opisovanje strojne opreme/digitalnega vezja ter modeliranje/simulacijo vezij
- VHDL opis bomo sintetizirali in programirali programabilno logično vezje (FPGA)

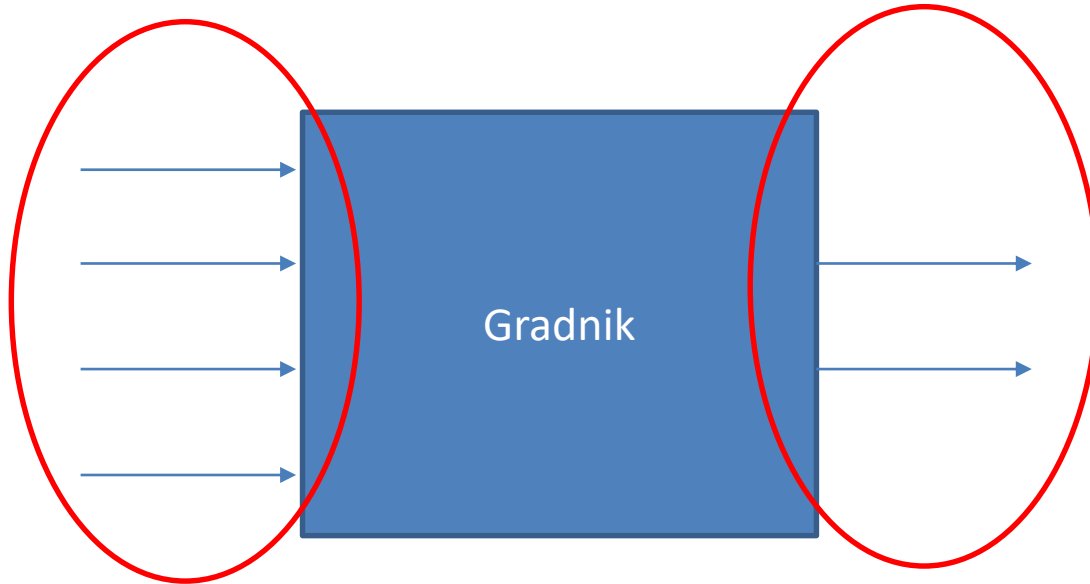
Oprema

- Programska oprema
 - Xilinx ISE Webpack (Povezava na e-učilnici)
- Strojna oprema
 - Razvojni plošča Digilent Nexys2
 - Xilinx Spartan 3E-500 FPGA s 50 MHz uro
 - Vhod/izhod: VGA, PS2, RS232, gumbi, stikala, LED, 7 segmentni prikazovalnik, ...
 - Razvojni plošča Digilent Nexys4
 - Xilinx Artix-7 s 100 MHz uro
 - Vhod/izhod: VGA, USB (PS2 emulator), LED, gumbi, stikala, 7 segmentni prikazovalnik, 3-barvni LED, accelerometer/gyroscope, ...

Opis osnovnega gradnika

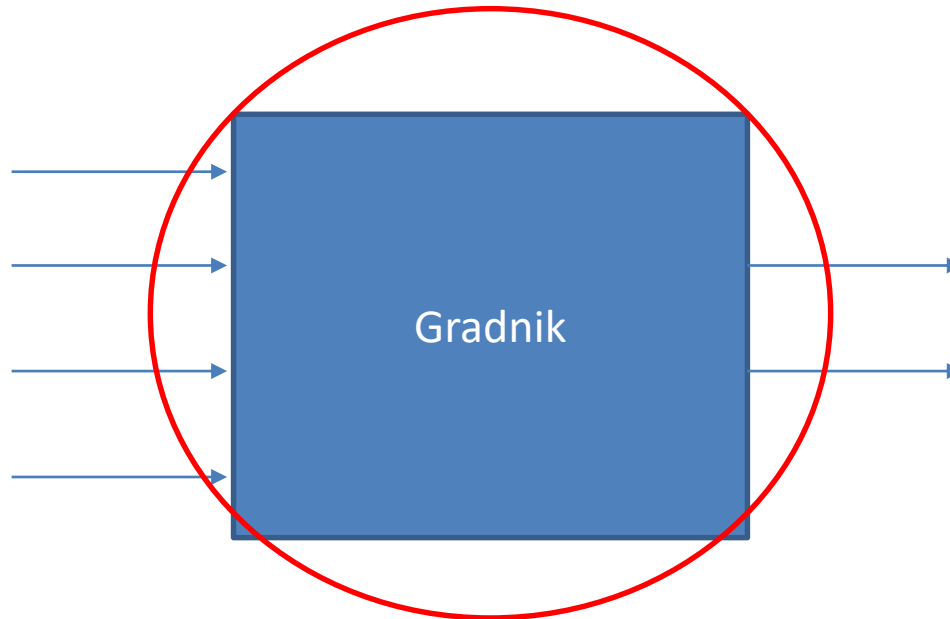


Opis osnovnega gradnika



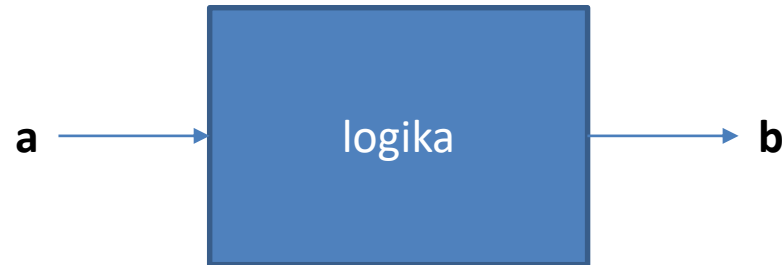
Definiramo zunanje signale gradnika

Opis osnovnega gradnika



Definiramo delovanje gradnika – kaj "počne" s signali

Opis vhoda/izhoda - primer



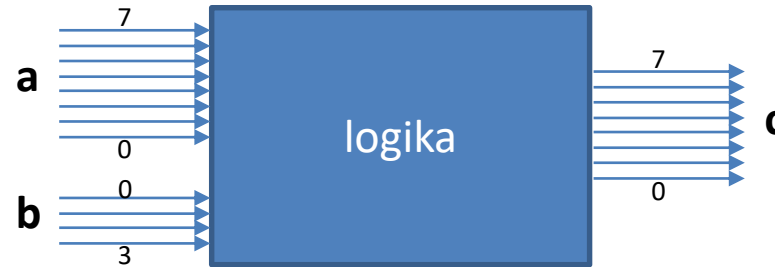
```
entity ime_gradnika is
  port(
    a: in std_logic;
    b: out std_logic
  );
end ime_gradnika;
```


Opis zunanjih signalov

```
entity ime_vezja is
port (
    ime_signala : smer tip_signala;
    ime_signala_2 : smer tip_signala;
    ...
    ime_signala_n: smer tip_signala
);
end ime_vezja;
```

- Smer: in, out, inout
- Tip signala: std_logic, std_logic_vector()

Opis vhoda/izhoda – primer 2



```
entity ime_gradnika is
  port(
    a: in std_logic_vector(7 downto 0);
    b: in std_logic_vector(0 to 3);
    c: in std_logic_vector(7 downto 0);
  );
end ime_gradnika;
```

Opis delovanja (logike) gradnika

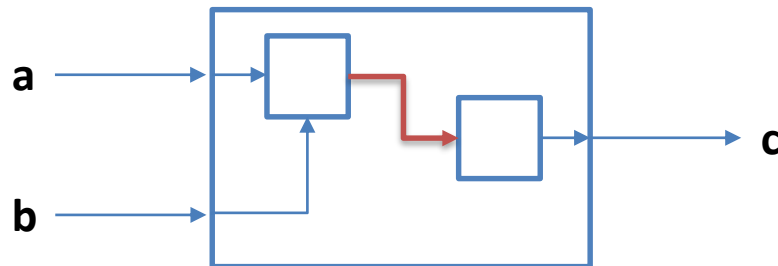
```
architecture opis_vezja of ime_gradnika is
//deklaracija notranjih signalov
begin
    //stavki za opis vezja
end opis_vezja;
```

Deklaracija notranjih signalov

architecture Behavioral of ime_vezja is

```
    signal ime_signala: tip_signala;
```

```
begin ...
```



Prireditveni stavek

Sintaksa:

```
signal <= izraz;
```

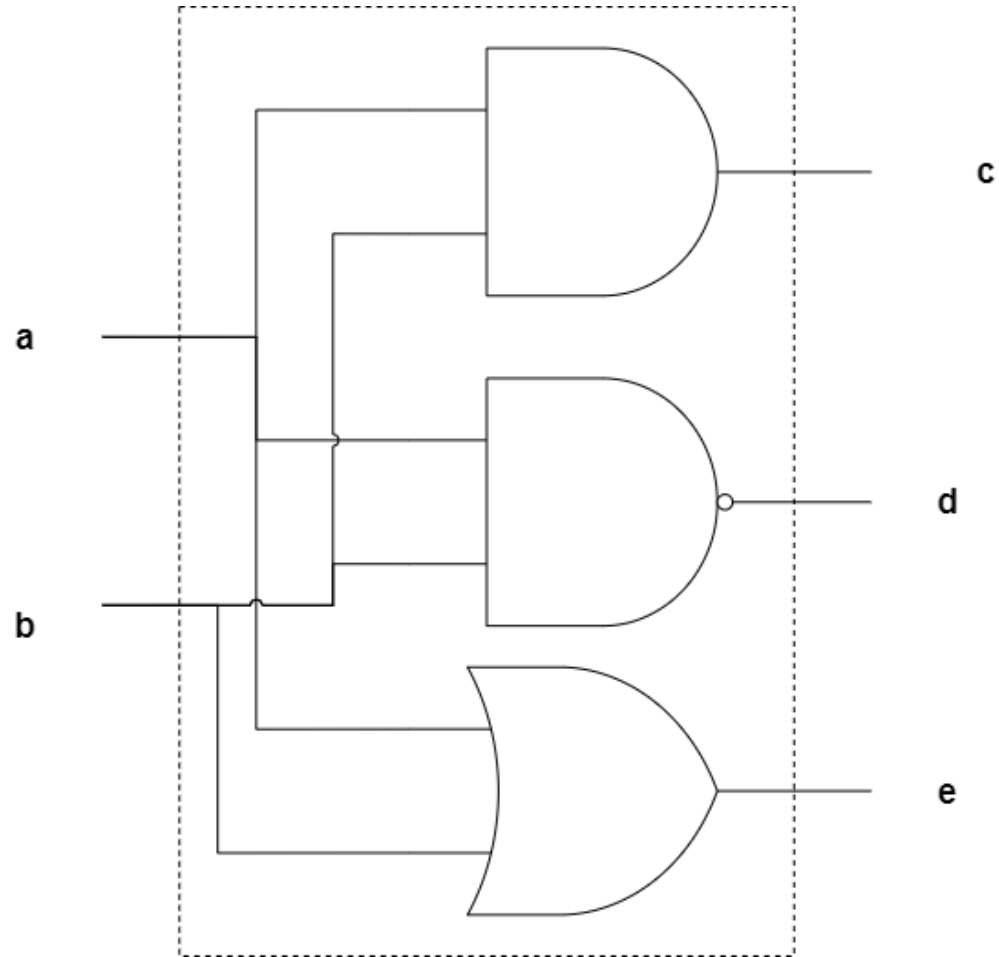
Primeri:

```
a <= '0'; //prireditev konstante
```

```
b <= "01001"; //prireditev konstante za vektor
```

```
c(3 downto 0) <= "0111"; //prireditev delu vektorja
```

Primer



Primer – dvovhodna logična vrata

```
entity logicna_vrata is
  port(
    a: in std_logic;
    b: in std_logic;
    c: out std_logic;
    d: out std_logic;
    e: out std_logic
  );
end logicna_vrata ;
```

Opis parametrov in signalov

- Uporabe osnovni logičnih operatorjev
 - and, nand, or, nor, xor, xnor, not

```
architecture Behavioral of logica_vrata is  
begin
```

```
    //stavki za opis vezja
```

```
    c <= a and b;
```

```
    d <= a nand b;
```

```
    e <= a or b;
```

```
end Behavioral ;
```


Pogojni prireditveni stavek

```
signal <= izraz1 when pogoj1 else izraz2;
```

```
signal <= izraz1 when pogoj1 else  
        izraz2 when pogoj2 else  
        izraz3;
```

Pogojni operatorji:

- enako, ni enako =, /=
- večje, manjše, ... >, <, >=, <=

Signali gradnika in FPGA

- Pred sintezo je za glavni (zunanji) gradnik potrebno določiti kam naj bodo povezani zunanji signali
 - npr.: a in b sta stikala, c & d led diode
- To počnemo v t.i. UCF datoteki (user constraints file)
- Sintaksa

```
NET "a" LOC = "J14";
```

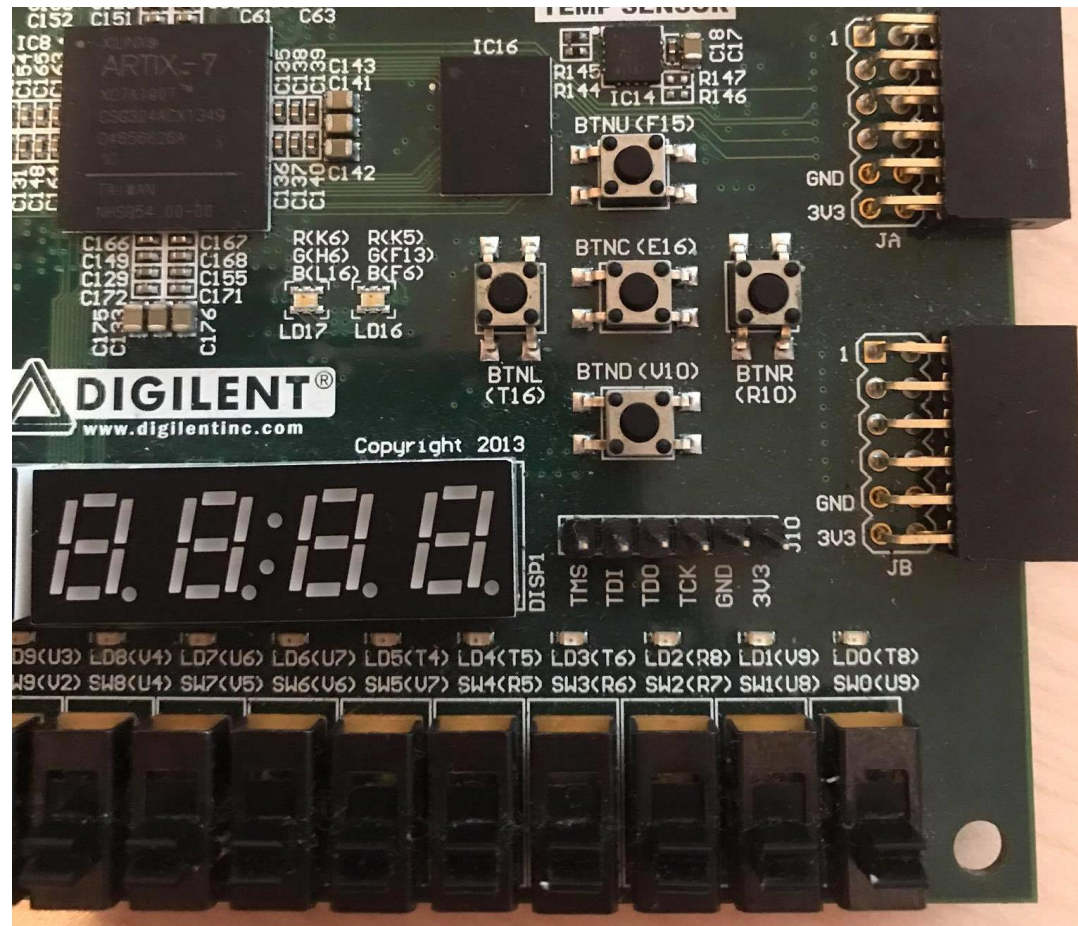
```
# vektor
```

```
NET "b<1>" LOC = "H18";
```

```
NET "b<0>" LOC = "G18";
```

- Oznako fizičnega vhoda/izhoda najdete v reference manual-u razvojne plošče ali neposredno na razvojni plošči

Oznake pinov - razvojna plošča



Projekt v Xilinx ISE Design Tools – Nexys2

- Odprite Project Navigator
- File -> New Project
 - Izberite ime in direktorij
- Izberite naslednje nastavitve -> Next -> Finish

Project Settings

Specify device and project properties.
Select the device and design flow for the project

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan3E
Device	XC3S500E
Package	FG320
Speed	-5
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	Verilog
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

Projekt v Xilinx ISE Design Tools – Nexys4

- Odprite Project Navigator
- File -> New Project
 - Izberite ime in direktorij
- Izberite naslednje nastavitve -> Next -> Finish

Property Name	Value
Top-Level Source Type	HDL
Evaluation Development Board	None Specified
Product Category	All
Family	Artix7
Device	XC7A100T
Package	CSG324
Speed	-1
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

Naloge

- Vzpostavite prvi projekt in napišite VHDL modul s katerim boste prižigali/ugašali LED diodo
- Realizirajte primerjalnik dveh štiri-bitnih števil (vsako število = štiri stikala)
 - izhod=2, ko je prvo število večje
 - izhod=1, ko je prvo število manjše
 - izhod=0, ko sta števili enaki