



# Digitalna vezja UL, FRI

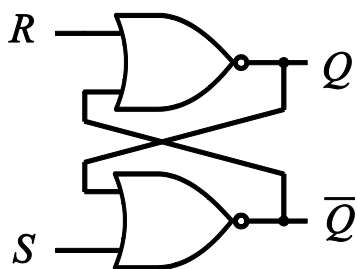


Vaja 8, Pomnilne celice, logična vrata, MUX

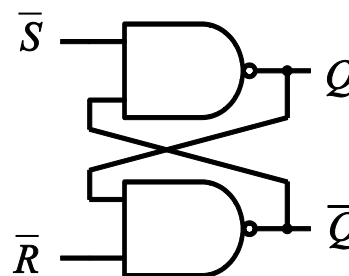
# Pomnilne celice

□ Krmilna vhoda:

- RESET (R) - izhod Q se postavi na 0 ( $Q = 0, \bar{Q} = 1$ )
- SET (S) - izhod Q se postavi na 1 ( $Q = 1, \bar{Q} = 0$ )



R	S	$Q(t+1)$
0	0	$Q(t)$
0	1	1
1	0	0
1	1	X



$\bar{R}$	$\bar{S}$	$Q(t+1)$
0	0	X
0	1	0
1	0	1
1	1	$Q(t)$

Pomnilna enačba:  $Q(t + 1) = \bar{R} \cdot Q(t) \vee \bar{R} \cdot S$

J	K	$Q(t + 1)$
0	0	$Q(t)$
0	1	0
1	0	1
1	1	$\bar{Q}(t)$

$$Q(t + 1) = \bar{K} \cdot Q(t) \vee J \cdot \bar{Q}(t)$$

J=K (T)	$Q(t + 1)$
0	$Q(t)$
1	$\bar{Q}(t)$

$$Q(t + 1) = \bar{T} \cdot Q(t) \vee T \cdot \bar{Q}(t)$$

D	$Q(t + 1)$
0	0
1	1

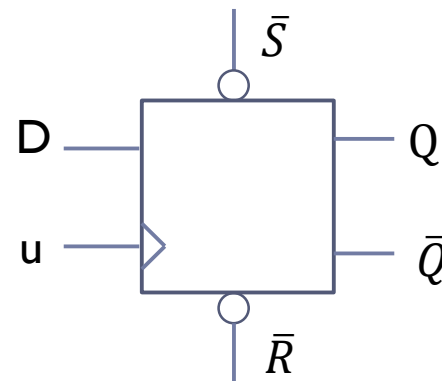
$$Q(t + 1) = D$$

□ Vzbujevalna tabela: RS, JK, D, J=K

Q(t)	Q(t+1)	R	S	J	K	J=K	D
0	0	X (0,1)	0	0	X (0,1)	0	0
0	1	0	1	1	X (0,1)	1	1
1	0	1	0	X (0,1)	1	1	0
1	1	0	X(0,1)	X (0,1)	0	0	1

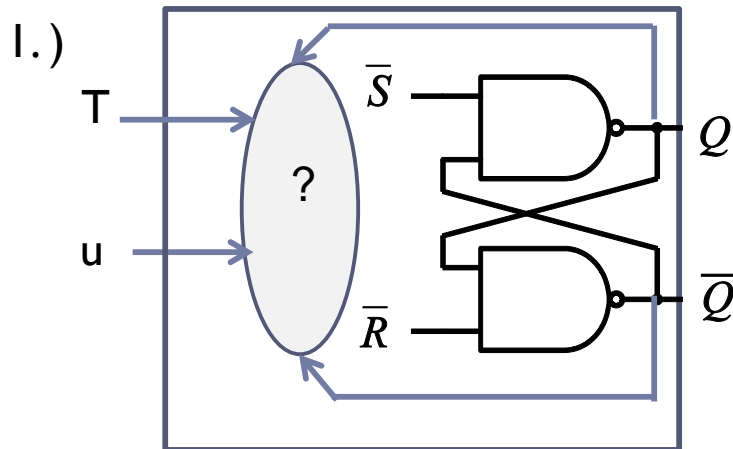
□ Asinhronski vhodi pomnilne celice D – stanje se spremeni neodvisno od urinega signala

- Vhod  $\bar{S} = 0$  (SET) – izhod  $Q = 1$
- Vhod  $\bar{R} = 0$  (RESET) – izhod  $Q = 0$



# N1: Sinhronska pomnilna celica T

- Za realizacijo sinhronske pomnilne celice T z NAND operatorji določite:
  1. Blok shemo za načrtovanje.
  2. Pravilnostno tabelo za  $\bar{R}$ ,  $\bar{S}$  v povratni vezavi dveh NAND operatorjev.
  3. Pravilnostno tabelo za delovanje T pomnilne celice (vhoda T in Q, izhod  $Q(t+1)$ ).
  4. Vzbujevalne vrednosti za  $\bar{R}$ ,  $\bar{S}$ .
  5. Krmilni funkciji  $\bar{R}$ ,  $\bar{S}$  z NAND operatorji.
  6. Logično shemo vezja.



2.)

$\bar{R}$	$\bar{S}$	$Q(t+1)$
0	0	x
0	1	0
1	0	1
1	1	$Q(t)$

# N1 Rešitev

3.) in 4.)

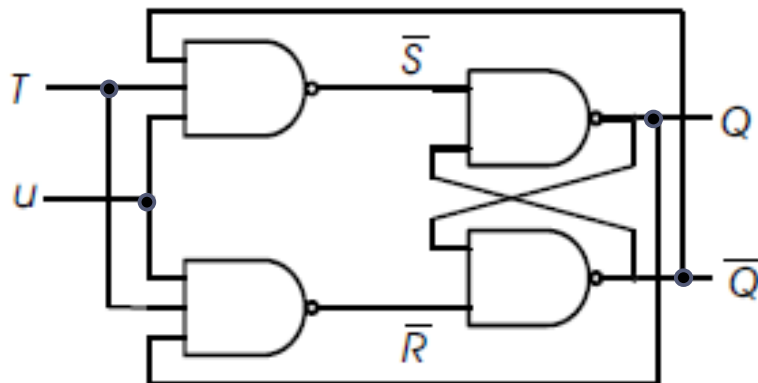
$T$	$Q(t)$	$Q(t+1)$	$\bar{R}$	$\bar{S}$
0	0	0	x	1
0	1	1	1	x
1	0	1	1	0
1	1	0	0	1

5.)

$$\text{red } x=1: \bar{R} = \bar{T} \vee \overline{Q(t)} = \overline{T \cdot Q(t)}$$

$$\text{red } x=1: \bar{S} = \bar{T} \vee Q(t) = \overline{T \cdot \overline{Q(t)}}$$

6.)

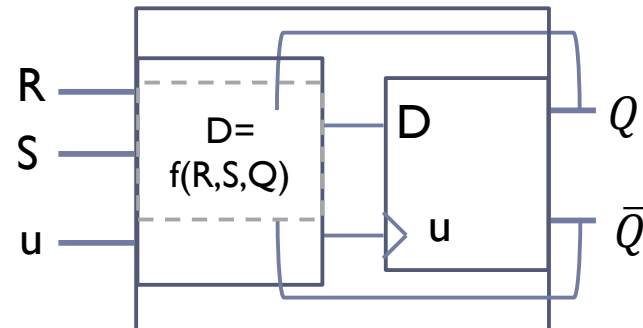
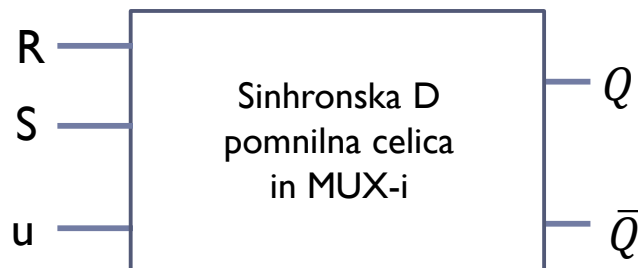


# N2 Sinhronska pomnilna celica RS

□ Za realizacijo sinhronske pomnilne celice zapišite:

1. Pravilnostno tabelo za delovanje RS pomnilne celice.
2. Vzbujevalne vrednosti za realizacijo z D pomnilno celico.
3. Definirajte MDNO za krmilno funkcijo D.
4. Krmilno funkcijo D zapišite z:
  - 4/I MUX
  - 2/I MUX
5. Realizirajte pomnilno celico RS v logisimu.

Vhodi in izhodi sinhronske pomnilne celice RS, ki je realizirana s sinhronsko pomnilno celico D.



1.)

R	S	Q(t)	Q (t+1)	D
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	X	x
1	1	1	X	x

2.)

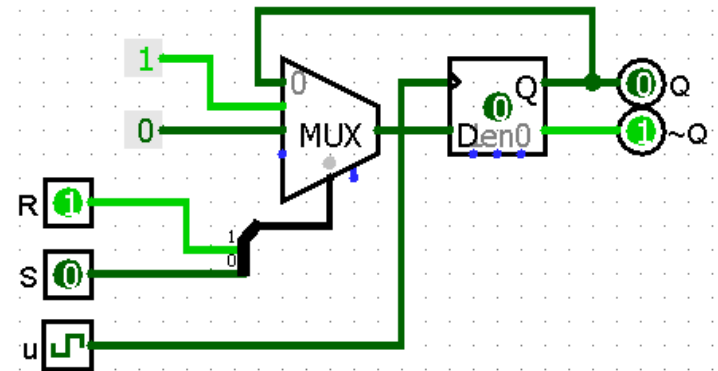
	$\bar{Q}$	Q
$\bar{R}\bar{S}$		1
$\bar{R}S$	1	1
$RS$	x	x
$R\bar{S}$		

$$D = S \vee \bar{R} \cdot Q(t)$$

3.) 4/1 MUX,  $A_1 = R$ ,  $A_0 = S$

R	S	Q(t)	Q (t+1)=D	MUX 4/1
0	0	0	0	
0	0	1	1	$I_0 = Q(t)$
0	1	0	1	
0	1	1	1	$I_1 = 1$
1	0	0	0	
1	0	1	0	$I_2 = 0$
1	1	0	X	
1	1	1	X	$I_3 = x (0,1)$

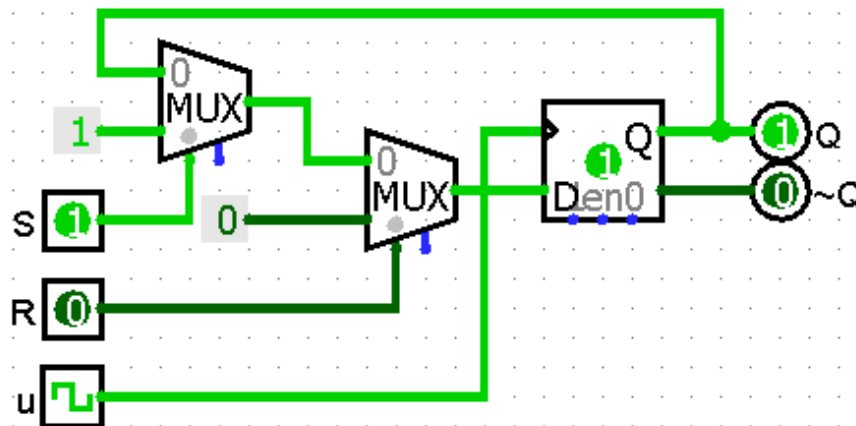
4)



### 3.) Realizacija z 2/1 MUX, $A_0 = R$

$R$	$S$	$Q(t)$	$Q(t+1)=D$	MUX 2/1 $A_0=R$	MUX 2/1 $A_0=S$
0	0	0	0		
0	0	1	1		$I_0=Q(t)$
0	1	0	1	$I_0=$ $S \vee Q(t)$	$I_1=1$
0	1	1	1		
1	0	0	0		
1	0	1	0		
1	1	0	X		
1	1	1	X	$I_1=0$	

### 4.)





# N3 Sinhronska pomnilna celica D

- Realizacija sinhronske D pomnilne celice, če je za pomnjenje uporabljena sinhronska JK pomnilna celica. Naloge:
  1. Zapišite karakteristični (pravilnostni) tabeli za pomnilni celici D in JK.
  2. V tabeli za pomnilno celico D zapišite vzbujevalne vrednosti za njeno realizacijo z JK, tako da sta krmilni funkciji:
    - a)  $J=?$  In  $K=?$ ;
    - b)  $J=K = ?$
  3. Za realizacijo uporabite vrata AND, OR, NAND, XOR. Vsak krmilni signal pomnilne celice JK naj bo določen samo z enimi vrati.

Vhodi in izhodi sinhronske pomnilne celice RS, ki je realizirana s sinhronsko pomnilno celico D.

