



Digitalna vezja UL, FRI



Vaja 9 Sekvenčna vezja, pomnilne celice

Pomnilne celice: RS, JK, D, T

RS (reset, set)

r	s	$q(t + 1)$
0	0	$q(t)$
0	1	1
1	0	0
1	1	X (r.s=0)

$$q(t + 1) = q(t) \cdot \bar{r} \vee s$$

JK (jump, kill)

k	j	$q(t + 1)$
0	0	$q(t)$
0	1	1
1	0	0
1	1	$\bar{q}(t)$

$$q(t + 1) = q(t) \cdot \bar{k} \vee \bar{q}(t) \cdot j$$

D (delay)

d	$q(t + 1)$
0	0
1	1

$$q(t + 1) = d$$

T (trigger)

t	$q(t + 1)$
0	$q(t)$
1	$\bar{q}(t)$

$$q(t + 1) = q(t) \cdot \bar{t} \vee \bar{q}(t) \cdot t$$

V nadaljevanju bomo uporabljali $D^1 q = q(t + 1)$ in $q = q(t)$

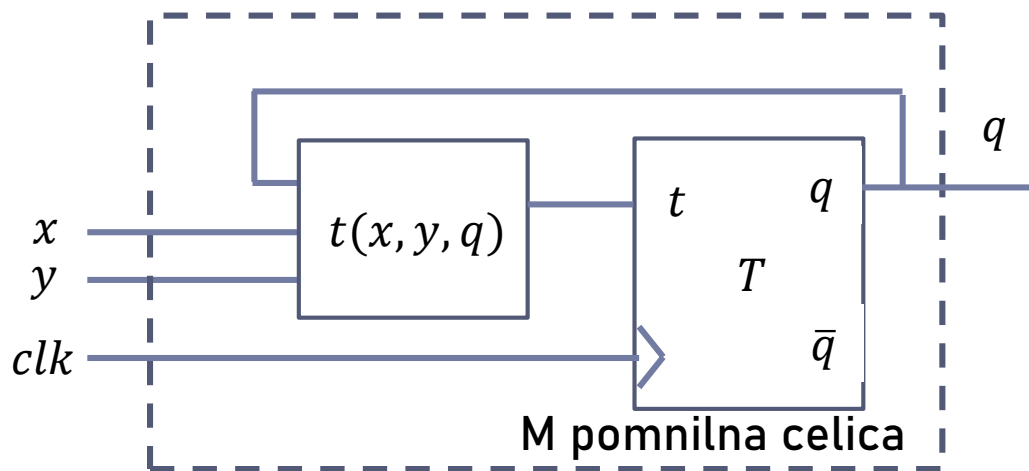
Izvedba sekvenčnih vezij s pomnilnimi celicami

Zgled: S pomočjo T pomnilne celice realiziraj pomnilno calico M, ki deluje po enačbi

$$D^1q = q(x \cdot \bar{y}) \vee \bar{q}(y \rightarrow x)$$

Tabela, ki določa delovanje M celice

Blok shema za načrtovanje



x	y	q	D^1q
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Kontrolna tabela

t	$q(t + 1)$
0	$q(t)$
1	$\bar{q}(t)$

Vzbujevalna tabela

q	D^1q	t
0	0	0
0	1	1
1	0	1
1	1	0

Tabela delovanja pomnilne celice M

x	y	q	D^1q	t
0	0	0	1	1
0	0	1	0	1
0	1	0	0	0
0	1	1	0	1
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	1

		y, q			
		00	01	11	10
x	0	1	1	1	
	1	1		1	1

$$t = \bar{x}q \vee xy \vee \bar{y}\bar{q}$$



Realizacija za pomnilne celice RS, JK in D

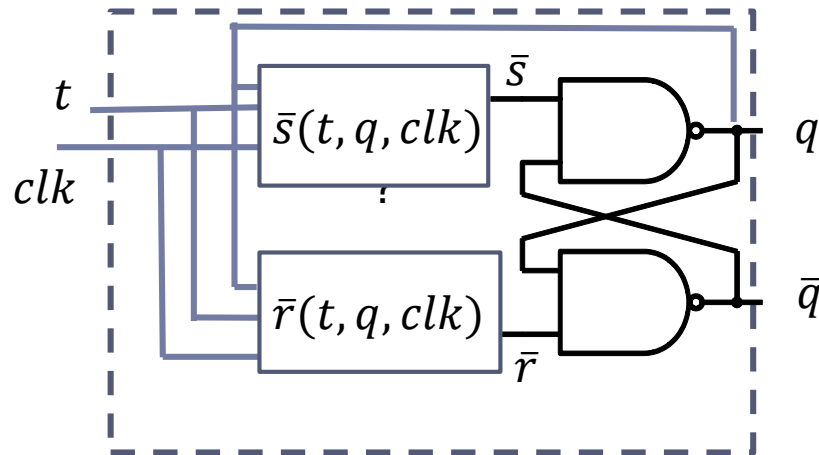
x	y	q	D^1q	r	s	k	j	d
0	0	0	1					
0	0	1	0					
0	1	0	1					
0	1	1	0					
1	0	0	0					
1	0	1	1					
1	1	0	1					
1	1	1	0					



Izvedba sekvenčnih vezij s pomnilnimi celicami

Zgled: S NAND operatorji realizirajte sinhronsko pomnilno celico T.

1. Blok shemo za načrtovanje.



2. Pravilnostno tabelo za vhoda \bar{r} , \bar{s} v povratni vezavi dveh NAND operatorjev.

\bar{r}	\bar{s}	D^1q
0	0	x
0	1	0
1	0	1
1	1	q

3. Pravilnostno tabelo za delovanje T pomnilne celice (vhoda t in q , izhod D^1q) in vhoda \bar{r} , \bar{s} za podane prehode.

t	q	D^1q	\bar{r}	\bar{s}
0	0	0	?	1
0	1	1	1	?
1	0	1	1	0
1	1	0	0	1

4. Krmilni funkciji \bar{r} , \bar{s} z NAND operatorji.

		q	
		00	01
t	0	?	1
	1	1	

		q	
		00	01
t	0	1	?
	1		1

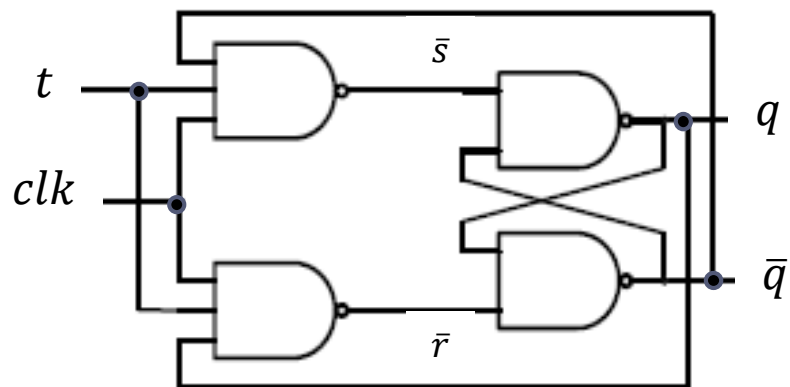
$$\bar{r} = \bar{t} \vee \bar{q} = \overline{t \cdot q} = t \downarrow q$$

$$\bar{s} = \bar{t} \vee q = \overline{t \cdot \bar{q}} = t \downarrow \bar{q}$$

5. Logično shemo vezja.

$$\bar{r} = \bar{t} \vee \bar{q} = \overline{t \cdot q} = t \downarrow q$$

$$\bar{s} = \bar{t} \vee q = \overline{t \cdot \bar{q}} = t \downarrow \bar{q}$$

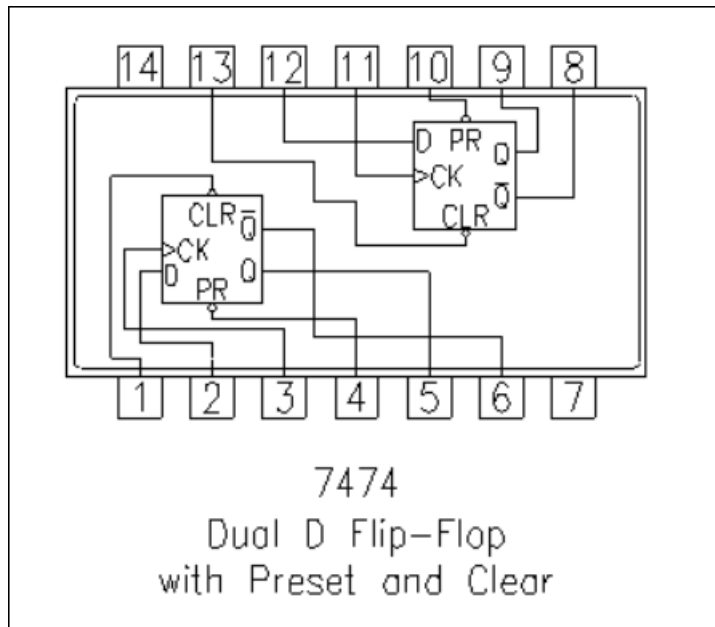


Naloge

- JK sinhronsko pomnilno celico realizirajte, tako da za pomnenje uporabite D pomnilno celico. Naloge:
 1. Blok shema za načrtovanje
 2. Pravilnostno tabelo za delovanje JK pomnilne celice.
 3. Vzbujevalne vrednosti za realizacijo z D pomnilno celico.
 4. Definirajte MDNO za krmilno funkcijo d .
 5. Realizirajte pomnilno celico JK v logisimu in na porotoboardu

- Realizacija sinhronske D pomnilne celice, če je za pomnenje uporabljena sinhronska JK pomnilna celica. Naloge:
 1. Zapišite karakteristični (pravilnostni) tabeli za pomnilni celici D in JK.
 2. V tabeli za pomnilno celico D zapišite vzbujevalne vrednosti za njeno realizacijo s pomnilno celico z JK za vhoda j in k ter za primer, ko sta vhoda povezana $j = k$.
 3. Za realizacijo uporabite vrata AND, OR, NAND, XOR. Vsak krmilni signal pomnilne celice JK naj bo določen samo z enimi vrati.

D pomnilna celica (7474)



Pin Number	Description
1	Clear 1 Input
2	D1 Input
3	Clock 1 Input
4	Preset 1 Input
5	Q1 Output
6	Complement Q1 Output
7	Ground
8	Complement Q2 Output
9	Q2 Output
10	Preset 2 Input
11	Clock 2 Input
12	D2 Input
13	Clear 2 Input
14	Positive Supply

Vir: <https://www.futurlec.com/74/IC7474.shtml>