

Digitalna vezja

2025/2026

Miha Moškon

miha.moskon@fri.uni-lj.si

<https://fri.uni-lj.si/en/about-faculty/employees/miha-moskon>

Vsebina predmeta

- Uvod
- Delovanje digitalnih elektronskih vezij, logične družine
- Logične funkcije in Booleova algebra
- Oblike zapisa logičnih funkcij
- Minimizacija (Karnaughjevi diagrami, Quince-McCluskey metoda)
- Funkcijska polnost
- Strukturalna vezja (multiplekser, dekodirnik, kodirnik)
- Osnove dvojiške aritmetike
- Sekvenčna vezja in pomnjenje
- Registri in števci
- Avtomati
- Načrtovanje enostavnega procesorja

Osnovna literatura

Zapiski s predavanj + povzetki (učilnica)

Knjiga: John F. Wakerly, Digital design: Principles & Practices

(http://ebook.pldworld.com/eBook/DIGITAL%20DESIGN%20PRINCIPLES%20&%20PRACTICES%203rd%20Edition/digital_design-third_edition-1.pdf)

Vaje + malo teorije: Miha Moškon, Priprave na vaje za predmet Osnove digitalnih vezij

(https://github.com/mmoskon/ODV_skripta/raw/master/ODV_skripta.pdf)

Učbenik: Mira Trebar, Osnove logičnih vezij

Potek predmeta

Predavanja

Laboratorijske vaje (računalniška učilnica)

- delo v simulacijskem okolju (Logisim, Logisim Evolution)
- delo na *proto*board-ih
- sprotno ocenjevanje laboratorijskih nalog

Pisni in ustni izpit

Kolokvij

Uvod: kaj so digitalna vezja?

Predstavitev informacij s števki (angl. *digits*) – diskretna predstavitev

Običajno dvojiška (binarna) digitalna vezja – predstavitev informacij z biti (0 ali 1)

Digitalna elektronska vezja: predstavitev informacij z napetostnimi nivoji, ki določajo logično 0 oziroma logično 1

Gradijo današnje računalnike (od procesorja do vhodno/izhodnih naprav)

Nivo predmeta

Osnove delovanja gradnikov digitalnih elektronskih vezij

Sodobna orodja omogočajo gradnjo digitalnih vezij na višjih nivojih abstrakcije

Nivo logičnih vrat, registrov, pomnilnih celic

Logične družine

Digitalna vezja

Miha Moškon

miha.moskon@fri.uni-lj.si

<https://fri.uni-lj.si/en/about-faculty/employees/miha-moskon>

Logični signali

Digitalna logika preslikuje (neskočne) zvezne vrednosti analognega elektronskega signala v logični vrednosti 0 in 1.

Lažja analiza in načrtovanje z uporabo Booleove algebre, pravilnostnih tabel,...

Logična vrednost = bit

n bitov $\rightarrow 2^n$ različnih vrednosti

Logični signali

Preslikava napetosti signala v logično vrednost – 3 regije → vmesna regija določa nedefinirano (prepovedano) področje

Jasno in zanesljivo dekodiranje stanja

Odpornost na šum

Zgodovina

Prva elektronska logična vezja: temeljila na elektromehanskih **relejih**
(Bell laboratories, 1930)

Prvi elektronski digitalni računalnik: Eniac, sredina 1940-ih let, 18000
elektronk (vacuum tubes)

Polprevodne diode, bipolarni tranzistorji: konec 1950-ih let

Integrirano vezje (IC): komponente na istem čipu, 1960-a leta

Logične družine

Logične družine: integrirana vezja s podobnimi vhodnim, izhodnimi in notranjimi karakteristikami, ki izvajajo različne logične funkcije (kompatibilnost!!!)

TTL – transistor-transistor logic:

- temelji na bipolarnih tranzistorjih BJT (bipolar junction transistor)
- mešanje component iz različnih TTL serij
- še vedno se pojavlja

CMOS –

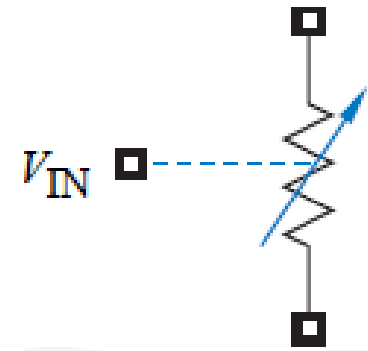
- Temelji na tranzistorjih MOSFET (metal-oxide semiconductor field effect transistor) – vpeljeni pred BJT, ampak takrat problematični za izdelavo, počasnejši, energijsko bolj učinkoviti
- CMOS (complementary MOS) v sredini 1980-ih let
- večinoma nadomestil TTL v 1990-ih letih
- VLSI – very large-scale integration, celotna naprava (npr. processor) na čipu, od 10.000 do več milijard tranzistorjev na čipu

MOS tranzistor

3 priključki: gate, drain, source

Analogija z napetostno-krmiljenim uporom:

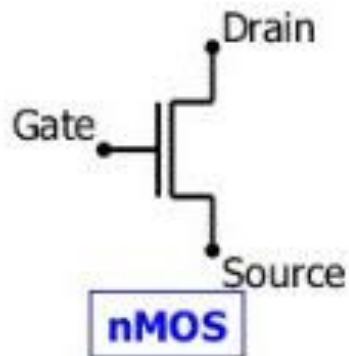
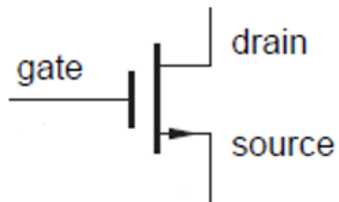
- zelo visoka upornost (izklop)
- zelo nizka upornost (vklop)



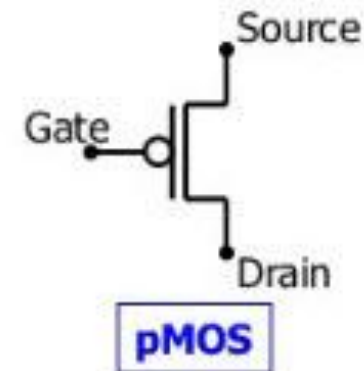
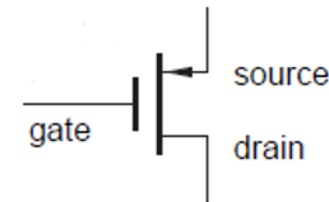
nMOS, pMOS

Tip kanala, na katerem je priključek, ki kontrolira upornost (gate – g)

nMOS



pMOS



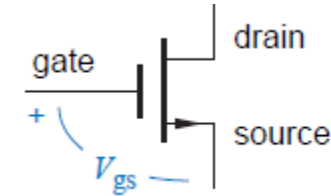
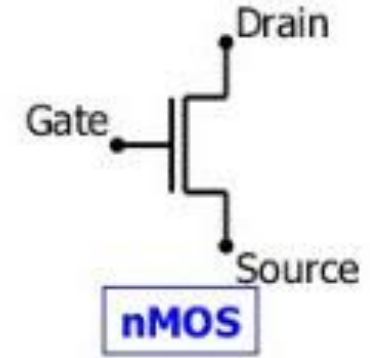
nMOS

Običajno: drain ima višjo napetost kot source

VGS: 0 ali pozitivna

$V_{GS} = 0 \rightarrow$ visoka upornost RDS

$V_{GS} > 0 \rightarrow$ nizka upornost RDS (10 Ω ali manj)



voltage-controlled resistance:
increase $V_{gs} \Rightarrow$ decrease R_{ds}

Note: normally, $V_{gs} \geq 0$

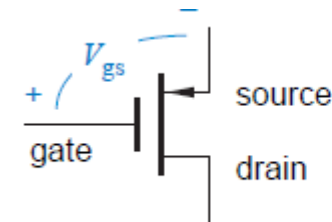
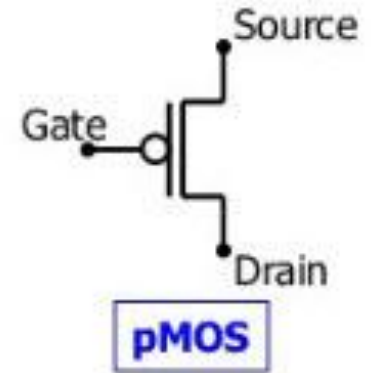
pMOS

Običajno: source ima višjo napetost kot drain

VGS: 0 ali negativna

$V_{GS} = 0 \rightarrow$ visoka upornost RDS

$V_{GS} < 0 \rightarrow$ nizka upornost RDS (10 Ω ali manj)



Voltage-controlled resistance:
decrease $V_{gs} \Rightarrow$ decrease R_{ds}

Note: normally, $V_{gs} \leq 0$

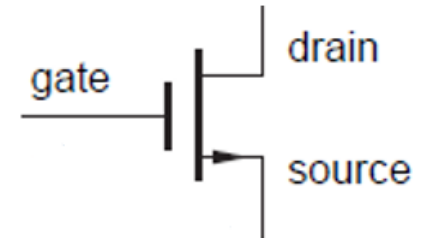
MOS delovanje

Gate ima zelo veliko impedanco – ločen od source-a in drain-a preko izolatorja z visoko upornostjo

Napetost na gate ustvari električno polje, ki omogoči (ali zavre) tok elektronov med source-om in drain-om → field effect

Skozi vrata ni praktično nič toka (puščanje – leakage current)

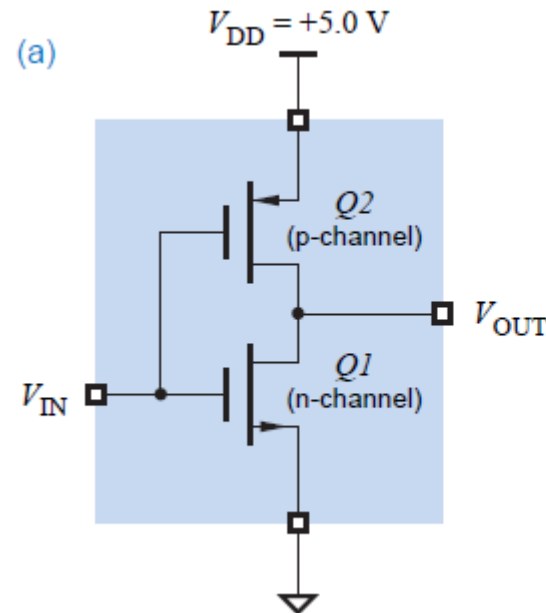
Efekt kondenzatorja (kondenzator med gate in source/drain): pri veliki hitrosti preklopov poraba moči zaradi polnjenja/praznjenja kondenzatorja



CMOS inverter

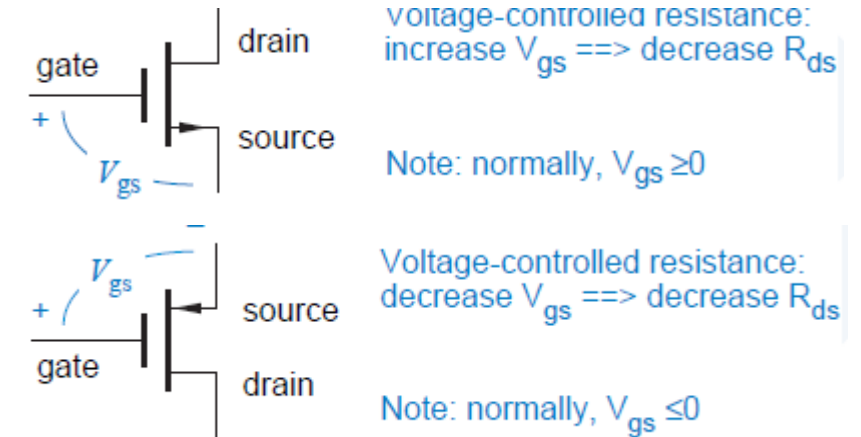
CMOS – complementary MOS – komplementarnost NMOS in PMOS tranzistorja

Napajalna napetost: V_{DD} – tipično 5 V

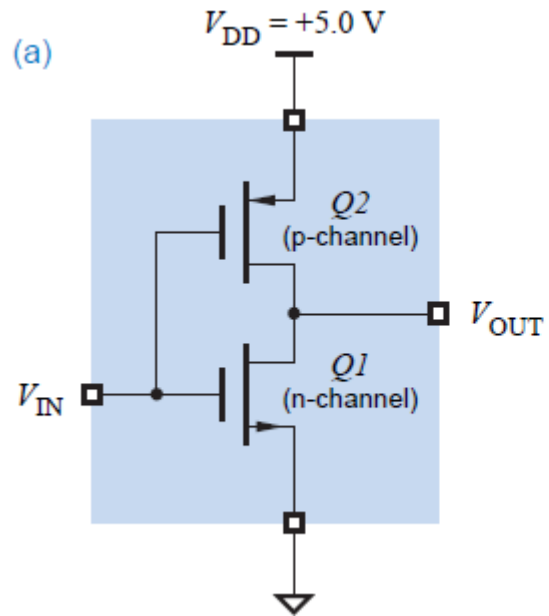


(b)

V_{IN}	$Q1$	$Q2$	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)



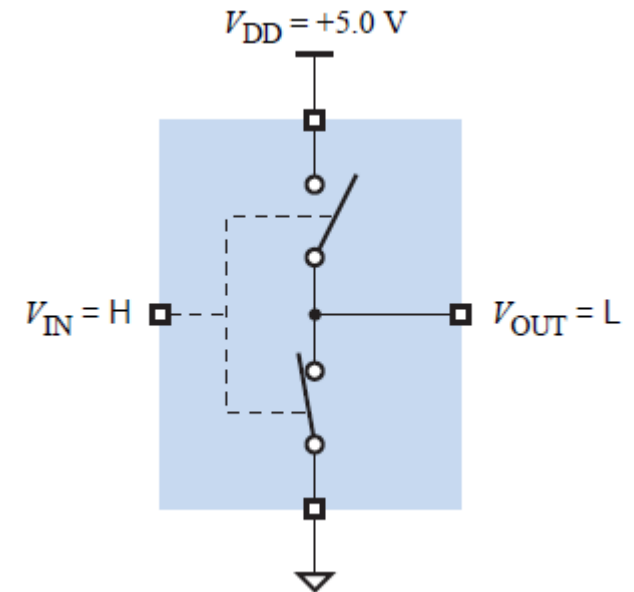
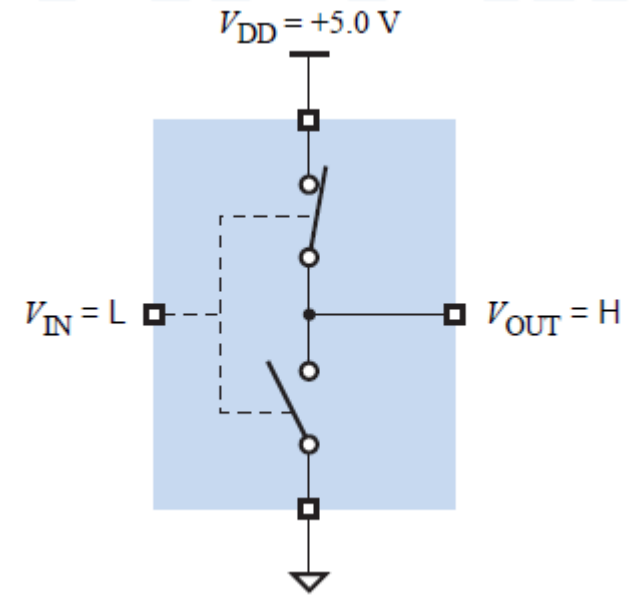
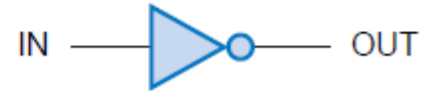
CMOS inverter



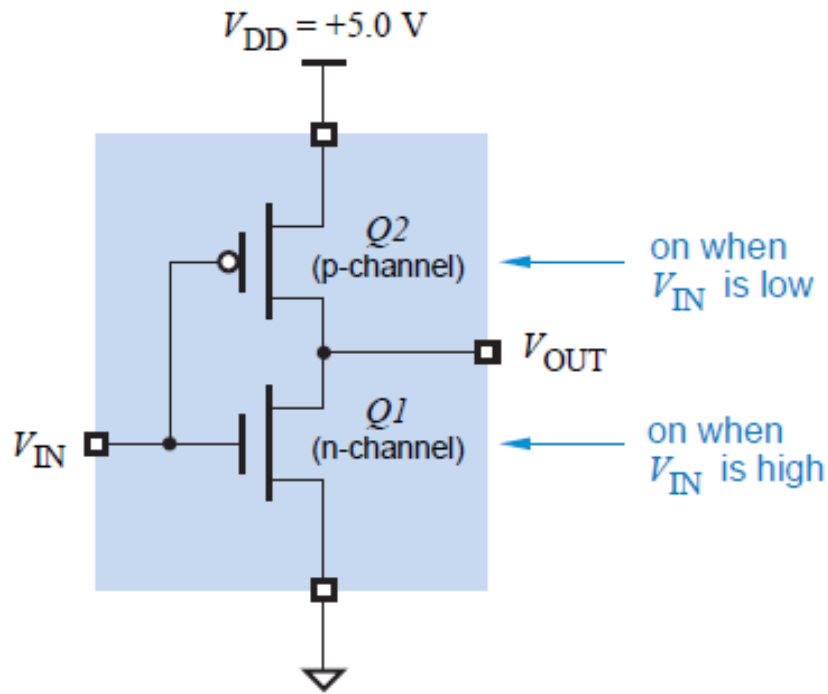
(b)

V_{IN}	$Q1$	$Q2$	V_{OUT}
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

(c)



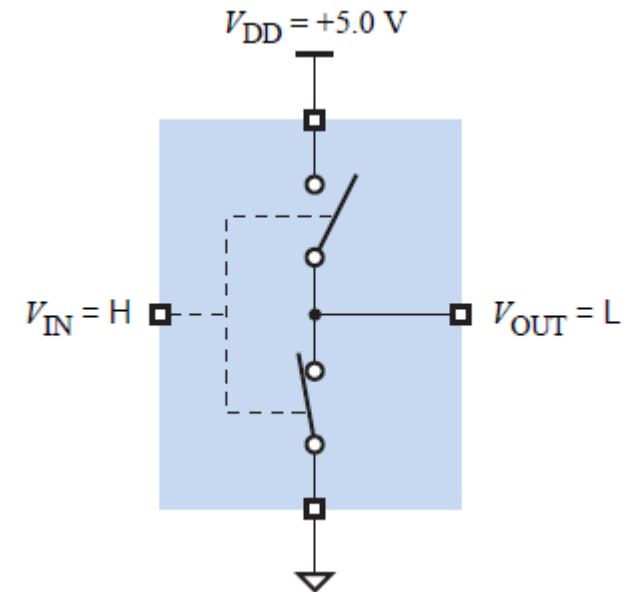
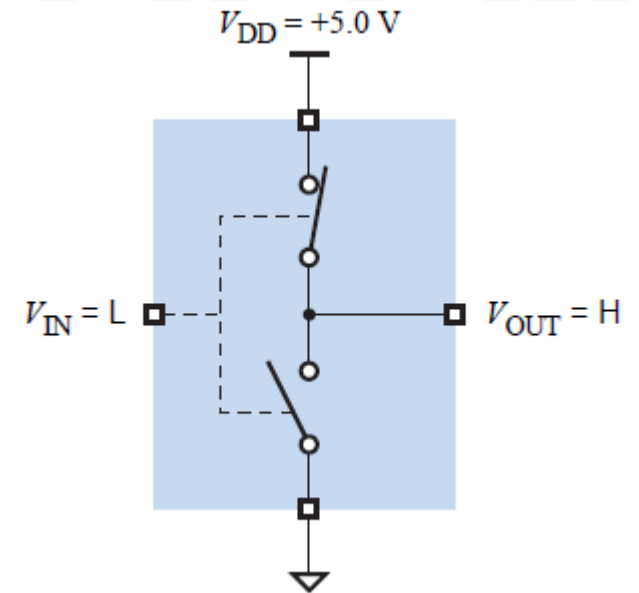
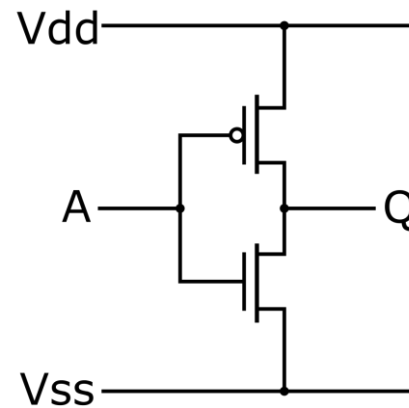
CMOS inverter



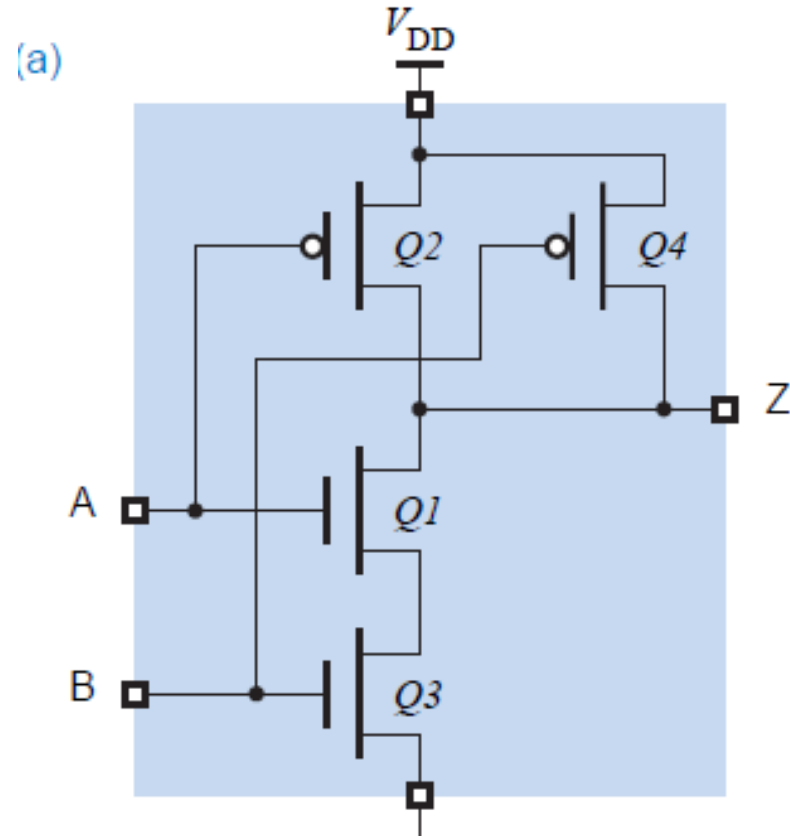
Poimenovanje izhaja iz nMOS:

V_{DD} – drain voltage (tudi V_{CC} – sicer pri TTL)

V_{SS} – source voltage (GND)



CMOS NAND



(b)

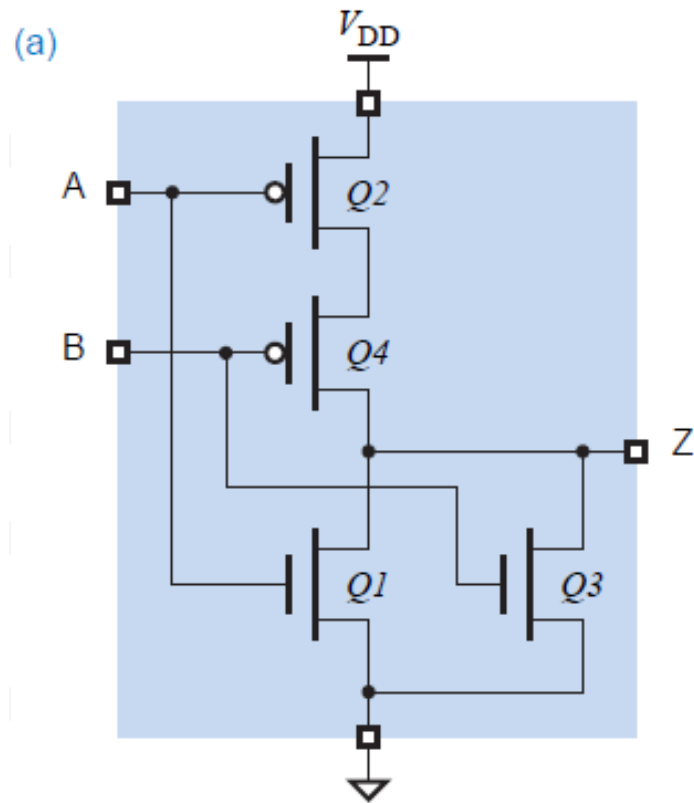
A	B	$Q1$	$Q2$	$Q3$	$Q4$	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

(c)



Dodaten vhod → dodatna 2 tranzistorja

CMOS NOR



(b)

A	B	$Q1$	$Q2$	$Q3$	$Q4$	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

(c)



Dodaten vhod → dodatna 2 tranzistorja

Električne karakteristike CMOS vezij

- Fan-in: določa število vhodov v logična vrata
- Napetostni nivoji (voltage levels): vezja morajo generirati in sprejemati napetosti v določenih razponih, ki določajo logično 0 in 1 – kompatibilnost med vezji
- Šumne meje (noise margins) – interpretacija napetosti:
 - najvišja nizka napetost na izhodu mora biti manjša od najvišje nizke napetosti na vhodu
 - najnižja visoka napetost na izhodu mora biti višji od najnižje visoke napetosti na vhodu
- Fan-out: tip in število priključkov na izhodu – vpliva na napetostne nivoje in hitrost preklopa
- Hitrost: čas preklopa in zakasnitev skozi vrata
- Poraba moči: statična in dinamična poraba

Specifikacije

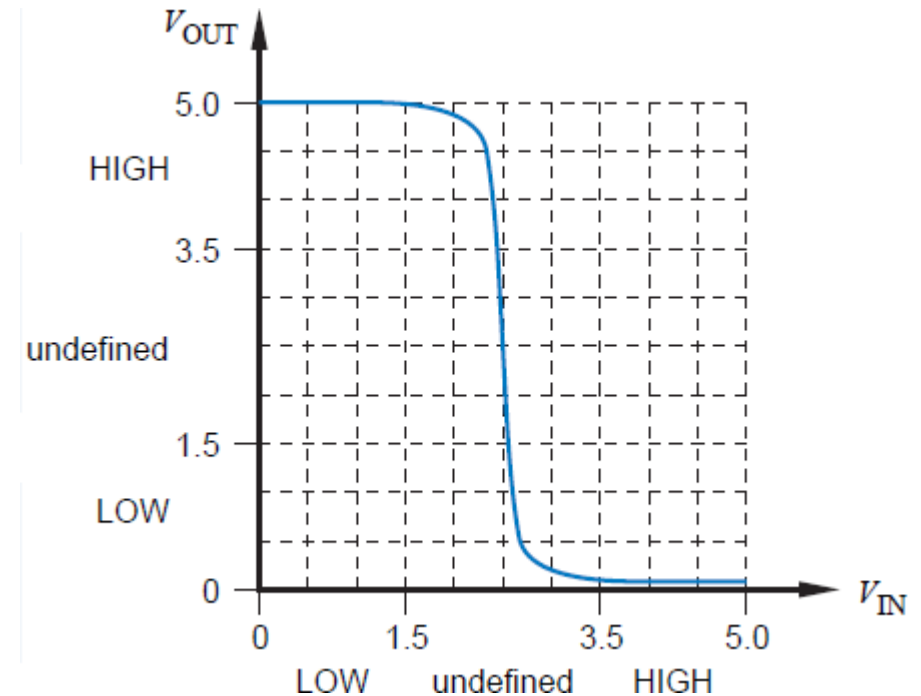
Karakteristike so navedene v specifikacijah proizvajalca naprave
(primer: 74HC00 quad NAND)

DC ELECTRICAL CHARACTERISTICS OVER OPERATING RANGE							
The following conditions apply unless otherwise specified: Commercial: $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, $V_{CC} = 5.0\text{V} \pm 5\%$; Military: $T_A = -55^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, $V_{CC} = 5.0\text{V} \pm 10\%$							
Sym.	Parameter	Test Conditions ⁽¹⁾		Min.	Typ. ⁽²⁾	Max.	Unit
V_{IH}	Input HIGH level	Guaranteed logic HIGH level		3.15	—	—	V
V_{IL}	Input LOW level	Guaranteed logic LOW level		—	—	1.35	V
I_{IH}	Input HIGH current	$V_{CC} = \text{Max.}$, $V_I = V_{CC}$		—	—	1	μA
I_{IL}	Input LOW current	$V_{CC} = \text{Max.}$, $V_I = 0\text{ V}$		—	—	-1	μA
V_{IK}	Clamp diode voltage	$V_{CC} = \text{Min.}$, $I_N = -18\text{ mA}$		—	-0.7	-1.2	V
I_{IOS}	Short-circuit current	$V_{CC} = \text{Max.}$, ⁽³⁾ $V_O = \text{GND}$		—	—	-35	mA
V_{OH}	Output HIGH voltage	$V_{CC} = \text{Min.}$, $V_{IN} = V_{IL}$	$I_{OH} = -20\text{ }\mu\text{A}$	4.4	4.499	—	V
			$I_{OH} = -4\text{ mA}$	3.84	4.3	—	V
V_{OL}	Output LOW voltage	$V_{CC} = \text{Min.}$, $V_{IN} = V_{IH}$	$I_{OL} = 20\text{ }\mu\text{A}$	—	.001	0.1	V
			$I_{OL} = 4\text{ mA}$		0.17	0.33	
I_{CC}	Quiescent power supply current	$V_{CC} = \text{Max.}$, $V_{IN} = \text{GND}$ or V_{CC} , $I_O = 0$		—	2	10	μA
SWITCHING CHARACTERISTICS OVER OPERATING RANGE, $C_L = 50\text{ pF}$							
Sym.	Parameter ⁽⁴⁾	Test Conditions		Min.	Typ.	Max.	Unit
t_{PD}	Propagation delay	A or B to Y		—	9	19	ns
C_I	Input capacitance	$V_{IN} = 0\text{ V}$		—	3	10	pF
C_{pd}	Power dissipation capacitance per gate	No load		—	22	—	pF

Vhodno-izhodna karakteristika

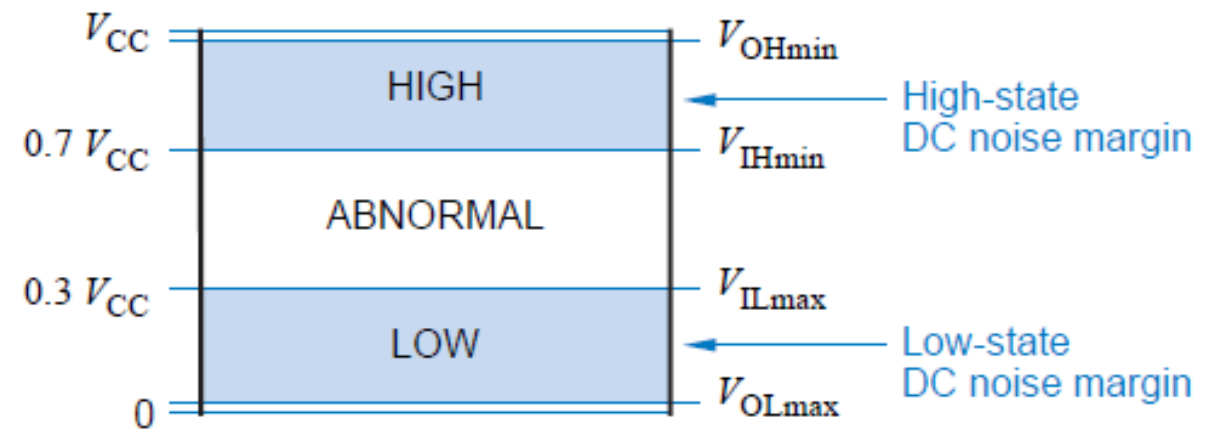
Primer: CMOS inverter

Na podlagi vhodno-izhodne karakteristike določimo napetostne nivoje (v točkah, kjer je odvod krivulje enak -1)



Napetostni nivoji

- $V_{OH}(\min)$: najmanjša izhodna napetost za predstavitev logične 1 (OH: Output High)
- $V_{IH}(\min)$: najmanjša vhodna napetost, ki je še interpretirana kot logična 1 (IH: Input High)
- $V_{IL}(\max)$: največja vhodna napetost, ki je še interpretirana kot logična 0 (IL: Input Low)
- $V_{OL}(\max)$: največja izhodna napetost za predstavitev logične 0 (OL: Output Low)



Napetostni nivoji

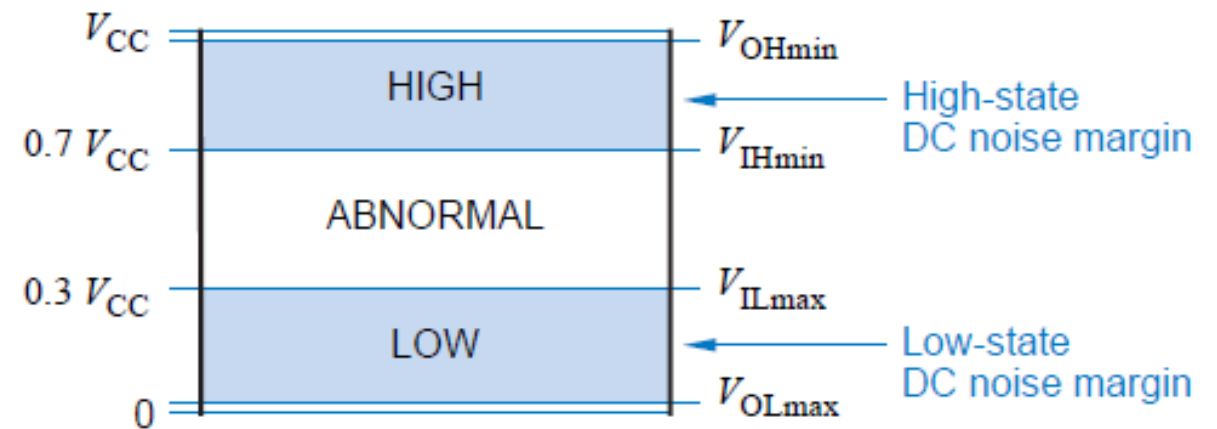
Primer (CMOS):

- $V_{OH}(\text{min}): 4.4 \text{ V}$
- $V_{IH}(\text{min}): 3.15 \text{ V}$
- $V_{IL}(\text{max}): 1.35 \text{ V}$
- $V_{OL}(\text{max}): 0.1 \text{ V}$

Šumne meje:

$$\text{H: } 4.4\text{V} - 3.15\text{V} = 1.35\text{V}$$

$$\text{L: } 1.35\text{V} - 0.1\text{V} = 1.25\text{V}$$



Tok (CMOS $\rightarrow$ CMOS)

Priklop drugih CMOS naprav $\rightarrow$ visoka upornost na gate

Vhodni tok: puščanje tranzistorja – I_{IH} , I_{IL} (maksimalni vhodni tok v visokem/nizkem stanju)

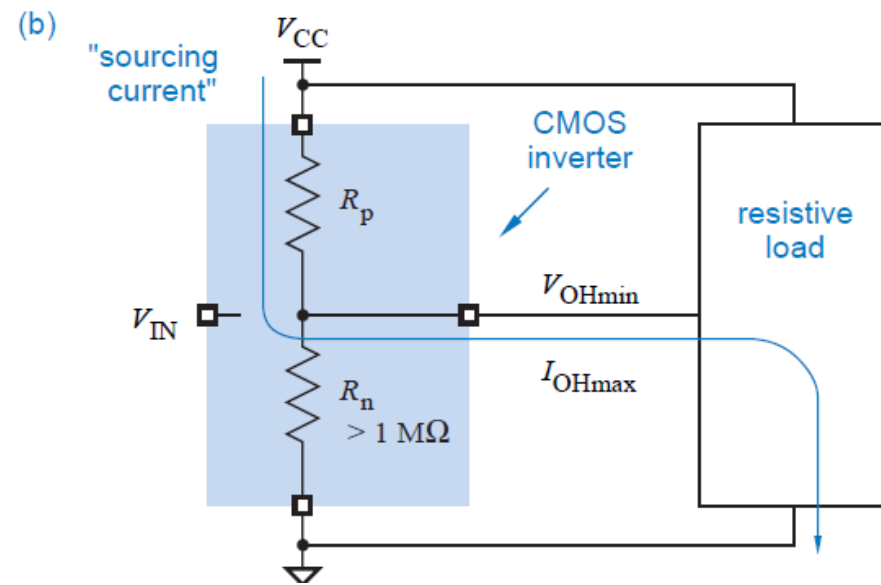
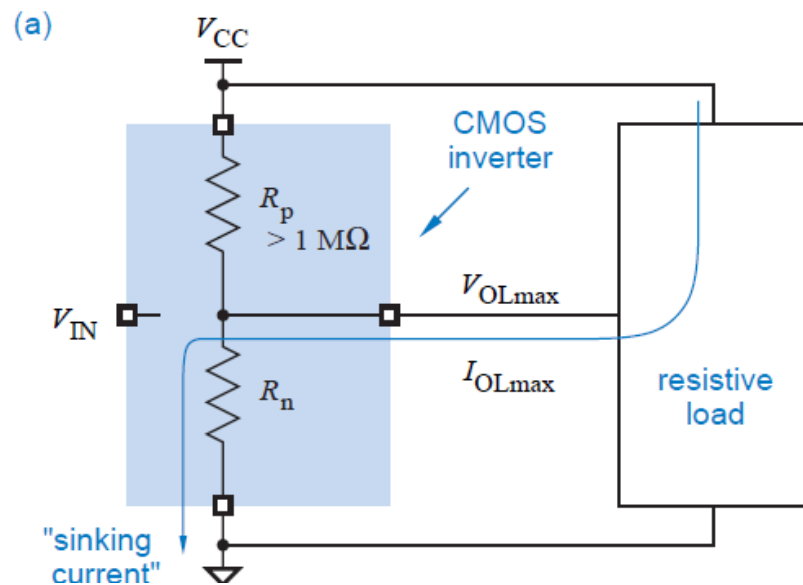
CMOS: zelo majhni tokovi v primerjavi s TTL

Tok na nivoju μA

Maksimalna tokovna obremenitev izhoda

Proizvajalci navadno specificirajo maksimalen dopusten tok na izhodu:

- $I_{OL}(\max)$: koliko toka še lahko teče proti izhodu (sinking current) v nizkem stanju, da se nivo $V_{OL}(\max)$ ohranja
- $I_{OH}(\max)$: koliko toka še lahko teče iz izhoda (sourcing current) v visokem stanju, da se nivo $V_{OH}(\min)$ ohranja



Maksimalna tokovna obremenitev izhoda

Maksimalna obremenitev izhoda glede na tip naprave na izhodu (CMOS – majhen vhodni tok; TTL – velik vhodni tok)

<i>Parameter</i>	<i>CMOS load</i>		<i>TTL load</i>	
	<i>Name</i>	<i>Value</i>	<i>Name</i>	<i>Value</i>
Maximum LOW-state output current (mA)	I_{OLmaxC}	0.02	I_{OLmaxT}	4.0
Maximum LOW-state output voltage (V)	V_{OLmaxC}	0.1	V_{OLmaxT}	0.33
Maximum HIGH-state output current (mA)	I_{OHmaxC}	-0.02	I_{OHmaxT}	-4.0
Minimum HIGH-state output voltage (V)	V_{OHminC}	4.4	V_{OHminT}	3.84

Fan-in, Fan-out

Fan-in: določa število vhodov v logična vrata

Fan-out:

- koliko vrat lahko priključimo na isti izhod
- odvisen tako od karakteristik izhoda kot tudi od karakteristik vezja, ki ga priključujemo na izhod
- analiza pri visokem in nizkem izhodu

Fan-out

Največji vhodni tok za HCMOS (high-speed CMOS) je enak $\pm 1 \mu\text{A}$

<i>Parameter</i>	<i>CMOS load</i>		<i>TTL load</i>	
	<i>Name</i>	<i>Value</i>	<i>Name</i>	<i>Value</i>
Maximum LOW-state output current (mA)	I_{OLmaxC}	0.02	I_{OLmaxT}	4.0
Maximum LOW-state output voltage (V)	V_{OLmaxC}	0.1	V_{OLmaxT}	0.33
Maximum HIGH-state output current (mA)	I_{OHmaxC}	-0.02	I_{OHmaxT}	-4.0
Minimum HIGH-state output voltage (V)	V_{OHminC}	4.4	V_{OHminT}	3.84

Fan-out nizkega in visokega stanja: $20/1 = 20$

V splošnem nista nujno enaka; fan-out je enak manjšemu

Dinamično delovanje

Hitrost in poraba moči odvisna od prehodnih pojavov med preklopi

Hitrost:

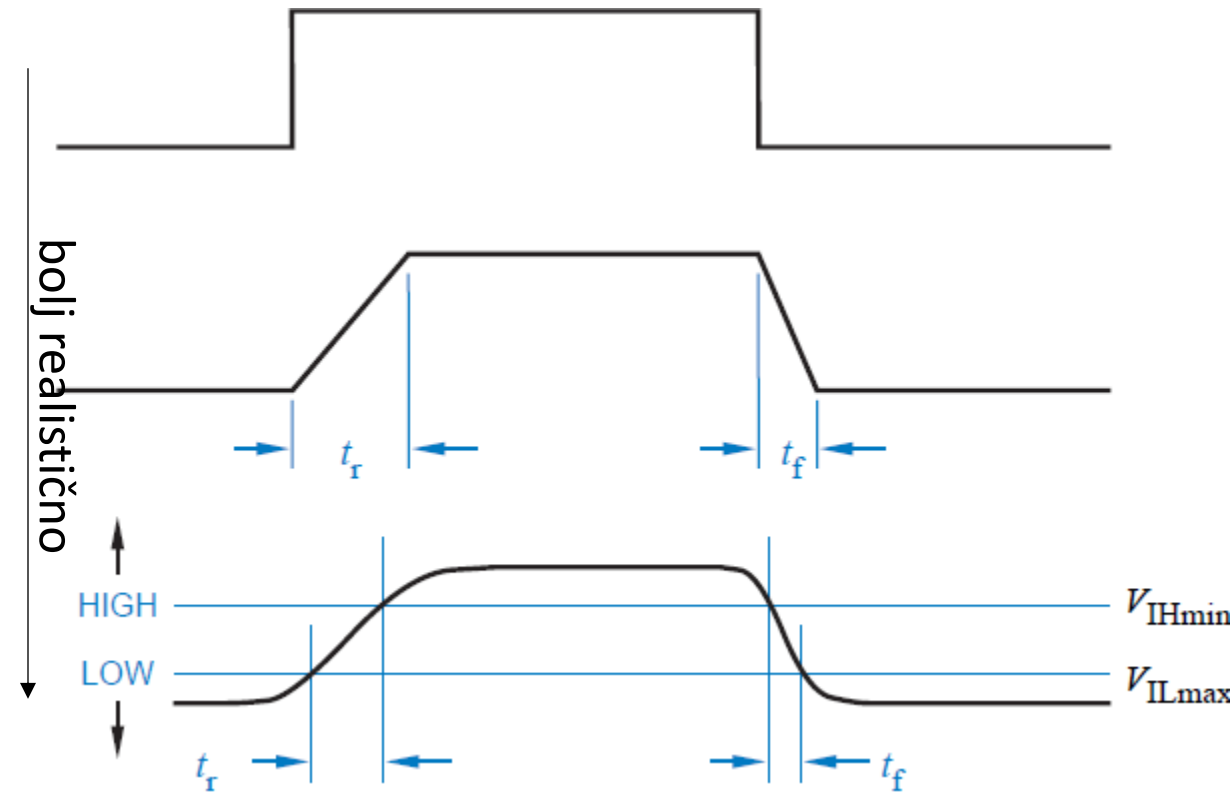
- preklopni čas (transition time)
- zakasnitev (propagation delay)

Preklopni čas

Trajanje prehoda skozi prepovedano področje

Odvisen od

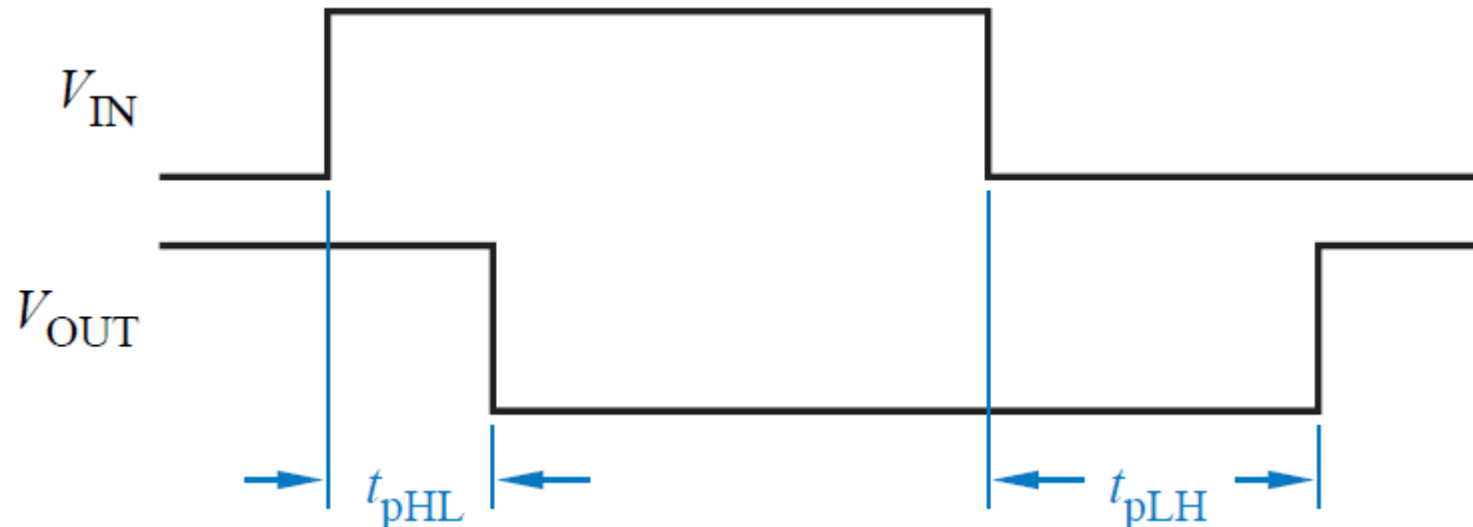
- upornosti odprtega tranzistorja
- kapacitivnosti bremena (kapacitivnost izhoda: CMOS – od 2 do 10 pF + kapacitivnost linij + kapacitivnost samega bremena – od 2 do 15 pF)



Zakasnitev (propagation delay)

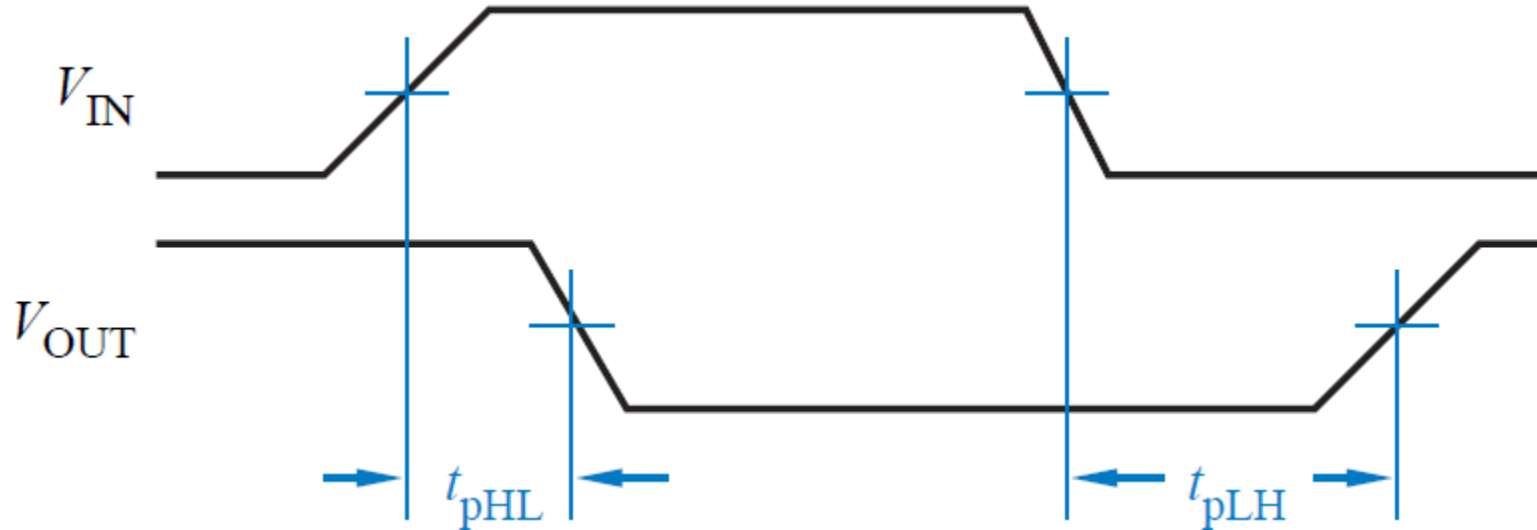
Čas potreben za to, da sprememba na vhodu povzroči spremembo na izhodu

Lahko je različna za različne poti skozi element



Zakasnitev (propagation delay)

Ponavadi je podana od trenutka, ko vhod doseže svojo polovično vrednost do trenutka, ko izhod doseže polovično vrednost



Poraba moči

Statična: ko je izhod v stacionarnem stanju – pri CMOS vezjih zelo majhna

Dinamična: dva vira

- Kratek stik med tranzistorjema: določen čas odprta oba tranzistorja – zaporedna upornost $\leq 600 \Omega$; vsaka naprava ima določeno kapacitivnost: polnjenje/praznjenje kondenzatorja
- Kapacitivno breme na izhodu: polnjenje/praznjenje kondenzatorja (glej preklopni čas)

Dinamična poraba moči – kratek stik med tranzistorjema

Ocenimo jo lahko z enačbo:

$$P_T = C_{PD} \cdot V_{CC}^2 \cdot f$$

kjer je

- f : frekvenca preklopov (inverz polovice števila preklopov na sekundo)
- C_{PD} : kapacitivnost porabe moči (power dissipation capacitance) – ocena proizvajalca (CMOS HC: 20-24 pF)

Če imamo počasne preklope vhodov (posledično počasne preklope in dolgo odprta oba tranzistorja), enačba ni veljavna.

Dinamična poraba moči – kapacitivno breme na izhodu

Polnjenje/praznjenje kondenzatorja (C_L) $\rightarrow$ menjanje napetosti za $\pm V_{CC}$

Ocena porabe moči:

$$P_L = C_L \cdot V_{CC}^2 \cdot f$$

kjer je

- f : frekvenca preklopov (inverz polovice števila preklopov ure na sekundo)
- C_L : kapacitivnost bremena

Dinamična poraba moči (CV^2f power)

Skupno:

$$\begin{aligned}P_D &= P_T + P_L \\&= C_{PD} \cdot V_{CC}^2 \cdot f + C_L \cdot V_{CC}^2 \cdot f \\&= (C_{PD} + C_L) \cdot V_{CC}^2 \cdot f\end{aligned}$$

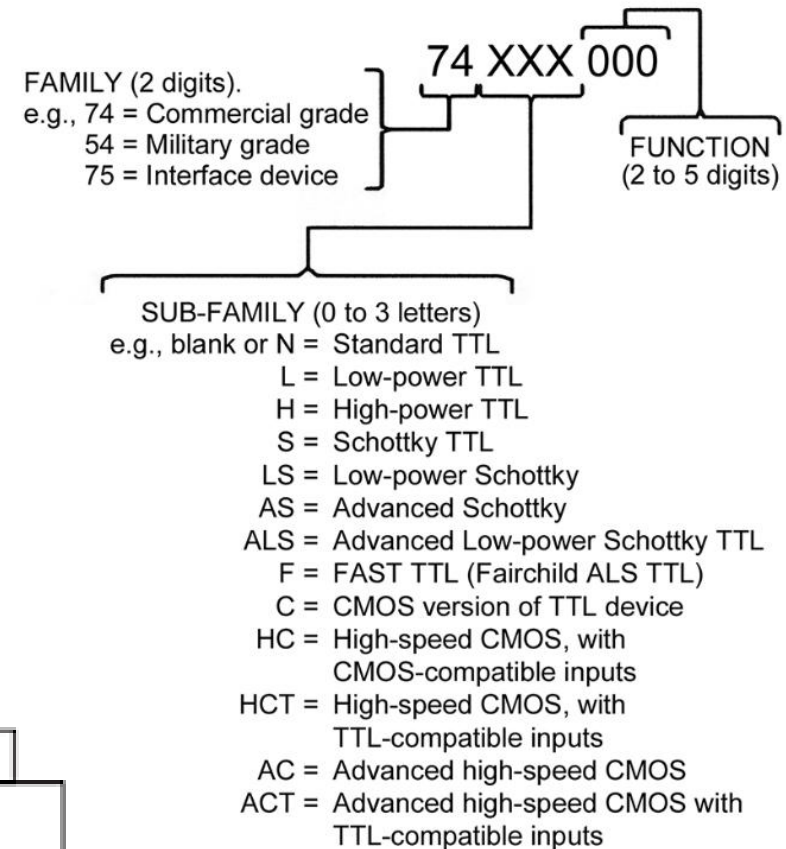
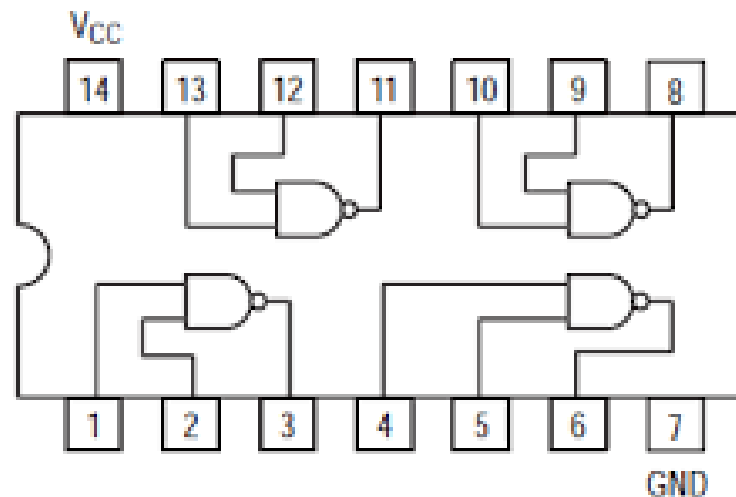
Logične družine CMOS

Družina 4000 (prva komercialno uspešna družina)

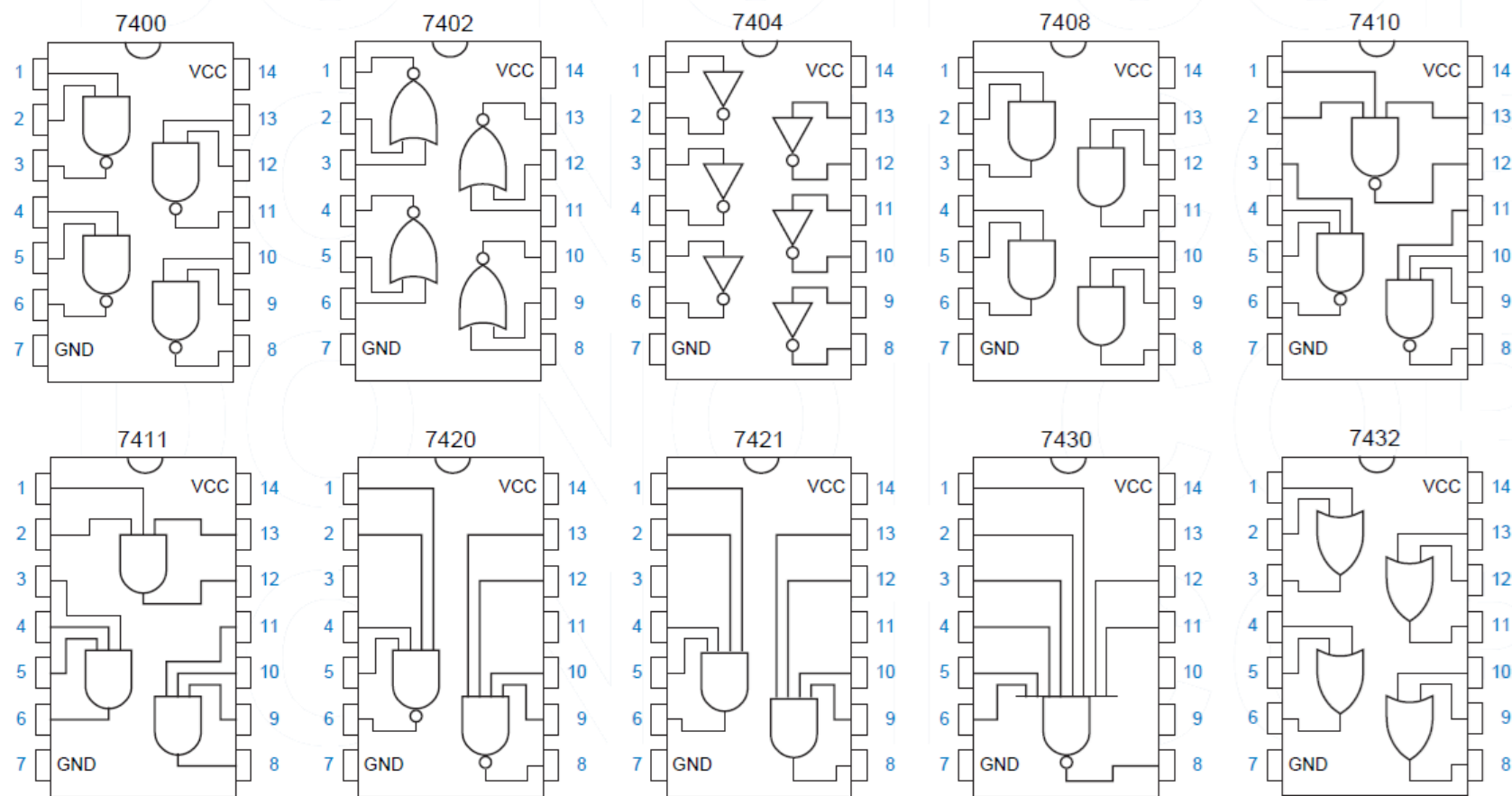
Družina 7400 (nadaljevanje serije TTL), 5400 za vojaške potrebe

Družina 7400

- Komercialni logični čipi
- DIP: Dual In-line Package
- SMD/SMT: surface mount device/surface mount technology



Družina 7400 (pinout)



Družina 7400

TTL serije: standard, L: low-power, H: high-speed, S: standard Schottky, LS: low-power Schottky, ALS: advanced low-power Schottky

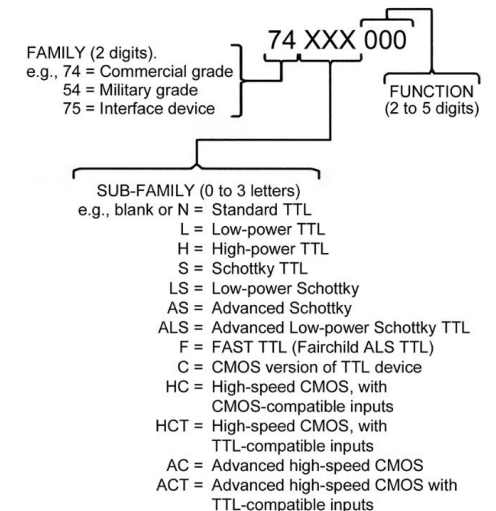
CMOS serije: C: CMOS, HC: High-speed CMOS, HCT: HC with TTL-compatible inputs, AC: Advanced high-speed, ACT: AC with TTL-compatible inputs, VHC: very high-speed, VHCT

Prefix: SN ... Texas Instruments, MC ... Motorola, ...

Suffix: N ... PDIP (plastic DIP)

SN7404N

Tip vrat: 04 = inverter



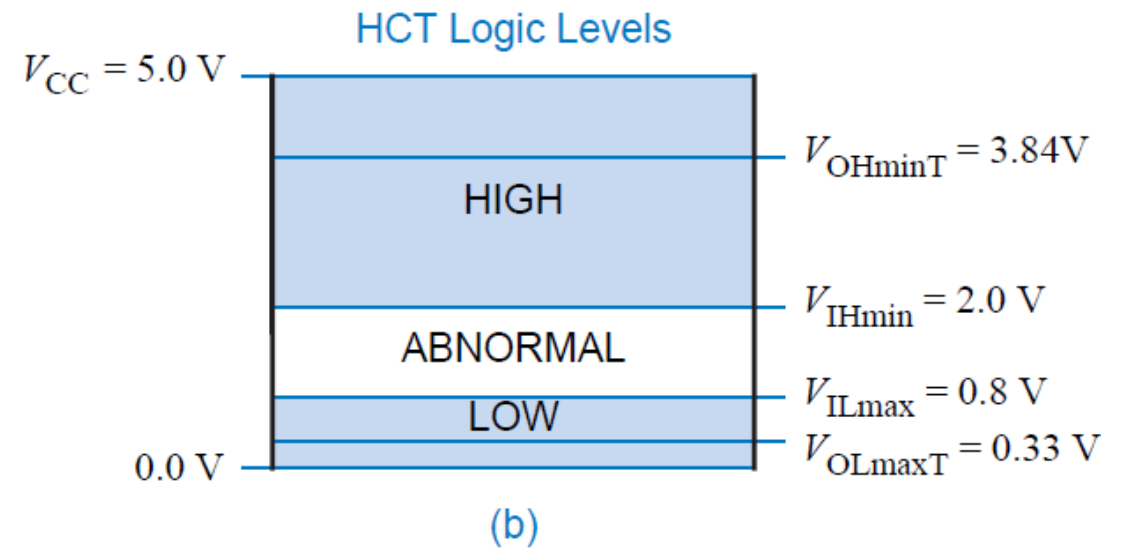
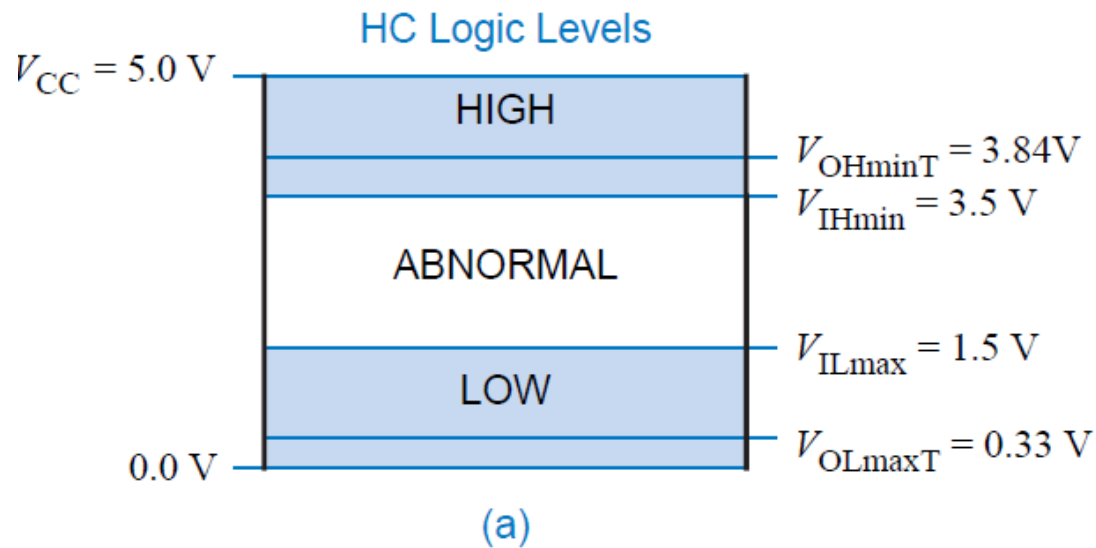
Serije HC, VHC, HCT in VHCT

(V)HCT – kombiniranje s TTL, 5V

HC: od 2 do 6 V, VHC od 2 do 5.5V

Praktično enake izhodne karakteristike

Vhodne karakteristike pri HCT kompatibilne s TTL, izhodne načeloma pri obeh V... 2-krat hitrejši seriji



Serije HC, VHC, HCT in VHCT

Naprave v
seriji se
običajno
razlikujejo
le po
porabi
moči in
zakasnitvi

00: NAND

138: 3-to-8
decoder

Description	Part	Symbol	Condition	Family			
				HC	HCT	VHC	VHCT
Typical propagation delay (ns)	'00	t_{PD}		9	10	5.2	5.5
	'138			18	20	7.2	8.1
Quiescent power-supply current (μA)	'00	I_{CC}	$V_{in} = 0$ or V_{CC}	2.5	2.5	5.0	5.0
	'138		$V_{in} = 0$ or V_{CC}	40	40	40	402
Quiescent power dissipation (mW)	'00		$V_{in} = 0$ or V_{CC}	0.0125	0.0125	0.025	0.025
	'138		$V_{in} = 0$ or V_{CC}	0.2	0.2	0.2	0.2
Power dissipation capacitance (pF)	'00	C_{PD}		22	15	19	17
	'138	C_{PD}		55	51	34	49
Dynamic power dissipation (mW/MHz)	'00			0.55	0.38	0.48	0.43
	'138			1.38	1.28	0.85	1.23
Total power dissipation (mW)	'00		$f = 100$ kHz	0.068	0.050	0.073	0.068
	'00		$f = 1$ MHz	0.56	0.39	0.50	0.45
	'00		$f = 10$ MHz	5.5	3.8	4.8	4.3
	'138		$f = 100$ kHz	0.338	0.328	0.285	0.323
	'138		$f = 1$ MHz	1.58	1.48	1.05	1.43
	'138		$f = 10$ MHz	14.0	13.0	8.7	12.5
Speed-power product (pJ)	'00		$f = 100$ kHz	0.61	0.50	0.38	0.37
	'00		$f = 1$ MHz	5.1	3.9	2.6	2.5
	'00		$f = 10$ MHz	50	38	25	24
	'138		$f = 100$ kHz	6.08	6.55	2.05	2.61
	'138		$f = 1$ MHz	28.4	29.5	7.56	11.5
	'138		$f = 10$ MHz	251	259	63	101

Vhodne karakteristike

<i>Description</i>	<i>Symbol</i>	<i>Condition</i>	<i>Family</i>			
			<i>HC</i>	<i>HCT</i>	<i>VHC</i>	<i>VHCT</i>
Input leakage current (μA)	I_{Imax}	$V_{\text{in}} = \text{any}$	± 1	± 1	± 1	± 1
Maximum input capacitance (pF)	C_{INmax}		10	10	10	10
LOW-level input voltage (V)	V_{ILmax}		1.35	0.8	1.35	0.8
HIGH-level input voltage (V)	V_{IHmin}		3.85	2.0	3.85	2.0

Izhodne karakteristike

Description	Symbol	Condition	Family			
			HC	HCT	VHC	VHCT
LOW-level output current (mA)	I_{OLmaxC}	CMOS load	0.02	0.02	0.05	0.05
	I_{OLmaxT}	TTL load	4.0	4.0	8.0	8.0
LOW-level output voltage (V)	V_{OLmaxC}	$I_{out} \leq I_{OLmaxC}$	0.1	0.1	0.1	0.1
	V_{OLmaxT}	$I_{out} \leq I_{OLmaxT}$	0.33	0.33	0.44	0.44
HIGH-level output current (mA)	I_{OHmaxC}	CMOS load	-0.02	-0.02	-0.05	-0.05
	I_{OHmaxT}	TTL load	-4.0	-4.0	-8.0	-8.0
HIGH-level output voltage (V)	V_{OHminC}	$ I_{out} \leq I_{OHmaxC} $	4.4	4.4	4.4	4.4
	V_{OHminT}	$ I_{out} \leq I_{OHmaxT} $	3.84	3.84	3.80	3.80

Bipolar Junction Transistor (BJT)

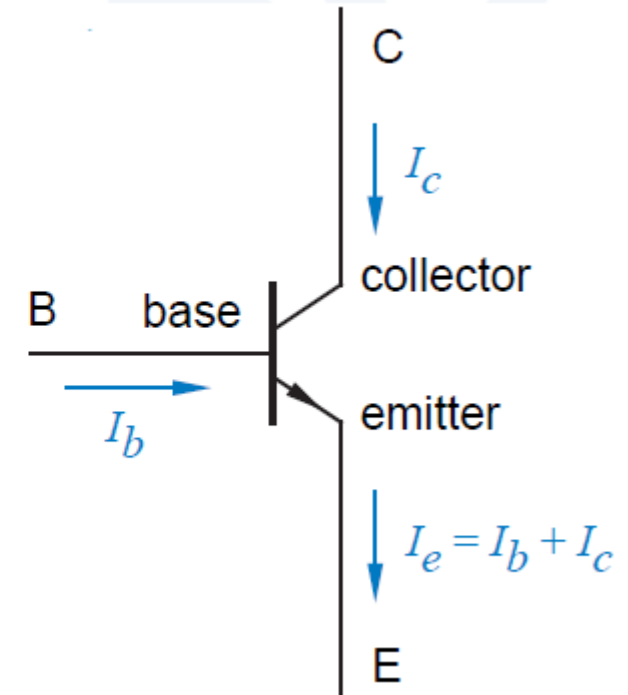
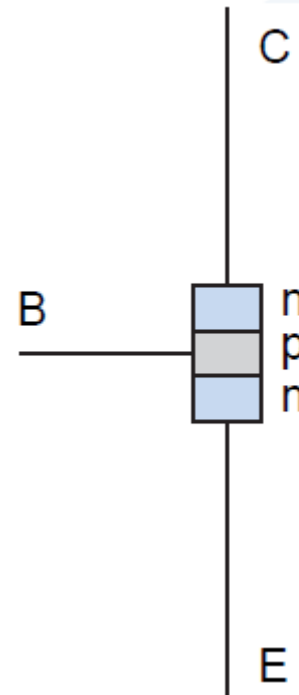
Osnova za TTL logiko

nnp tranzistor

baza (base)

emitter

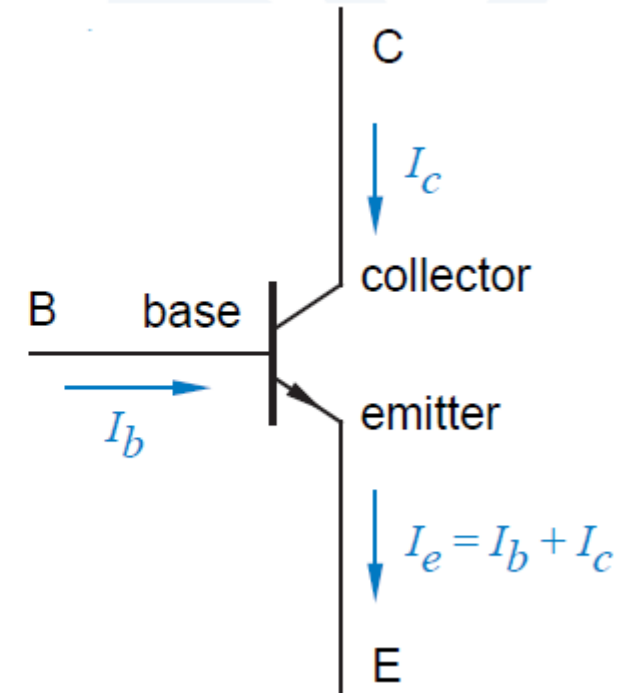
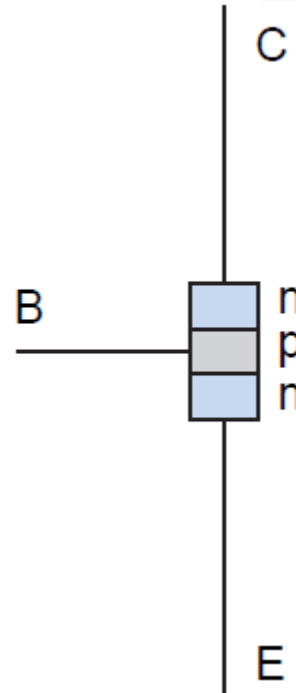
collector



Bipolar Junction Transistor (BJT)

npn tranzistor

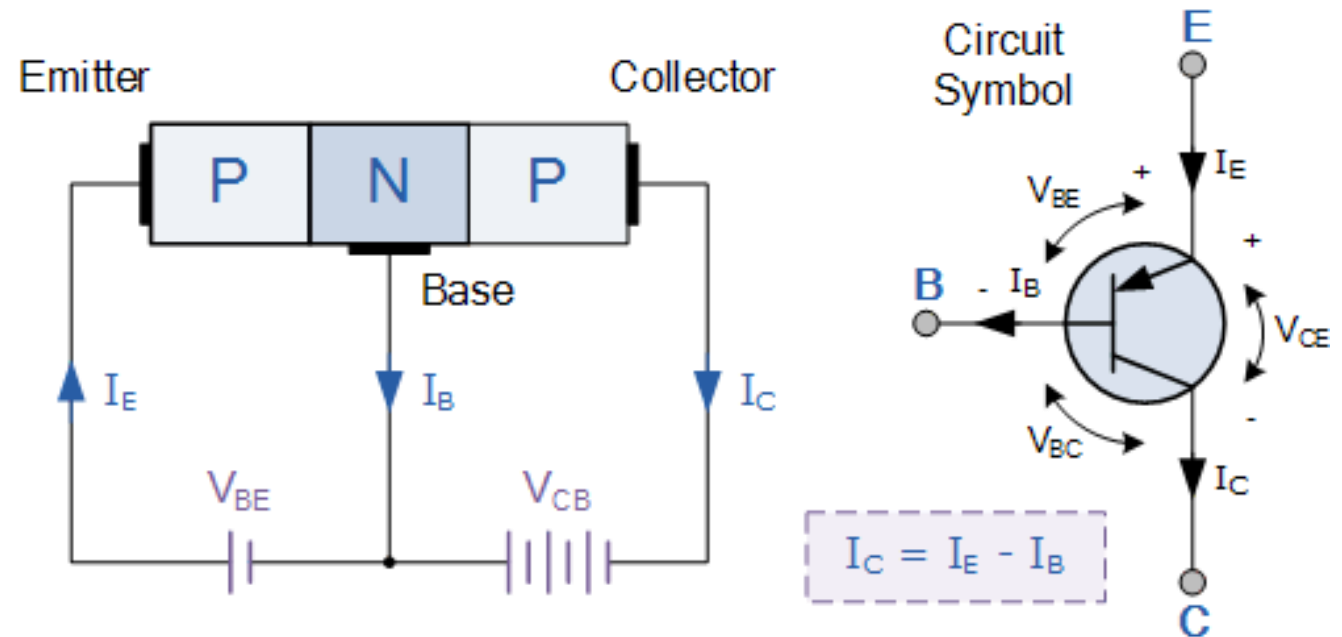
Tok v bazo → tok od kolektorja proti emiterju



Bipolar Junction Transistor (BJT)

pnz tranzistor

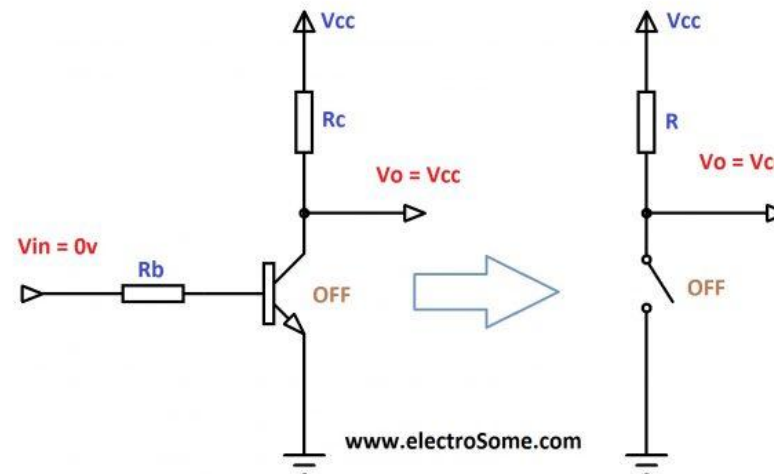
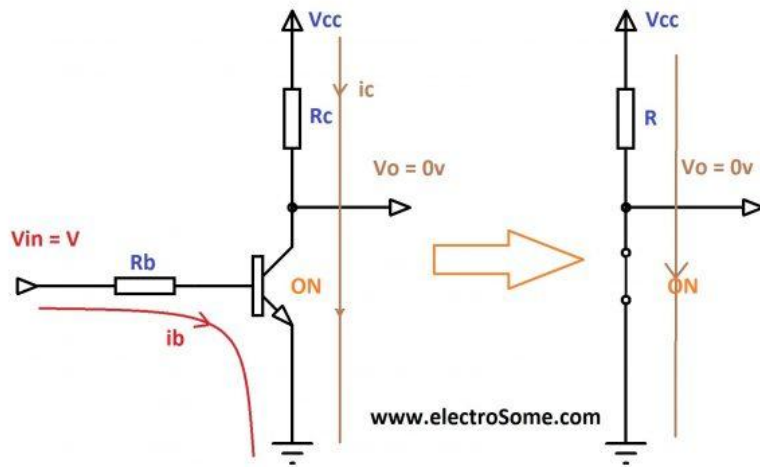
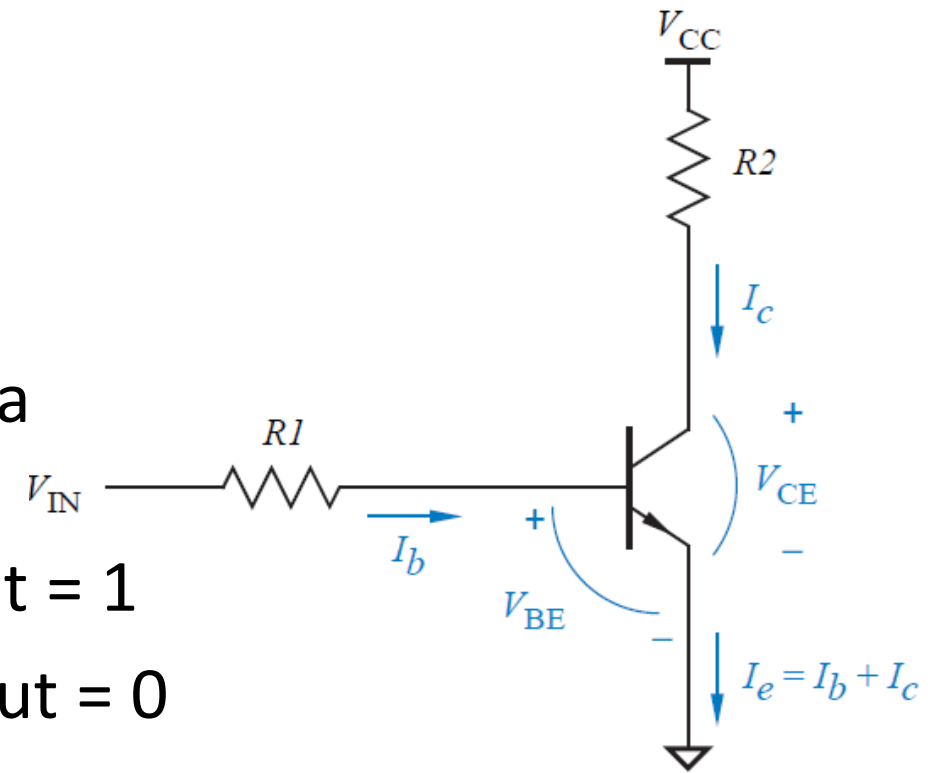
Tok iz baze → tok od emiterja
proti kolektorju



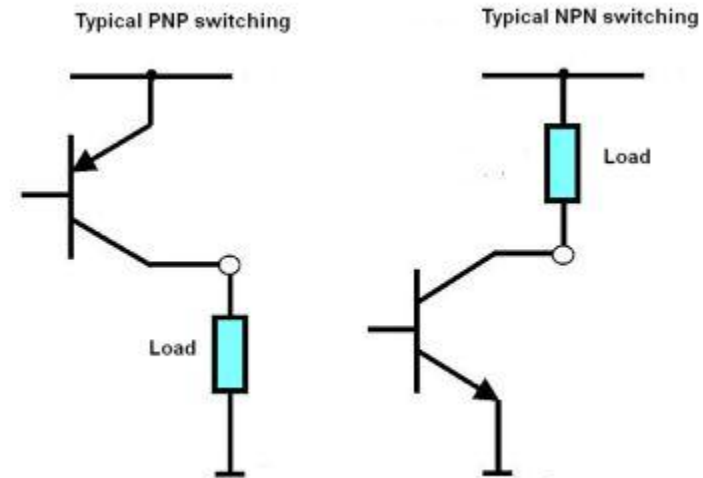
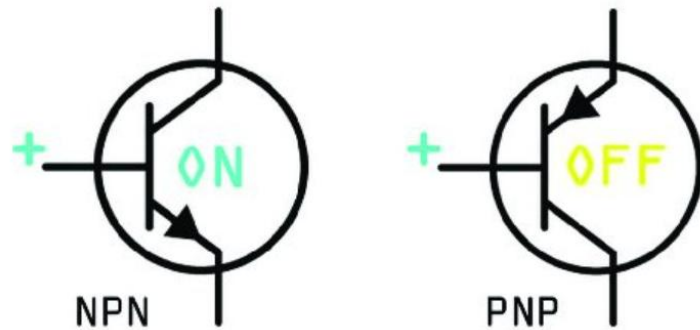
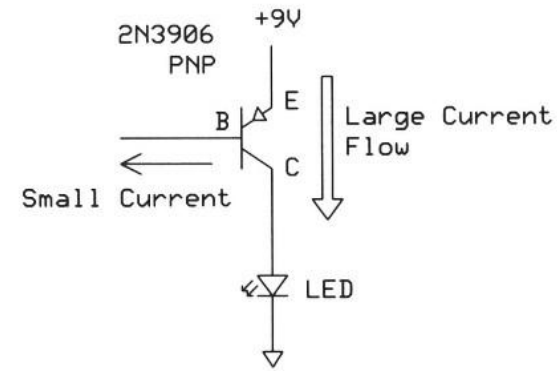
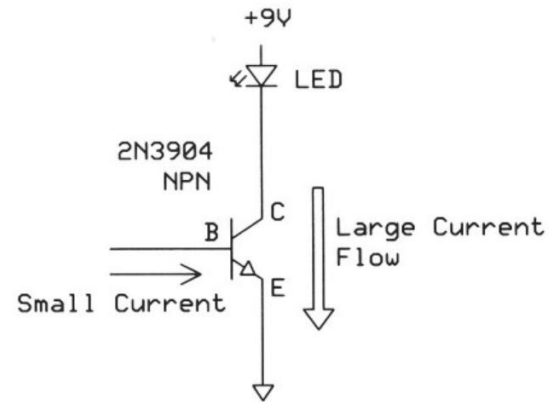
Uporaba kot stikalo

Običajna vezava – izhod (load) priklapljamo na collector:

- Input = 0 $\rightarrow$ kratek stik med C in E $\rightarrow$ Output = 1
- Input = 1 $\rightarrow$ prekinitev med C in E $\rightarrow$ Output = 0



NPN vs PNP

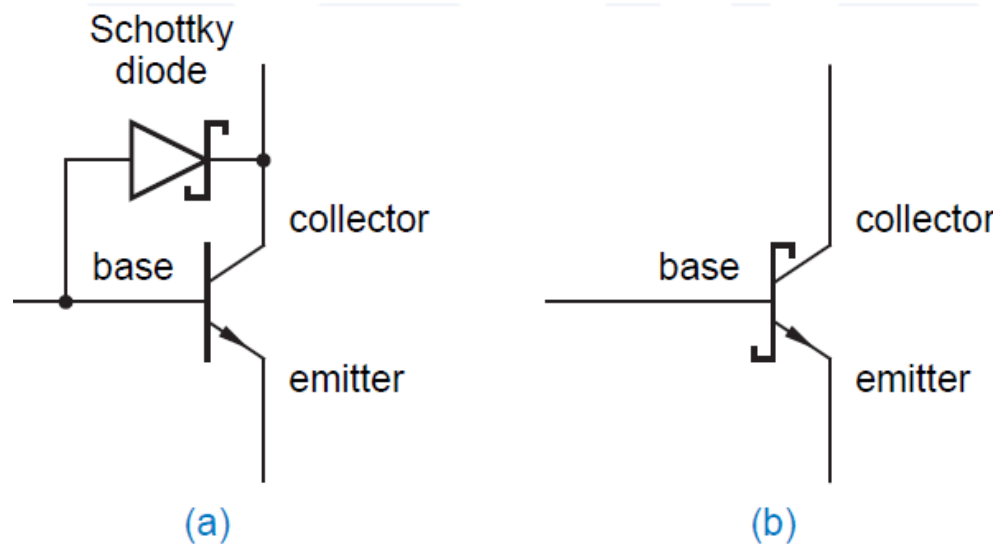


Logična družina TTL

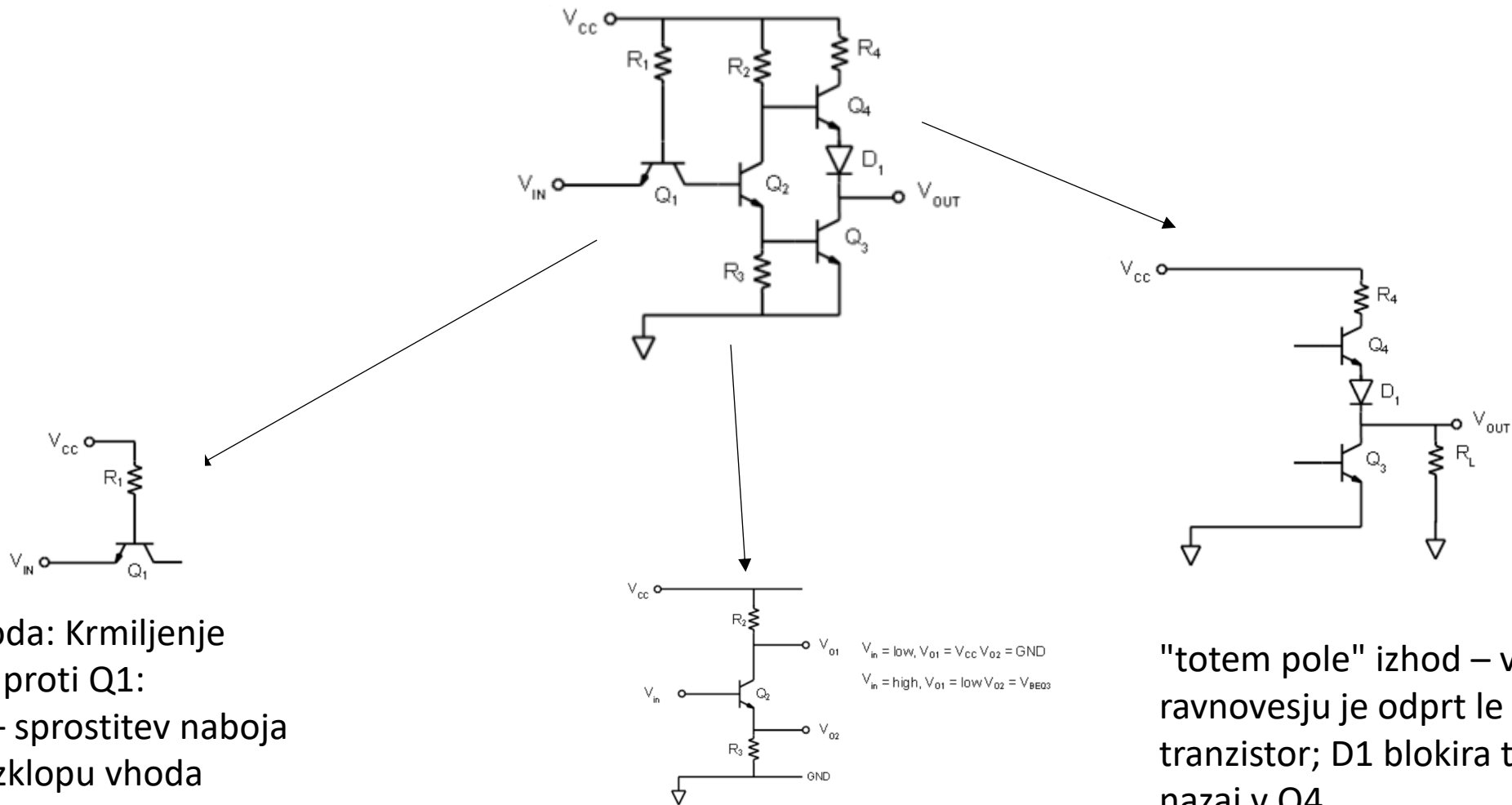
Temelji na BJT (npn) tranzistorjih

S, LS, ALS: Schottky TTL

Večja hitrost z uporabo Schottky diode med bazo in kolektorjem tranzistorjev: prepreči, da gre tranzistor globoko v nasičenje → manjši naboj v bazi, hitrejši preklop



Primer: TTL inverter



Zaščita vhoda: Krmiljenje toka od ali proti Q_1 : primarno – sprostitvev naboja na Q_2 ob izklopu vhoda

Phase splitter

"totem pole" izhod – v ravnovesju je odprt le en tranzistor; D_1 blokira tok nazaj v Q_4

Slabosti TTL

veliko večja statična poraba (kot CMOS)

večja kompleksnost za izvedbo enake logične funkcije

Asimetričnost izhodov: LS-TTL izhod je lahko ponor 8mA v nizkem stanju, izvor zgolj 400 uA v visokem stanju

TTL vs CMOS

CMOS ima boljšo odpornost na šum

CMOS ima veliko manjšo statično porabo moči kot TTL (rang 10 nW vs. rang 10 mW → faktor $10^{**}6$)

Dinamična poraba (pri preklopu prevajata oba tranzistorja) pri CMOS hitro narašča in lahko že pri 1 MHz preseže TTL

Zakasnitve CMOS so večje: 10 ns (TTL) vs. 20 – 50 ns (CMOS)

CMOS čipi so manjši in cenejši (za enako kompleksnost)

