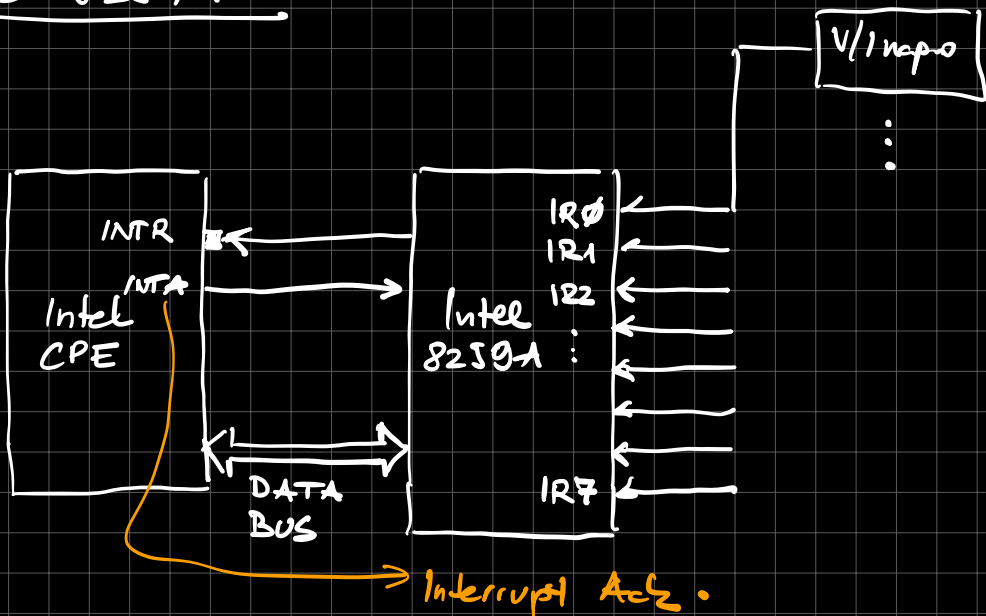


Prekinitevni Ermilula:

→ posredujejo CPE informacijo, kdo potrebuje

① Intel 8259A



1. naloga: Zadržati se aktivni (naj) en obeh IR0.. IR7, 8259A aktivno INTR na CPE

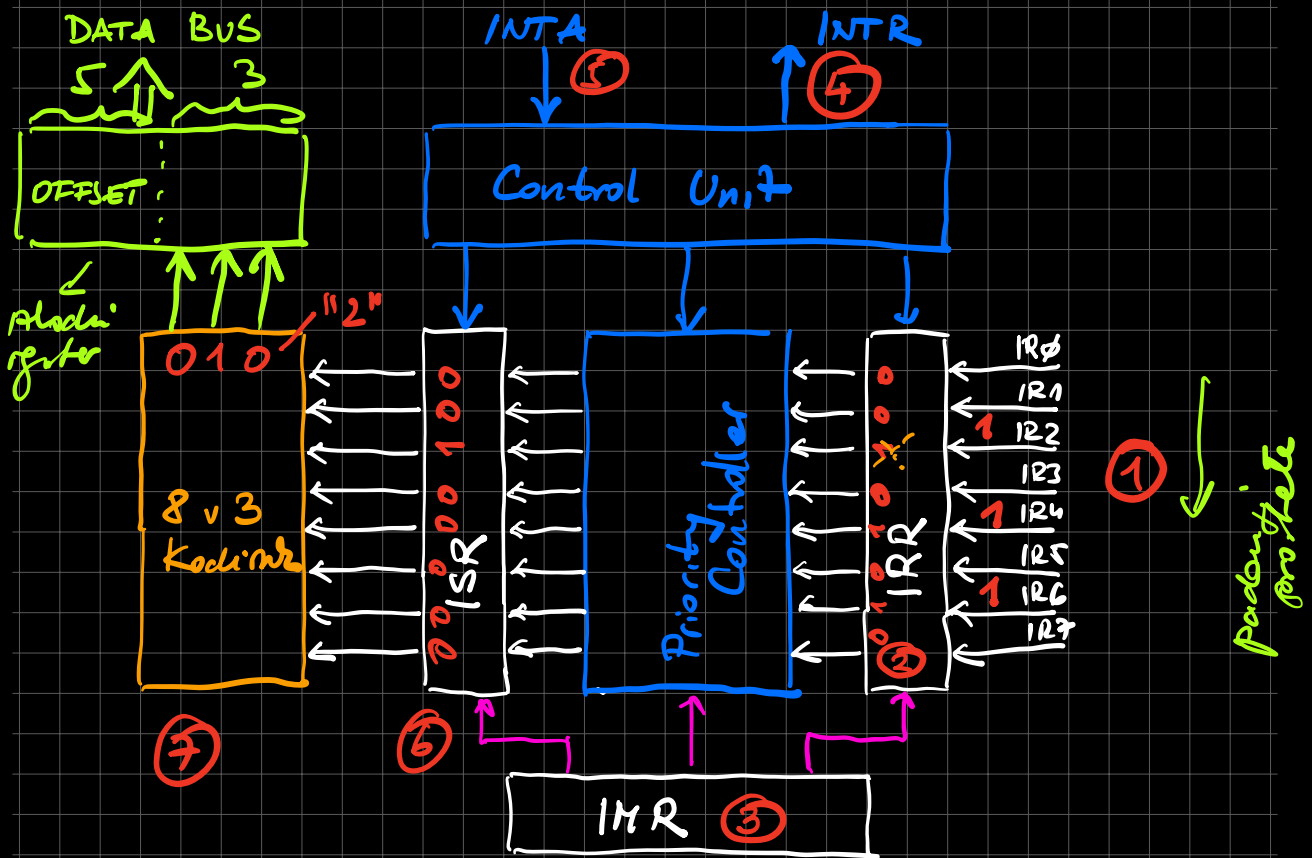
2. naloga: upotari, kdo od IR0... IR7 ima najvišjo prioriteto

3. naloga: posreduje CPE informacijo iz katere CPE
koti prekinitveni vektor

številka prek. vektorja

postavi na pod. vodilo (DATA BUS)

Delovanje in interni gradbeni Intel 8259A:



1. Predpostavmo, da so naprave, rešene na IR2, IR4 in IR6 istočasno zahtevale prekinitev

2. Stanji na vnosu v IRR (Interrupt Request Register) zapisane v IRR → v tem trenutku imajo v 8259A mi tokajšnje prekinitvene zahteve

3. IMR (Interrupt Mask Register) je pom. prebrskan register v katerem CPE lahko pije ⇒ vključna tega 8-bitnega registra dobica, katere prekinitve $\bar{1}$ ali CPE ignorirata

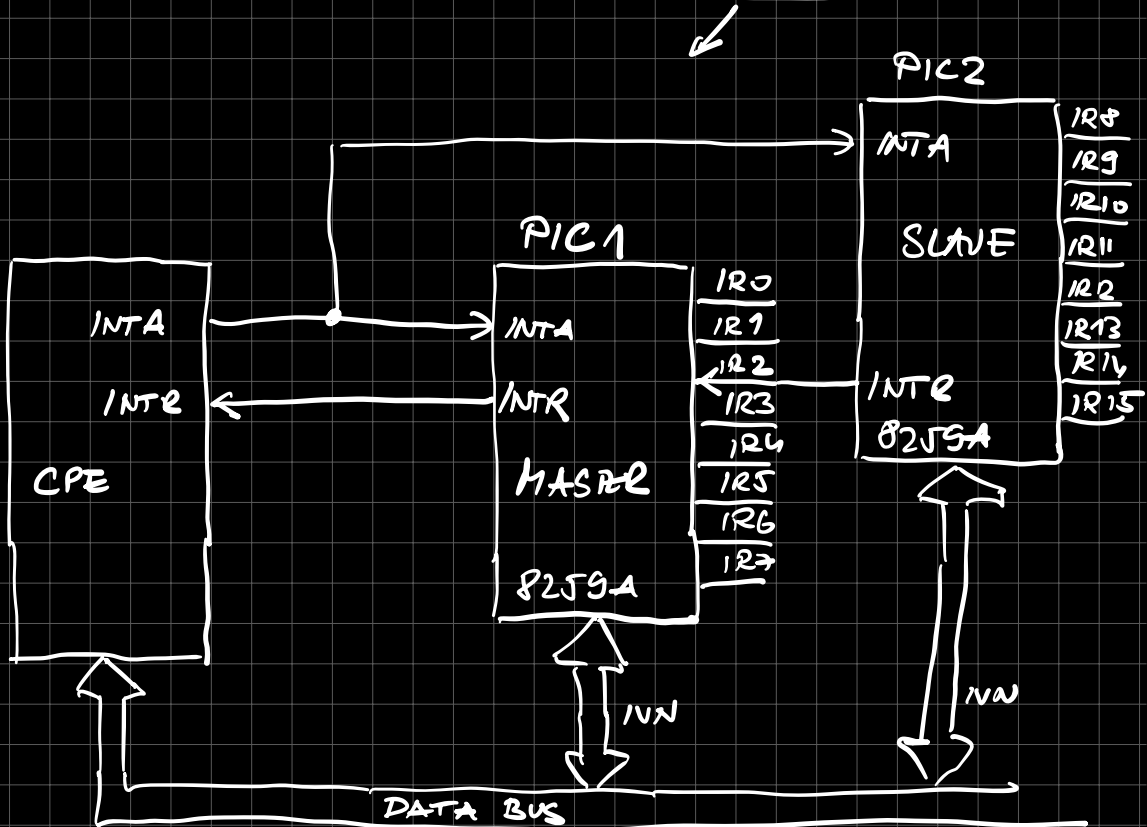
nametu x
 evia v IMR dobica, da se pripadajoča zahtva IRx maskirane

predpostavmo, da nobena IR ni na voljo ← CPE jo ignorira

→ Pomembnosti:

1. Samo 8 vhodov
2. Lahko preduje le eno CPE

Rešitev: Kaskadno vezava



→ Če je pred. zahteva prisla na vhodih IR0, IR1, IR3, ..., IR7 je PIC1 delal enako kot smo opisali zgoraj

Če pred. zahteva pride na vhodih IR8-IR15 (PIC2)

1. PIC2 detuje vhod IR2 na PIC1
2. PIC1 preduje CPE
3. ob detekciji INTA PIC2 postavi na voljo IVN

Kolo bomo IVN na PIC1 in IVN na PIC2, oz.
 Koda je na oslani teh dveh IVN CPE tvoilo masbo
 p.s.p

$$PC \leftarrow M[4 \times IVN]$$



OFFSET! PIC1 je dol offset 0 ('0000')
 PIC2 je dol offset 1 ('0001')

IVN_i na PIC1: (0-7), IVN_i na PIC2: 8-15

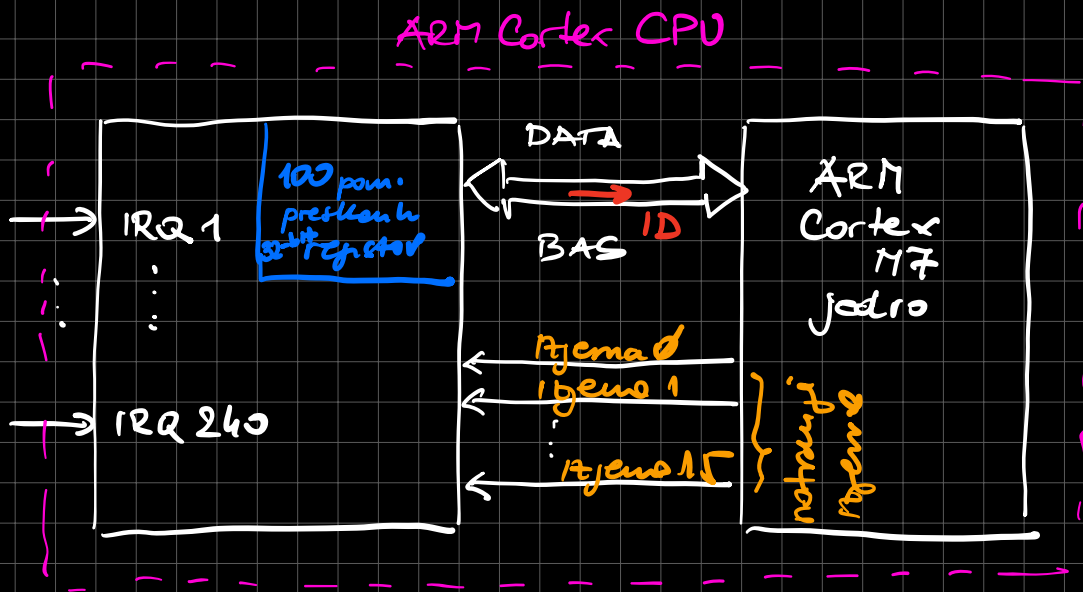
Dodeferenz: IR-jen napravam:

IR:	Naprava:
0	Sistemski izpostavnik
1	KBD Controller
2	PIC 2 (Slave)
3	COM 2 / COM 4 (ser. port)
4	COM 0 / COM 1
5	Sound card
6	Floppy disk controller
7	Parallele port (printer)
8	RTC
9	...
10	...
11	...
12	PS/2 Mouse
13	Math
14	ATA
15	ATA } trdi disk

Nested Vectored Interrupt Controller (NVIC) v ARM Cortex

omogućuje grupiranje prioritiv

PC ← M [4x ID ulaza]



Vstupi skupaj do 256 pariti in prioritiv →
vse se delo opira na 8-bitni ID-jer

PC ← M [4x ID]

↳ 8-biten

A CPU jedro je NVIC videti kot 100 pom. prestavljenih 32-bitnih registriv:

NVIC - ISER 0...7 \Rightarrow 8 32 bitnih registerov

8 reg x 32 bitov = 256 bitov

\downarrow
vsaki bit v temu registeru omogoča enemu od 256 virov post. in prek. tr.

Interrupt Set Enable Register

5 prstov "1" v določen bit omogoča vzhodno

NVIC - ICER 0..7

Interrupt Clear Enable

5 prstov "1" v nekem bitu onemogoča določeno pad. nivo

NVIC - ISPR 0..7 \Rightarrow vsaka skupina 256 pending bitov

Set Pending Register

NVIC - IPR 0..59 \Rightarrow

Interrupt Priority Register

v teh registerih so skupine 8-bitnih 70 bitov pred. vir \Rightarrow

\rightarrow prioritete lahko nastopajo samo za IRQ1-1240

- prioritete pač so fiksnas določene

\rightarrow ker 2 8 bitov določeno prioriteto je teor. možno imeti 256 prioriteten nivojev

\rightarrow nima jebala v teh 8 bitih \Rightarrow vsaka prioriteta

~ Vpražni: - uporaba de največ 3-4 biti od
teh 8, odvisno od implementacije
in različnih procesorji

- npr.: Cortex-M7 uporablja le 4 gorje

4 bits



samo 16 prijetnih nivojev

(0-15)