

# Digitalno načrtovanje

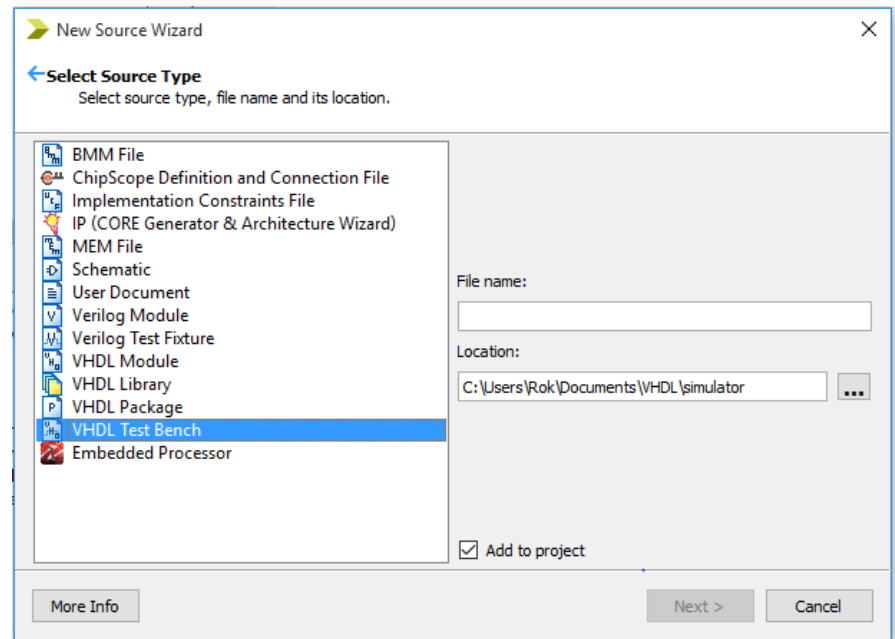
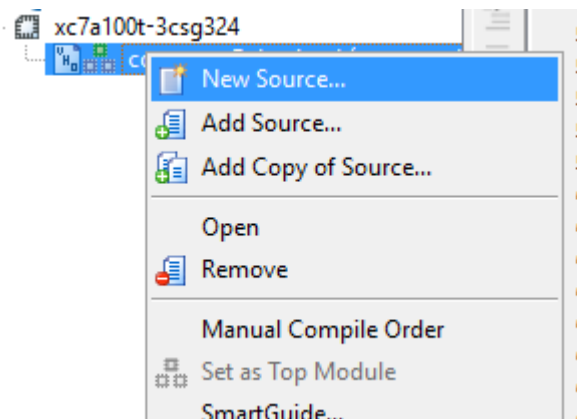
2015/16

Izvajalec: prof. dr. Patricio Bulić

Asistent: Rok Češnovar

# Simulator

- Dodamo nov modul, s katerim bomo preizkusili narejen modul



# Simulator

- Izberemo modul, ki ga želimo testirati
- Generira se test-bench modul, ki vključi izbrani modul
- Za izvedbo testiranja je potrebno definirati vhodne signale in spremembe na teh

# Test bench

- Če uporabljamo uro, imamo običajno ločen proces za generiranje urinega signala

```
-- Instantiate the Unit Under Test (UUT)
 uut: counter PORT MAP (
     clk => clk,
     rst => rst,
     count_out => count_out
 );

-- Clock process definitions
 clk_process :process
 begin
     clk <= '0';
     wait for clk_period/2;
     clk <= '1';
     wait for clk_period/2;
 end process;
```

# Test bench

- Obnašanje ostalih vhodov definiramo v ločenem procesu
  - Uporabljamo prireditvene stavke ter ukaze za čakanje
    - wait for 100 ns;
    - wait for clk\_period\*10;
      - kjer je clk\_period definirana konstanta
    - wait;
      - čakamo nedoločen čas

# Test bench

```
-- Stimulus process
stim_proc: process
begin
    rst <= '1';
    wait for 100 ns;
    -- hold reset state for 100 ns.
    rst <= '0';
    wait for clk_period*10;

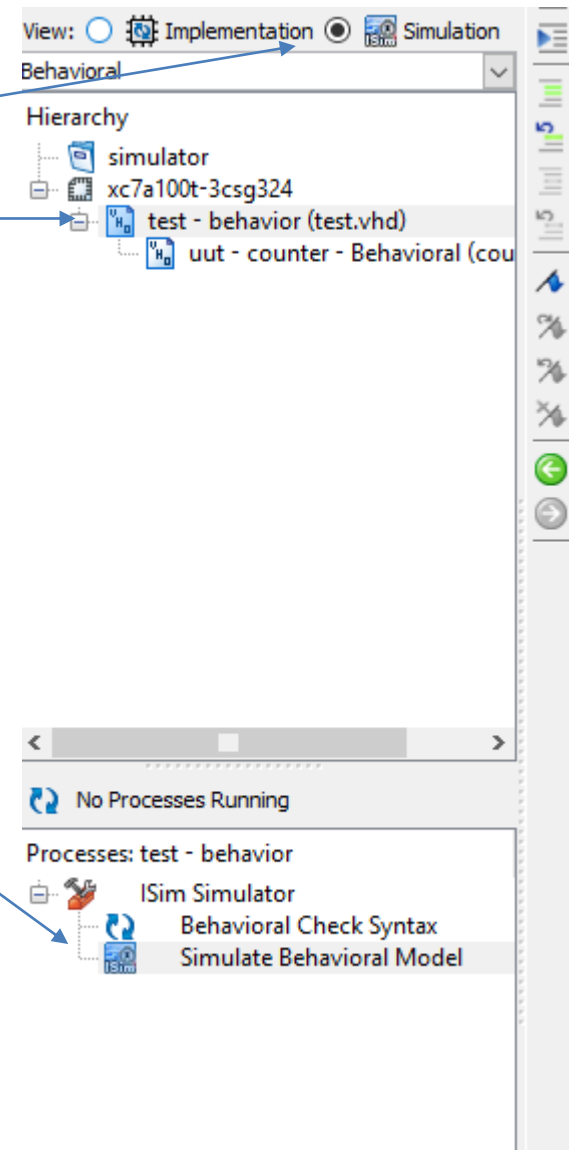
    -- insert stimulus here

    wait;

end process;
```

# Uporaba simulatorja

- Izberemo „simulation“
- izberemo generiran test modul
- zaženemo



# Simulacija

